

FLÁBIO ALBERTO BARDEMAKER BATISTA

**MODULAÇÃO VETORIAL APLICADA A
RETIFICADORES TRIFÁSICOS PWM
UNIDIRECIONAIS**

FLORIANÓPOLIS

2006

Livros Grátis

<http://www.livrosgratis.com.br>

Milhares de livros grátis para download.

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA

MODULAÇÃO VETORIAL APLICADA A
RETIFICADORES TRIFÁSICOS PWM
UNIDIRECIONAIS

Tese submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a obtenção do grau de
Doutor em Engenharia Elétrica.

FLÁBIO ALBERTO BARDEMAKER BATISTA

Florianópolis, Junho de 2006.

MODULAÇÃO VETORIAL APLICADA A RETIFICADORES TRIFÁSICOS PWM UNIDIRECIONAIS

FLÁBIO ALBERTO BARDEMAKER BATISTA

‘Esta Tese foi julgada adequada para a obtenção do Título de Doutor em Engenharia Elétrica, Área de Concentração em Sistemas de Energia, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Prof. Ivo Barbi, Dr. Ing.
Orientador

Prof. Nelson Sadowski , Dr.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Prof. Ivo Barbi, Dr. Ing.
Presidente

Cláudio Manoel da Cunha Duarte, Dr.

Eduardo Félix Ribeiro Romaneli, Dr.

Daniel Juan Pagano, Dr.

Samir Ahmad Mussa, Dr.

Denizar Cruz Martins, Dr.

Resumo da Tese apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Doutor em Engenharia Elétrica.

MODULAÇÃO VETORIAL APLICADA A RETIFICADORES TRIFÁSICOS PWM UNIDIRECIONAIS

Flávio Alberto Bardemaker Batista

Junho/2006

Orientador: Ivo Barbi, Dr. Ing.

Área de Concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras Chave: Retificadores trifásicos PWM unidirecionais, modulação vetorial, controle vetorial, correção de fator de potência, controle digital.

Número de Páginas: 282.

Resumo: Este trabalho apresenta a aplicação da modulação vetorial a retificadores trifásicos PWM unidirecionais de dois níveis. Os conceitos da modulação vetorial e controle vetorial são introduzidos, tomando como exemplo a aplicação destas técnicas de controle e modulação ao retificador trifásico PWM bidirecional. Estratégias de modulação vetorial são propostas para os retificadores unidirecionais conectados em Y, Δ e em ponte. Verifica-se a validade da extensão das técnicas de modulação propostas à outros retificadores e define-se uma metodologia generalizada para aplicação da modulação vetorial aos retificadores unidirecionais de dois níveis. São analisadas as estruturas de controle vetorial e a adaptação da modelagem proposta a cada tipo de retificador. Os projetos das estruturas de potência e de controle digital com DSP são realizados e os resultados da aplicação da modulação vetorial aos retificadores trifásicos são verificados através de simulação digital e da experimentação de um protótipo de 20kW. Os retificadores implementados apresentam alto rendimento, baixa taxa de distorção harmônica para as correntes de entrada e elevado fator de potência.

Abstract of Thesis presented to UFSC as a partial fulfillment of the requirements for the degree of Doctor in Electrical Engineering.

SPACE VECTOR MODULATION APPLIED TO THREE-PHASE UNIDIRECTIONAL PWM RECTIFIERS

Flávio Alberto Bardemaker Batista

June/2006

Advisor: Ivo Barbi, Dr. Ing.

Area of Concentration: Power Electronics and Electrical Drives.

Keywords: Three-phase unidirectional PWM rectifiers space vector modulation, vector control, power factor correction, digital control.

Number of Pages: 282.

Abstract: This work presents the application of space vector modulation to the three-phase two-level unidirectional PWM rectifiers. The concepts of space vector modulation and of vector control are introduced and applied to the bidirectional three-phase PWM rectifier as an example. Space vector strategies are proposed for Y-connected rectifiers, Δ -connected rectifiers and bridge-connected rectifiers. The extension of proposed modulation techniques for other rectifiers is verified and a generalized methodology for application of two-level unidirectional rectifiers is defined. Vector control structures and the adaptation of proposed modeling are analyzed. The design of power structures and the design of digital control structures with DSP are performed. The results of application of space vector modulation to the three-phase rectifiers are verified by digital simulation and by a 20 kW prototype experimentation. Implemented unidirectional two-level PWM rectifiers present regulated output voltage, high efficiency, high power factor and low input current THD.

SUMÁRIO

SIMBOLOGIA.....	xii
CAPÍTULO 1 – Introdução Geral.....	1
1.1 – Introdução.....	1
1.1.1 – Retificadores Unidirecionais.....	2
1.1.2 – Modulação e Controle Vetorial.....	7
1.2 – Objetivos do Trabalho e Metodologia Empregada.....	7
1.3 – Organização do Trabalho.....	8
CAPÍTULO 2 – Modulação Vetorial e Controle Vetorial.....	10
2.1 – Introdução.....	10
2.2 – Princípios da Modulação Vetorial.....	10
2.2.1 – Topologia e Vetores Disponíveis.....	10
2.2.2 – Implementação dos Vetores.....	13
2.2.3 – Seqüência de Vetores.....	16
2.3 – Controle Vetorial.....	23
2.3.1 – Modelagem do Retificador Trifásico Bidirecional Empregando a Transformação de Park.....	24
a) Obtenção do Modelo do Conversor Visto a Partir da Entrada (CA).....	24
b) Obtenção do Modelo do Conversor Visto a Partir da Saída (CC).....	33
2.3.2 – Estratégia de Controle.....	35
2.4 – Resultados de Simulação.....	36
2.4.1 – Simulações em Malha Aberta.....	37
2.4.2 – Simulações em Malha Fechada.....	39
2.5 – Conclusão.....	44
CAPÍTULO 3 – Modulação Vetorial Aplicada ao Retificador Trifásico PWM Unidirecional de Dois Níveis Y ₁	46
3.1 – Introdução.....	46
3.2 – Etapas de Operação.....	47
3.3 – Modulação Vetorial.....	49

3.3.1 – Vetores Disponíveis.....	49
3.3.2 – Seqüência de Vetores e Sinais de Comando Para os Sub-Setores.....	54
3.4 – Dimensionamento do Estágio de Potência.....	61
3.4.1 – Cálculos Preliminares e Condições de Operação.....	62
3.4.2 – Dimensionamento dos Indutores de Entrada.....	62
3.4.3 – Dimensionamento do Capacitor de Saída.....	62
3.4.4 – Dimensionamento dos Interruptores.....	63
3.4.5 – Dimensionamento dos Diodos D_{112}	63
3.4.6 – Dimensionamento dos Diodos D_{134}	64
3.4.7 – Dimensionamento dos Diodos D_{156}	64
3.5 – Modelagem e Controle.....	65
3.5.1 – Modelagem do Retificador.....	65
3.5.2 – Estratégia de Controle e Projeto dos Controladores.....	66
a) Projeto dos Controladores para as Malhas de Corrente I_d e I_q	67
b) Projeto do Controlador para a Malha de Tensão.....	71
3.6 – Resultados de Simulação.....	75
3.6.1 – Simulações em Malha Aberta.....	75
3.6.2 – Simulações em Malha Fechada.....	76
3.7 – Conclusão.....	84
CAPÍTULO 4 – Modulação Vetorial Aplicada ao Retificador Trifásico PWM Unidirecional de Dois Níveis Δ_1	85
4.1 – Introdução.....	85
4.2 – Etapas de Operação.....	86
4.3 – Modulação Vetorial.....	88
4.3.1 – Vetores Disponíveis.....	88
4.3.2 – Seqüência de Vetores e Sinais de Comando Para os Sub-Setores.....	92
4.4 – Dimensionamento do Estágio de Potência.....	98
4.4.1 – Dimensionamento dos Indutores de Entrada.....	98
4.4.2 – Dimensionamento do Capacitor de Saída.....	98
4.4.3 – Dimensionamento dos Interruptores.....	99
4.4.4 – Dimensionamento dos Diodos D_{13456}	99
4.4.5 – Dimensionamento dos Diodos D_{112}	100

4.5 – Modelagem e Controle.....	100
4.5.1 – Modelagem do Retificador.....	100
4.5.2 – Estratégia de Controle e Projeto dos Controladores.....	102
4.6 – Resultados de Simulação.....	103
4.6.1 – Simulações em Malha Aberta.....	103
4.6.2 – Simulações em Malha Fechada.....	104
4.6.3 – Estágio de Potência.....	111
4.7 – Conclusão.....	116
CAPÍTULO 5 – Modulação Vetorial Aplicada a Outros Retificadores Unidirecionais e Análise dos Resultados.....	117
5.1 – Introdução.....	117
5.2 – Aplicação da Modulação Vetorial ao Retificador Unidirecional Y_2.....	117
5.2.1 – Simulações em Malha Aberta.....	118
5.2.2 – Simulações em Malha Fechada.....	119
5.3 – Aplicação da Modulação Vetorial ao Retificador Unidirecional Δ _2.....	122
5.3.1 – Simulações em Malha Aberta.....	123
5.3.2 – Simulações em Malha Fechada.....	124
5.4 – Aplicação da Modulação Vetorial aos Retificadores Unidirecionais Ponte_1 e Ponte_2.....	127
5.4.1 – Vetores Utilizados e Sinais de Comando.....	128
5.4.2 – Seqüência de Vetores e Sinais de Comando Para os Sub-Setores.....	130
5.4.3 – Modelagem do Retificador.....	132
5.4.4 – Estratégia de Controle e Projeto dos Controladores.....	133
5.4.5 – Simulações em Malha Aberta.....	134
5.4.6 – Simulações em Malha Fechada.....	135
5.5 – Análise dos Resultados.....	140
5.6 – Conclusão.....	148
CAPÍTULO 6 – Projeto e Implementação do Estágio de Potência.....	149
6.1 – Introdução.....	149
6.2 – Dimensionamento do Estágio de Potência.....	149
6.2.1 – Cálculos Preliminares e Condições de Operação.....	150

6.2.2 – Dimensionamento dos Indutores de Entrada.....	150
6.2.3 – Dimensionamento do Capacitor de Saída.....	151
6.2.4 – Dimensionamento dos Interruptores.....	152
6.2.5 – Dimensionamento dos Diodos D_{I12}	153
6.2.6 – Dimensionamento dos Diodos D_{I34}	155
6.2.7 – Dimensionamento dos Diodos D_{I56}	156
6.2.8 – Dimensionamento do Dissipador.....	156
6.3 – Hardware para Condicionamento de Sinais e Interface com o DSP.....	158
6.3.1 – Filtro Anti Aliasing.....	159
6.3.2 – Amostragem das Correntes de Entrada.....	160
6.3.3 – Amostragem da Tensão de Saída.....	160
6.3.4 – Sincronismo.....	161
6.3.5 – Circuitos de Comando e Proteções.....	162
6.3.6 – Conversores D/A.....	163
6.4 – Fontes Auxiliares e Circuito de Pré-Carga.....	163
6.5 – Conclusão.....	164
CAPÍTULO 7 – Controle Digital e Implementação em DSP.....	165
7.1 – Introdução.....	165
7.2 – Discretização dos Modelos.....	165
7.2.1 – Malha de Corrente.....	166
7.2.2 – Malha de Tensão.....	166
7.3 – Metodologia de Projeto dos Controladores Discretos.....	167
7.3.1 – Controladores de Corrente.....	167
7.3.2 – Controlador de Tensão.....	171
7.3.3 – Simulações.....	176
7.4 – Características do DSP Utilizado.....	184
7.5 – Programação.....	186
7.5.1 – Fluxograma.....	186
7.5.2 – Configurações.....	187
a) Definição de Valores e Inicialização do Sistema.....	187
b) Pinos de Entrada/Saída Digital (I/O).....	188
c) Conversor Analógico/Digital (A/D).....	188

d) Gerenciador de Eventos.....	188
e) Interrupções.....	189
7.5.3 – Amostragem de Sinais.....	189
7.5.4 – Teste de Sincronismo.....	189
7.5.5 – Proteções de Nível de Tensão e Partida Suave.....	190
7.5.6 – Transformação Direta e Inversa.....	192
7.5.7 – Implementação dos Controladores.....	193
7.5.8 – Definição dos Setores e Cálculo das Razões Cíclicas.....	194
7.6 – Conclusão.....	194
CAPÍTULO 8 – Resultados Experimentais.....	195
8.1 – Introdução.....	195
8.2 – Operação sem Correção de Fator de Potência	195
8.3 – Testes das Rotinas Implementadas.....	196
8.3.1 – Procedimento de Partida.....	200
8.4 – Retificador Unidirecional Y_1	201
8.4.1 – Operação com $V_L = 220\text{ V}$ e $V_O = 400\text{ V}$	201
8.4.2 – Operação com $V_L = 380\text{ V}$ e $V_O = 700\text{ V}$	209
8.5 – Retificador Unidirecional Δ_1	213
8.5.1 – Operação com $V_L = 220\text{ V}$ e $V_O = 400\text{ V}$	213
8.5.2 – Operação com $V_L = 380\text{ V}$ e $V_O = 700\text{ V}$	220
8.6 – Conclusão.....	225
CONCLUSÃO GERAL.....	226
ANEXO A – Esquemático e Netlist para a Simulação do Retificador Trifásico Bidirecional.....	229
A.1 – Esquemático para a Simulação do Retificador Trifásico Bidirecional.....	229
A.2 – Netlist para a Simulação do Retificador Trifásico Bidirecional.....	231
ANEXO B – Esquemático e Netlist para a Simulação do Retificador Trifásico Unidirecional Y_1	234
B.1 – Esquemático para a Simulação do Retificador Trifásico Unidirecional Y_1	234

B.2 – Netlist para a Simulação do Retificador Trifásico Unidirecional Y_1.....	236
ANEXO C – Esquemático e Netlist para a Simulação do Retificador Trifásico Unidirecional Δ_1	
C.1 – Esquemático para a Simulação do Retificador Trifásico Unidirecional Δ_1	239
C.2 – Netlist para a Simulação do Retificador Trifásico Unidirecional Δ_1	241
ANEXO D – Dimensionamento do Estagio de Potência para o Retificador Trifásico PWM Unidirecional Δ_1	
D.1 – Cálculos Preliminares.....	244
D.2 – Dimensionamento dos Indutores de Entrada.....	246
D.2.1 – Valor da Indutância.....	246
D.2.2 – Corrente Eficaz no Indutor.....	246
D.2.3 – Corrente de Pico no Indutor.....	247
D.2.4 – Corrente Média no Indutor.....	247
D.2.5 – Tensão de Pico no Indutor.....	247
D.3 – Dimensionamento do Capacitor de Saída.....	248
D.3.1 – Valor da Capacitância.....	248
D.3.2 – Corrente Eficaz no Capacitor.....	249
D.3.3 – Corrente de Pico no Capacitor.....	250
D.3.4 – Corrente Média no Capacitor.....	250
D.3.5 – Tensão no Capacitor.....	250
D.4 – Dimensionamento dos Interruptores.....	250
D.4.1 – Corrente Eficaz no Interruptor.....	250
D.4.2 – Corrente de Pico no Interruptor.....	251
D.4.3 – Corrente Média no Interruptor.....	251
D.4.4 – Tensão de Pico no Interruptor.....	252
D.5 – Dimensionamento dos Diodos D_{13456}	252
D.5.1 – Corrente Eficaz nos Diodos D_{13456}	252
D.5.2 – Corrente de Pico nos Diodos D_{13456}	253
D.5.3 – Corrente Média nos Diodos D_{13456}	253
D.5.4 – Tensão de Pico nos Diodos D_{13456}	254

D.6 – Dimensionamento dos Diodos D_{112}	254
D.6.1 – Corrente Eficaz nos Diodos D_{112}	254
D.6.2 – Corrente de Pico nos Diodos D_{112}	255
D.6.3 – Corrente Média nos Diodos D_{112}	255
D.6.4 – Tensão de Pico nos Diodos D_{112}	255
ANEXO E – Esquemas Elétricos das Placas Utilizadas no Protótipo.....	256
E.1 – Esquemas Elétricos.....	256
ANEXO F – Listagem do Programa para o Controle do Retificador Trifásico Unidirecional.....	263
REFERÊNCIAS BIBLIOGRÁFICAS.....	276

LISTA DE SIMBOLOS

1. Símbolos Adotados nos Equacionamentos

<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
C	Controlador	
C	Capacitância	F
D	Raço cíclica (Duty Cycle)	
E	Energia	J
f	Frequência	Hz
fv	Frequência afetada pela transformação para o plano W	Hz
I, i	Corrente	A
K, k	Constante	
L	Indutância	H
\overline{M}	Matriz de transformação	
\overline{M}^{-1}	Matriz Inversa	
\overline{M}^T	Matriz Transposta	
P	Potência Ativa	W
Q	Potência Reativa	VA
R	Resistência elétrica	Ω
R θ	Resistência térmica	$^{\circ}\text{C/W}$
s	Variável complexa	
T	Período, Intervalo.	s
T	Temperatura	$^{\circ}\text{C}$
t	Instante de tempo	s
u	Vetor unitário	
V, v	Tensão, Diferença de Potencial	V
\vec{V}	Vetores espaciais	
z	Variável complexa discreta	
\tilde{x}	Perturbação em torno de um ponto de operação da variável x	
X	Reatância	Ω
w	Variável complexa discreta no plano W	
δ	Defasagem	$^{\circ}$
ΔQ	Variação de carga em um capacitor	C
η	Rendimento	%
μ	Fator, relação entre variáveis	
ν	Frequência angular afetada pela transformação para o plano W	rad/s
ω	Frequência Angular	rad/s
Δ	Variação de uma grandeza em torno de um valor	

2. Símbolos para Referenciar Elementos de Circuitos

<i>Símbolo</i>	<i>Significado</i>
C	Capacitor
D	Diodo
L	Indutor
R	Resistência
S	Interruptor
v	Fonte de tensão alternada
V	Valor contínuo de tensão

3. Símbolos de Unidades de Grandezas Físicas

<i>Símbolo</i>	<i>Significado</i>
A	Ampère
db	Decibel
f	Frequência
F	Faraday
H	Henry
°	Graus elétricos
s	Segundos
V	Volt
VA	VoltAmpere
W	Watt
ω	Frequência angular
Ω	Ohm

4. Acrônimos e Abreviaturas

<i>Símbolo</i>	<i>Significado</i>
A/D	Conversor Analógico-Digital
AR	Registro auxiliar
CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuito Integrado
cmd	Sinal de Comando
CPU	Unidade central de processamento
D/A	Conversor digital analógico
DSP	Processador digital de sinais (Digital Signal Processor)
EVM	Módulo Gerenciador de Eventos
FD	Fator de Deslocamento
FP	Fator de Potência
FTMF	Função de Transferência em Malha Fechada
IGBT	Insulated Gate Bipolar Tansistor
I/O	Entrada/Saída
MIPS	Milhões de instruções por segundo
OFF	Interruptor Aberto
ON	Interruptor Fechado
PL	Plano Limite
PS	Plano de Separação
PWM	Modulação por largura de pulso (Pulse Width Modulation)
SS	Sub-Setor
SVM	Modulação vetorial (Space Vector Modulation)
THD	taxa de distorção harmônica (Total Harmonic Distotion)
UPS	Fonte de Alimentação Ininterrupta (Uninterrupted Power System)
Y	Conexão em Y ou estrela
Δ	Conexão em Δ – delta ou triângulo

5. Sub-Índices Utilizados

<i>Símbolo</i>	<i>Significado</i>
a	Amostragem de tensão
A	Amostragem
AF	Alta frequência
A,B e C	Fases A, B e C
ANT	Variável do período anterior
BF	Baixa frequência
c	Corte ou cruzamento
C	Coletor
CAP	Capacitância equivalente
CE	Entre os terminais de coletor e emissor
CH	Entre o encapsulamento © e o dissipador (H)
CO	Capacitor de saída
cond	Durante a condução
d, D	Variável de eixo direto
Desacopl	Variável de desacoplamento
EF	Valor eficaz – rms
F	Variável relativa a rede elétrica
FAA	Relativo ao filtro de anti aliasing
I	Variável relativa a malha de corrente
I	Parcela Integral
IN	Variável de Entrada
JC	Entre junção (J) e encapsulamento ©
L	Variável de linha
MAX	Valor máximo
MED	Valor médio – avg
O	Variável de saída
on	Na entrada em condução
off	No bloqueio
P	Valor de pico, máximo
P	Pólo do controlador
P	Parcela Proporcional
q	Variável de eixo em quadratura
R	Retificador
REF	Variável de referência
REQ	Resistor de equalização
S	Chaveamento, comutação ou de um interruptor
SE	Série equivalente
Sh	Amostragem de corrente
Sint	Sintetizado, resultante
SOFT	Relativo a partida suave
T	Variável relativa a forma de onda triangular
T	Total
V	Variável relativa a malha de tensão
Z	Zero do controlador
α	Variável de eixo α
β	Variável de eixo β

Capítulo 1 - Introdução Geral

1.1. Introdução

O desenvolvimento de circuitos retificadores trifásicos com elevado fator de potência tem merecido grande atenção por parte de engenheiros e pesquisadores da área de eletrônica de potência, visando melhoria de desempenho em características como: fator de potência, rendimento, densidade de potência, regulação da tensão de saída, esforços de tensão e corrente nos semicondutores, etc.

No que se refere ao fator de potência (FP), os retificadores convencionais apresentam distorções nas correntes drenadas da rede e um reduzido fator de potência [1]. Como conseqüências destas características, surgem distorções nas tensões de alimentação, aumentam as perdas nas redes de distribuição e interferências eletromagnéticas, prejudicando o funcionamento de outros equipamentos.

Desta forma, estes retificadores não conseguem atingir o desempenho satisfatório para atender normas internacionais [2-3] que definem os limites recomendados para o conteúdo harmônico dos sinais de corrente em equipamentos eletrônicos.

No caso da norma IEC 61000 3-4 que é aplicada a equipamentos com correntes maiores que 16A, têm-se os limites das componentes individuais das harmônicas de corrente de entrada apresentados na Tabela 1-1, juntamente com o valor admissível da taxa de distorção (“*Total Harmonic Distortion*” – THD) (1.1).

$$THD_{40} = \sqrt{\sum_{n=2}^{40} \left(\frac{I_n}{I_1} \right)^2} \quad (1.1)$$

Tabela 1-1 – Limites das componentes individuais das harmônicas de corrente e THD.

	THD ₄₀	I ₅ / I ₁	I ₇ / I ₁	I ₁₁ / I ₁	I ₁₃ / I ₁
IEC61000 3-4	16%	14%	11%	10%	8%

Por outro lado, nos retificadores com elevado fator de potência (PFC) que utilizam a modulação por largura de pulso (“*Pulse Width Modulation*” - PWM), o comando adequado dos interruptores nos retificadores PWM permite a obtenção de correntes de entrada praticamente senoidais e em fase com as tensões de alimentação e reduzidas taxas de distorção harmônica.

Nesta área, podem ser citados estudos referentes ao desenvolvimento de novas topologias e métodos de comutação, estratégias de controle e modelagem e técnicas de modulação.

Entre as propostas apresentadas, não existem soluções que possam ser consideradas como um padrão a ser seguido. No que se refere às técnicas de modulação, algumas alternativas são propostas à modulação PWM convencional.

Estas técnicas são direcionadas principalmente ao controle de inversores [4-8], retificadores bidirecionais [9-12] e retificadores unidirecionais de três níveis [13-18], identificando-se a necessidade de desenvolvimento ou adaptação de técnicas de modulação para a aplicação em conversores CA-CC trifásicos unidirecionais de dois níveis com elevado fator de potência.

Neste trabalho, serão utilizados os conceitos apresentados na teoria de potência ativa e reativa tradicional [19-20], estes conceitos são suficientes para avaliar o desempenho dos retificadores estudados, pois se considera o sistema trifásico simétrico e equilibrado.

Com isso, é possível aplicar a teoria de controle vetorial a estes retificadores e verificar parâmetros como fator de potência, onde se considera principalmente as componentes fundamentais das correntes e tensões do sistema.

Em sistemas desequilibrados, podem ser aplicados conceitos como os da teoria da potência reativa instantânea [19-21] para a análise de sistemas em aplicações que exijam o controle de outras componentes que não sejam as fundamentais.

1.1.1. Retificadores Unidirecionais

Em aplicações de elevada potência, como UPSs (“*Uninterrupted Power Systems*”) e fontes de alimentação para telecomunicações, nas quais não é necessário o fluxo bidirecional de potência, os retificadores unidirecionais apresentam algumas vantagens como a diminuição do número de interruptores, proteção natural contra curto circuito no barramento CC e reduzido processamento de energia pelos interruptores ativos.

É grande o número de topologias de conversores trifásicos PWM unidirecionais apresentados na literatura [22-26], podendo ser identificados vários fatores que caracterizam uma determinada estrutura como, por exemplo:

- Modo de condução contínua ou descontínua;
- Topologias de dois ou de três níveis;
- Topologias derivadas dos conversores “*boost*”, “*buck*”, “*buck-boost*”, etc.;
- Topologias com ou sem isolamento;
- Número de interruptores ativos;
- Acesso ao neutro.

Quando a tensão de barramento não é demasiadamente elevada, as topologias de dois níveis se tornam atrativas, pois não apresentam a necessidade do controle da tensão do ponto médio do barramento CC, diminuindo o número de sensores e controladores empregados.

Na literatura, são apresentadas diversas topologias de retificadores PWM unidirecionais de dois níveis [22-33]. Algumas destas estruturas apresentam em comum, a conexão dos interruptores bidirecionais em Y ou Δ ou a conexão em ponte trifásica, derivada do retificador trifásico PWM bidirecional [34-35].

A estrutura da Fig. 1-1 (Retificador Y_1) é uma estrutura proposta localmente [27-28] na qual a estratégia de modulação vetorial ainda não foi aplicada.

Este retificador tem os interruptores bidirecionais internos aos braços de diodos, conectados em Y e são utilizados apenas três interruptores ativos.

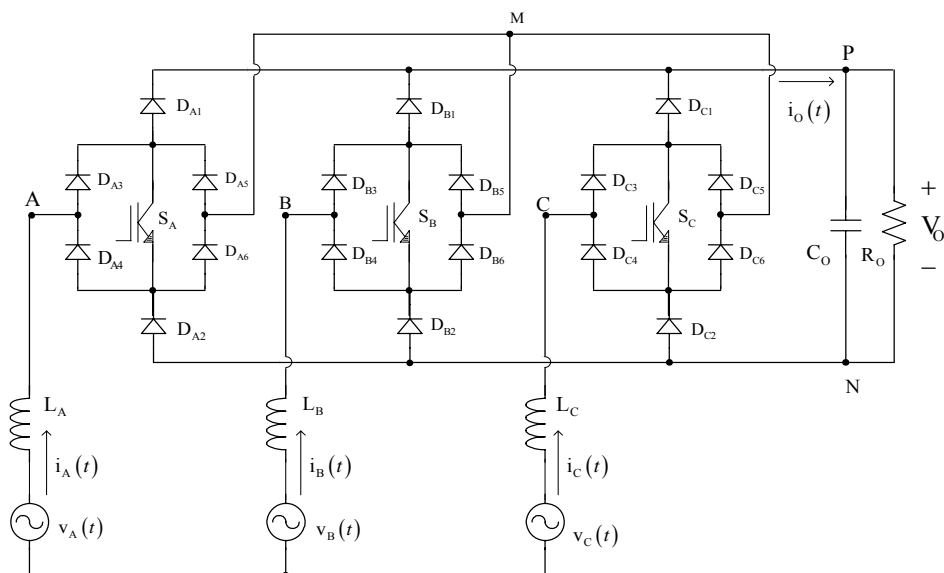


Fig. 1-1 – Retificador Y_1.

O retificador apresentado na Fig. 1-2 (Retificador Δ _1) é uma estrutura semelhante ao retificador da Fig. 1-1, porém os interruptores bidirecionais estão conectados em Δ .

As referências que tratam deste conversor [31-32] não apresentam detalhes da implementação da modulação vetorial aplicada a estes conversores, nem informações sobre a análise e dimensionamento desta estrutura.

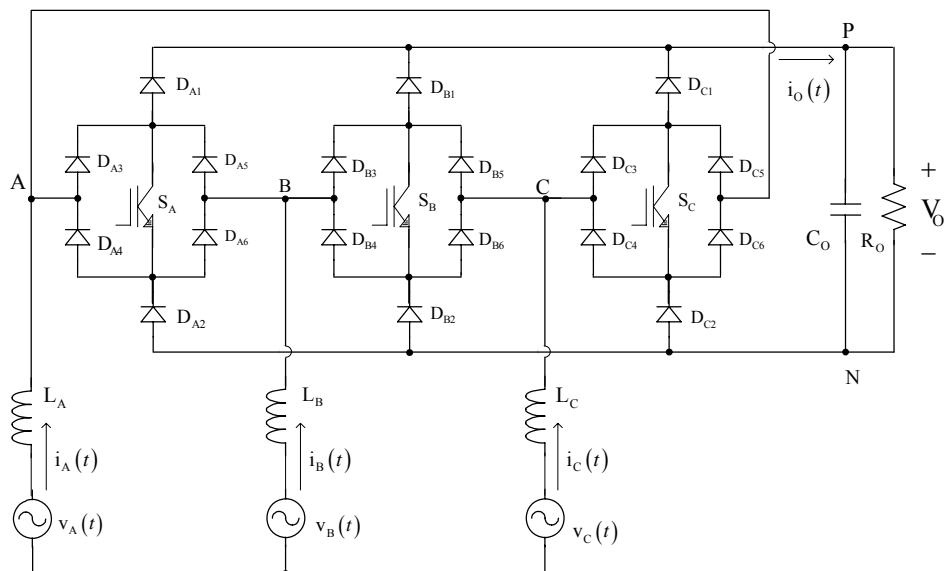


Fig. 1-2 – Retificador Δ_1 .

Nas figuras Fig. 1-3 e Fig. 1-4 são apresentados mais dois retificadores, um conectado em Y (Retificador Y_2) e outro conectado em Δ (Retificador Δ_2) [29-30].

Estes retificadores possuem os interruptores bidirecionais externos aos braços de diodos com dois interruptores ativos para cada interruptor bidirecional.

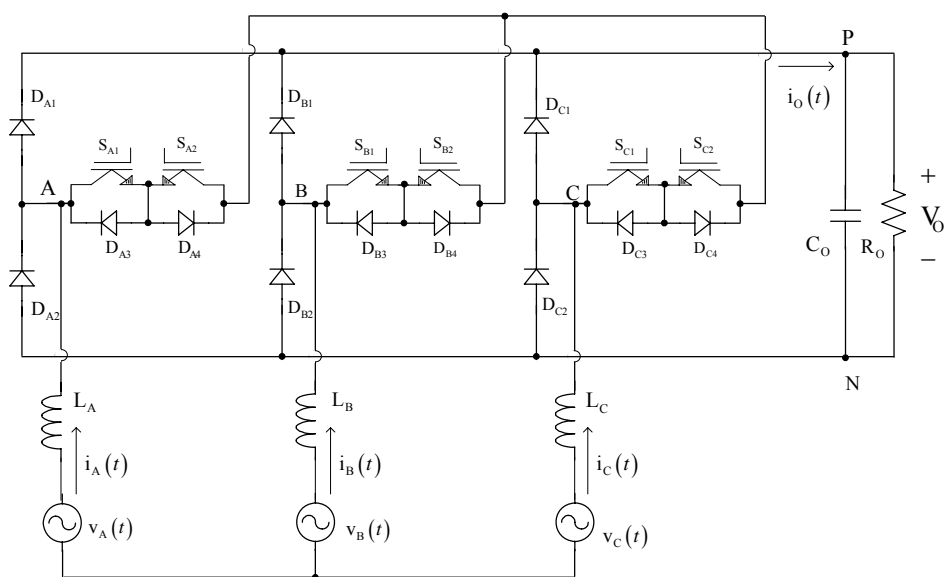
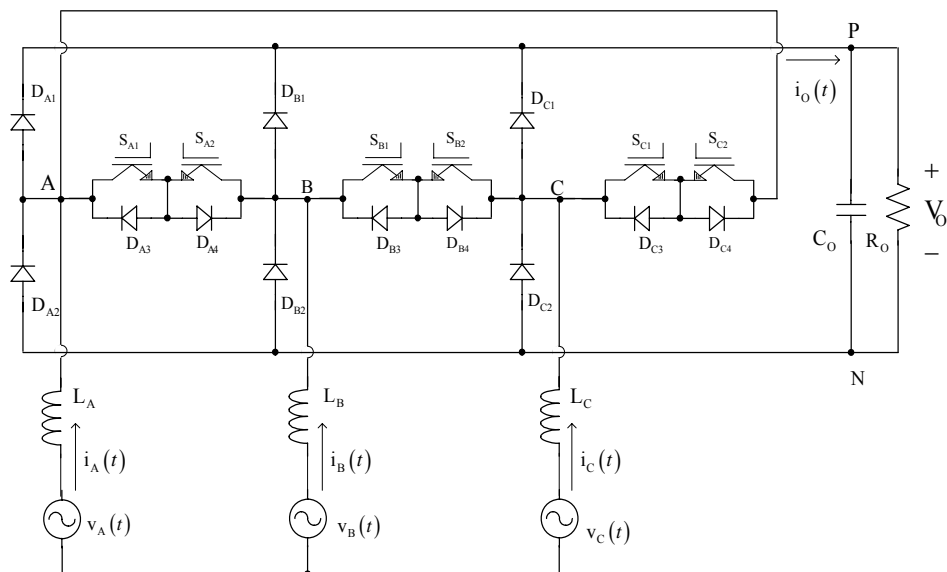


Fig. 1-3 – Retificador Y_2.

Fig. 1-4 – Retificador Δ_2 .

O retificador da Fig. 1-5 (Retificador Y_3) [22] também é uma estrutura que utiliza a conexão Y, com os interruptores bidirecionais internos aos braços de diodos, porém com a utilização de seis interruptores ativos.

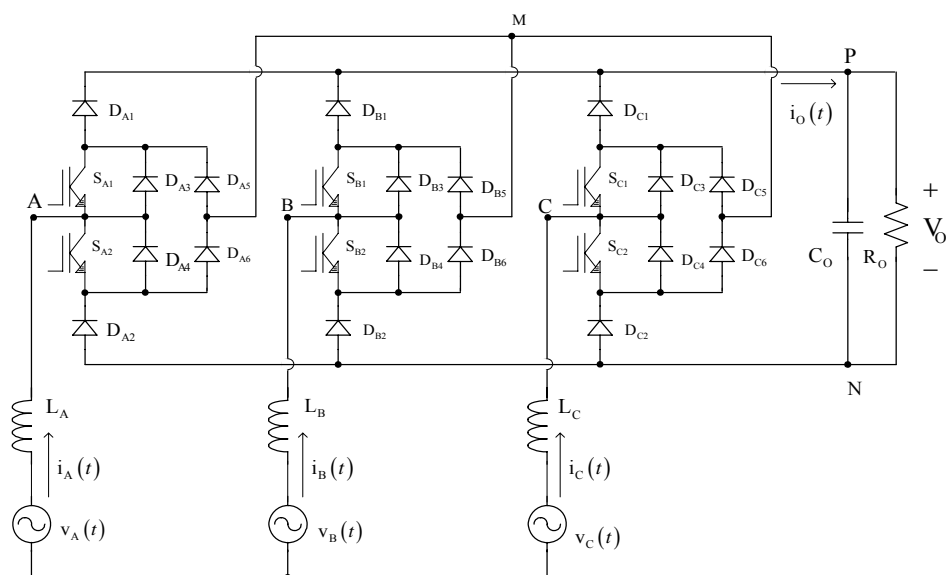


Fig. 1-5 – Retificador Y_3.

A estrutura apresentada na Fig. 1-6 (Retificador Ponte_1) [23] também utiliza seis interruptores, com a conexão em ponte externa aos braços de diodos.

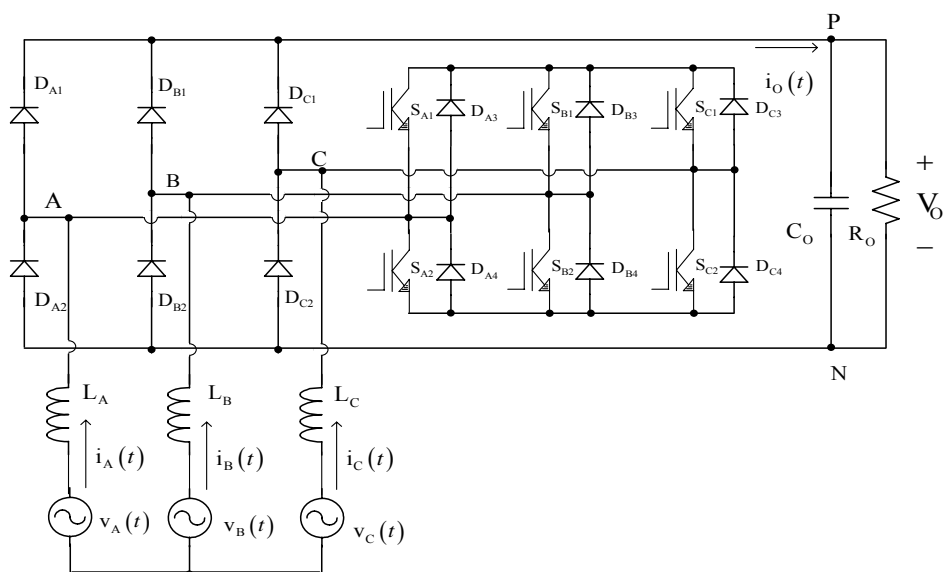


Fig. 1-6 – Retificador Ponte_1.

Na Fig. 1-7 é apresentado outro retificador unidirecional (Retificador Ponte_2) [33] com seis interruptores ativos que utilizam a conexão em ponte, esta estrutura é derivada do retificado PWM trifásico bidirecional, com a inclusão de um diodo em série com a carga.

Com isso, elimina-se a possibilidade de curto circuito de braço e a análise da estrutura passa a ser diferente da análise da estrutura original.

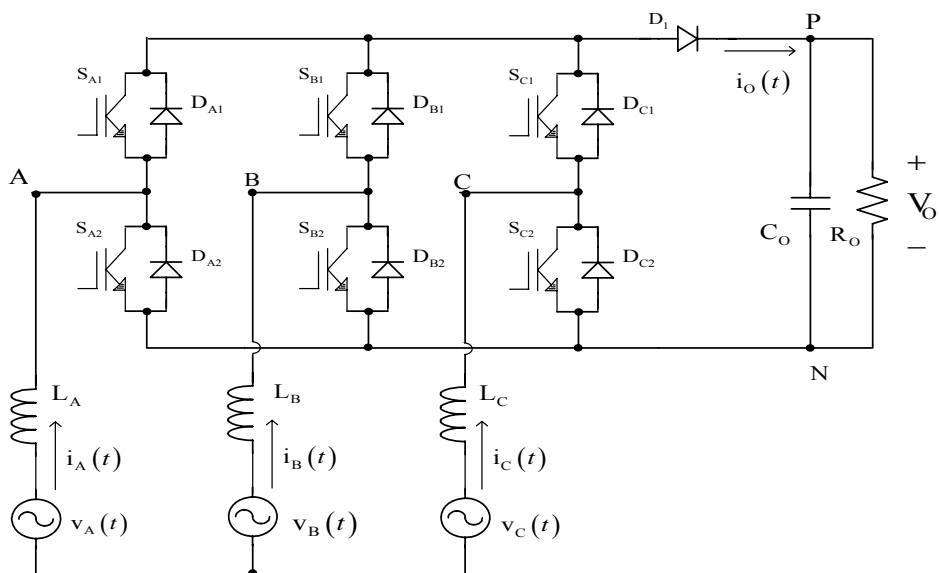


Fig. 1-7 – Retificador Ponte_2.

Neste trabalho serão implementadas as estruturas da Fig. 1-1 e da Fig. 1-2, pois se tratam de estruturas semelhantes, uma utilizando a conexão em Y e a outra a conexão em Δ .

1.1.2. Modulação e Controle Vetorial

A modulação vetorial (“*Space Vector Modulation*” - SVM) é uma técnica de modulação que permite a análise da comutação nos conversores estudados com a redução do número de comutações dos interruptores. Entre outras características que podem ser analisadas e melhoradas com o emprego desta técnica, pode-se citar a minimização do conteúdo harmônico das correntes de entrada dos retificadores, a melhor distribuição das perdas nos semicondutores e a utilização de maiores índices de modulação [36-37].

Em conjunto com a estratégia de modulação serão considerados os conceitos de controle vetorial aplicado a estes retificadores e a modelagem destes sistemas para estas condições de modulação e controle.

A utilização da transformada de Park permite a obtenção de um modelo preciso dos conversores CA-CC trifásicos, através de uma metodologia rápida e simples [38]. As transformações utilizadas para a implementação deste controle e a aplicação da estratégia de modulação vetorial exigem uma estrutura apropriada para o cálculo e tratamento destas informações.

Assim, justifica-se a implementação das estruturas de controle e modulação através de um processador digital de sinais (“*Digital Signal Processor*” - DSP), com base em vários exemplos e documentos de suporte apresentados na literatura [39-42] que estão relacionados a esta aplicação.

Além disso, para aplicações de elevada potência, o custo da estrutura de controle e modulação é reduzido quando comparado ao custo do estágio de potência.

1.2. Objetivos do Trabalho e Metodologia Empregada

Este trabalho tem como objetivo geral a aplicação da modulação vetorial a retificadores trifásicos PWM unidirecionais de dois níveis com elevado fator de potência.

Como desdobramentos deste estudo, são identificados objetivos específicos relacionados com o objetivo principal:

- Análise das estruturas retificadoras;
- Aplicação da técnica de modulação vetorial;
 - Verificação dos vetores disponíveis para a aplicação da modulação vetorial;

- Análise da forma de implementação dos vetores e sinais de comando necessários;
- Proposição e definição de seqüência de vetores, e cálculo dos intervalos de aplicação;
- Estudo e aplicação de ferramentas de controle vetorial, modelagem de retificadores e técnicas de controle clássico;
- Verificação do emprego das técnicas de controle e modulação através de simulação numérica;
- Verificação do emprego das técnicas de controle e modulação através da implementação de protótipos;
- Análise dos resultados obtidos.

Desta forma, a metodologia utilizada é baseada na proposição de técnicas de controle e modulação vetorial para os retificadores unidirecionais estudados. A validação dos resultados será realizada através da análise dos resultados de simulação e dos protótipos implementados, com a medição das grandezas relacionadas ao funcionamento destas estruturas e das formas de onda características deste funcionamento.

1.3. Organização do Trabalho

O Capítulo 2 apresenta uma introdução aos conceitos da modulação vetorial e controle vetorial utilizando como exemplo a aplicação destas técnicas de controle e modulação ao retificador trifásico PWM bidirecional e a verificação dos resultados através de simulação numérica.

No Capítulo 3 a técnica de modulação vetorial é aplicada ao retificador trifásico PWM unidirecional de dois níveis Y_1 , sendo analisadas a topologia, as etapas de operação e a adaptação da modelagem desenvolvida no capítulo anterior a esta estrutura. Neste capítulo também serão projetados os controladores a serem utilizados em todos os conversores estudados neste trabalho.

No Capítulo 4, a técnica de modulação vetorial é aplicada ao retificador trifásico PWM unidirecional de dois níveis Δ_1 , sendo realizada a mesma análise dos capítulos anteriores para esta estrutura.

O Capítulo 5 mostra a aplicação da modulação e do controle vetorial a outros retificadores unidirecionais de dois níveis e é feita uma análise generalizada da aplicação

da modulação vetorial aos retificadores unidirecionais de dois níveis. Neste capítulo também são analisados aspectos sobre a modelagem destes retificadores e fatores de desempenho destas estruturas.

O projeto do estágio de potência e a descrição do hardware para condicionamento de sinais e interface com o DSP são apresentados no Capítulo 6.

No capítulo 7, é feito o projeto dos controladores discretos e a programação do DSP é descrita. Os resultados experimentais da aplicação da modulação vetorial aos retificadores unidirecionais de dois níveis são mostrados no Capítulo 8.

Na seção seguinte são feitas conclusões sobre a aplicação das técnicas de controle vetorial e modulação vetorial aos retificadores estudados.

Em Anexos são apresentados os circuitos utilizados para a simulação dos conversores, o dimensionamento do estágio de potência para a estrutura apresentada no Capítulo 4, os diagramas esquemáticos das placas utilizadas e a listagem do programa de controle do retificador com DSP.

Capítulo 2 - Modulação Vetorial e Controle Vetorial

2.1. Introdução

A modulação vetorial (“*Space Vector Modulation*” - SVM) é uma técnica de modulação que pode ser aplicada a diversos conversores (inversores, retificadores e filtros ativos) e possibilita a redução do número de comutação dos interruptores, a minimização do conteúdo harmônico das correntes de entrada dos retificadores e a utilização de maiores índices de modulação, entre outras características [36-37].

Neste capítulo será feita uma breve introdução sobre os conceitos e características desta técnica de modulação quando aplicada a retificadores trifásicos de dois níveis. Além da modulação, serão abordadas questões sobre controle vetorial e modelagem de retificadores utilizando as transformações de Clark e Park.

Será tomada como exemplo a aplicação desta técnica ao retificador trifásico PWM bidirecional de dois níveis com elevado fator de potência. Os resultados da aplicação das estratégias de modulação e controle serão verificados através de simulações computacionais.

A notação utilizada para a modulação vetorial será a apresentada em [7]; entretanto, na literatura que trata do assunto, outras formas de representação podem ser utilizadas [37].

2.2. Princípios da Modulação Vetorial

Na aplicação da modulação vetorial consideram-se principalmente as definições dos vetores possíveis e disponíveis, a decomposição destes vetores nos eixos α e β , e a seqüência de distribuição dos vetores.

Deve-se considerar também a identificação de setores para o posicionamento dos vetores a serem implementados e a relação entre os vetores e os sinais de comando aplicados aos interruptores do conversor em cada etapa de operação.

2.2.1. Topologia e Vetores Disponíveis

A Fig. 2-1 mostra a topologia do retificador trifásico bidirecional de dois níveis com elevado fator de potência que será utilizado para demonstrar os princípios da modulação vetorial.

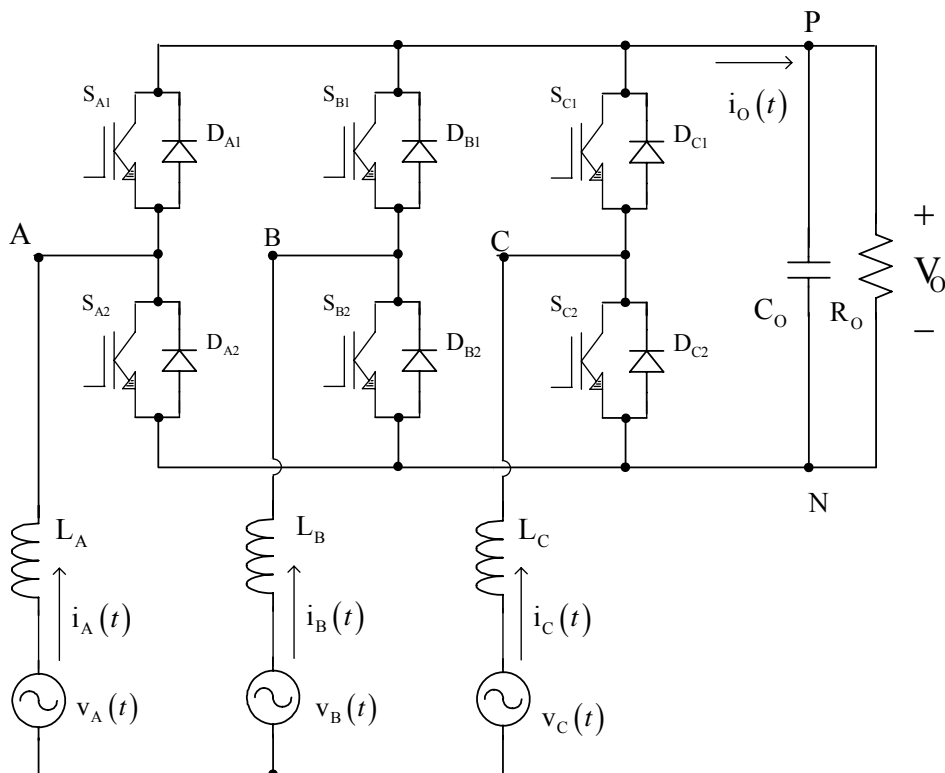


Fig. 2-1 - Retificador trifásico bidirecional.

Para a estrutura analisada, com três braços, cada um com dois interruptores que operam de forma complementar, verifica-se a possibilidade de utilização de oito (2^3) vetores disponíveis para representar os estados topológicos do conversor, como demonstrado na Tabela 2.1.

Tabela 2.1 - Vetores possíveis.

Vetor	Ponto A	Ponto B	Ponto C	V_{AB}	V_{BC}	V_{CA}
\vec{V}_0 (0 0 0)	N	N	N	0	0	0
\vec{V}_1 (1 0 0)	P	N	N	$+V_O$	0	$-V_O$
\vec{V}_2 (1 1 0)	P	P	N	0	$+V_O$	$-V_O$
\vec{V}_3 (0 1 0)	N	P	N	$-V_O$	$+V_O$	0
\vec{V}_4 (0 1 1)	N	P	P	$-V_O$	0	$+V_O$
\vec{V}_5 (0 0 1)	N	N	P	0	$-V_O$	$+V_O$
\vec{V}_6 (1 0 1)	P	N	P	$+V_O$	$-V_O$	0
\vec{V}_7 (1 1 1)	P	P	P	0	0	0

Aplicando a transformação $\alpha\beta 0$ (transformação de Clark), definida na expressão (2.1) [7] [38], aos vetores que estão representados por suas coordenadas nos eixos A, B e C obtêm-se as coordenadas destes vetores nos eixos α e β conforme a Tabela 2.2.

$$\bar{M}_{\alpha\beta} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (2.1)$$

Neste caso, a componente 0 da transformação $\alpha\beta 0$ é desprezada, já que a dimensão do espaço das tensões apresentadas pelo retificador é dois [7].

Tabela 2.2 – Projeções dos vetores nos eixos α e β .

Vetor (A B C)	Coordenadas [α β]	Vetor (A B C)	Coordenadas [α β]
\bar{V}_0 (0 0 0)	[0 0]	\bar{V}_4 (0 1 1)	$\begin{bmatrix} -\sqrt{\frac{2}{3}} & 0 \end{bmatrix}$
\bar{V}_1 (1 0 0)	$\begin{bmatrix} \sqrt{\frac{2}{3}} & 0 \end{bmatrix}$	\bar{V}_5 (0 0 1)	$\begin{bmatrix} -\frac{1}{\sqrt{6}} & -\frac{\sqrt{2}}{2} \end{bmatrix}$
\bar{V}_2 (1 1 0)	$\begin{bmatrix} \frac{1}{\sqrt{6}} & \frac{\sqrt{2}}{2} \end{bmatrix}$	\bar{V}_6 (1 0 1)	$\begin{bmatrix} \frac{1}{\sqrt{6}} & -\frac{\sqrt{2}}{2} \end{bmatrix}$
\bar{V}_3 (0 1 0)	$\begin{bmatrix} -\frac{1}{\sqrt{6}} & \frac{\sqrt{2}}{2} \end{bmatrix}$	\bar{V}_7 (1 1 1)	[0 0]

A expressão que caracteriza estes vetores é dada por (2.2).

$$\bar{V}_i = \begin{cases} \sqrt{\frac{2}{3}} \cdot e^{j\frac{\pi}{3}(i-1)} & i = 1, \dots, 6 \\ 0 & i = 0, 7 \end{cases} \quad (2.2)$$

Desta forma, têm-se seis vetores não nulos com o módulo igual a $\sqrt{2/3}$ e dois vetores nulos (com módulo igual a zero).

Estes vetores podem ser visualizados de acordo com a representação espacial no sistema de coordenadas α e β , mostrada na Fig. 2-2, na qual se observa que o ângulo entre os vetores é de 60° e que as extremidades dos vetores são os vértices de um hexágono regular. Desta forma, identificam-se seis setores.

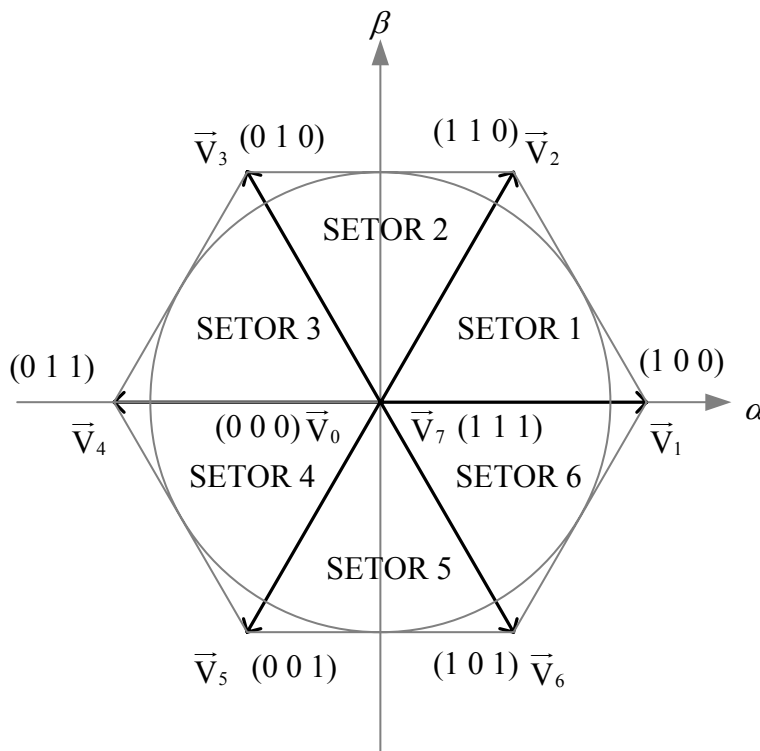


Fig. 2-2 – Representação espacial dos vetores disponíveis.

É importante lembrar que os vetores obtidos estão relacionados aos estágios topológicos do conversor e que as amplitudes destes vetores foram afetadas pela transformação (2.1).

2.2.2. Implementação dos Vetores

Para sintetizar um vetor desejado \vec{V}_{Sint} , identifica-se em que setor este vetor se situa e utiliza-se os dois vetores não nulos adjacentes a este setor e os vetores nulos \vec{V}_0 (000) e \vec{V}_7 (111). \vec{V}_{Sint} é o vetor relacionado com os sinais de comando dos interruptores conectados às fases A, B e C, que permitem a realização de um determinado estado topológico. Este vetor está representado no sistema que sofreu a transformação anterior.

Para o Setor 1 as projeções do vetor \vec{V}_{Sint} nos eixos α e β são mostradas na Fig. 2-3, sendo o vetor resultante obtido pela média ponderada pelos intervalos de aplicação dos vetores não nulos, em relação ao período de comutação T_s (2.3).

$$T_s \cdot \vec{V}_{\text{Sint}} = T_1 \cdot \vec{V}_1 + T_2 \cdot \vec{V}_2 \quad (2.3)$$

T_1 representa o intervalo de aplicação do vetor \vec{V}_1 , T_2 o intervalo de aplicação do vetor \vec{V}_2 e T_0 a soma dos intervalos de aplicação dos vetores nulos (2.4).

$$T_s = T_0 + T_1 + T_2 \quad (2.4)$$

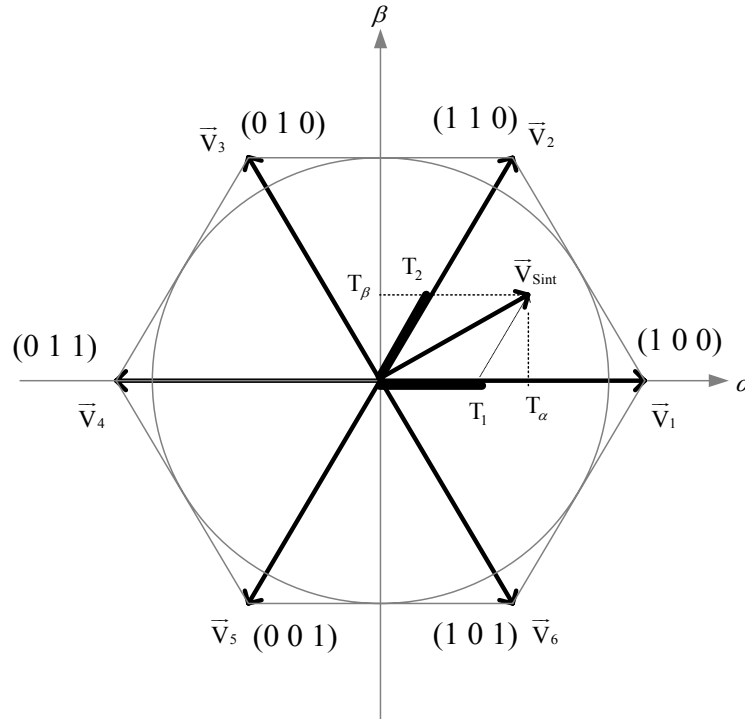


Fig. 2-3 - Projeção de vetores para o setor 1.

A partir da Tabela 2.2 e da figura Fig. 2-3 obtém-se as relações (2.5).

$$T_s \cdot \vec{V}_{Sint} = T_1 \cdot \sqrt{\frac{2}{3}} \cdot \vec{u}_\alpha + T_2 \cdot \left(\frac{1}{\sqrt{6}} \cdot \vec{u}_\alpha + \frac{\sqrt{2}}{2} \cdot \vec{u}_\beta \right) = T_\alpha \cdot \vec{u}_\alpha + T_\beta \cdot \vec{u}_\beta \quad (2.5)$$

Igualando-se as componentes de cada coordenada para os dois lados da igualdade, determinam-se os valores de T_1 e T_2 para este setor conforme a expressão (2.6).

$$\begin{cases} T_1 = \sqrt{\frac{3}{2}} \cdot T_\alpha - \frac{1}{\sqrt{2}} \cdot T_\beta \\ T_2 = \sqrt{2} \cdot T_\beta \end{cases} \quad (2.6)$$

O intervalo da aplicação dos vetores nulos é dado por (2.7).

$$T_0 = T_s - (T_1 + T_2) \quad (2.7)$$

Utilizando-se o mesmo procedimento, podem-se encontrar as relações dos intervalos de aplicação dos vetores para outros setores conforme a Tabela 2.3.

Tabela 2.3 - Intervalos de aplicação dos vetores.

Setor 1	$T_1 = \sqrt{\frac{3}{2}} \cdot T_\alpha - \frac{1}{\sqrt{2}} \cdot T_\beta$	$T_2 = \sqrt{2} \cdot T_\beta$
Setor 2	$T_2 = \sqrt{\frac{3}{2}} \cdot T_\alpha + \frac{1}{\sqrt{2}} \cdot T_\beta$	$T_3 = -\sqrt{\frac{3}{2}} \cdot T_\alpha + \frac{1}{\sqrt{2}} \cdot T_\beta$
Setor 3	$T_3 = \sqrt{2} \cdot T_\beta$	$T_4 = -\sqrt{\frac{3}{2}} \cdot T_\alpha - \frac{1}{\sqrt{2}} \cdot T_\beta$
Setor 4	$T_4 = -\sqrt{\frac{3}{2}} \cdot T_\alpha + \frac{1}{\sqrt{2}} \cdot T_\beta$	$T_5 = -\sqrt{2} \cdot T_\beta$
Setor 5	$T_5 = -\sqrt{\frac{3}{2}} \cdot T_\alpha - \frac{1}{\sqrt{2}} \cdot T_\beta$	$T_6 = \sqrt{\frac{3}{2}} \cdot T_\alpha - \frac{1}{\sqrt{2}} \cdot T_\beta$
Setor 6	$T_6 = -\sqrt{2} \cdot T_\beta$	$T_1 = \sqrt{\frac{3}{2}} \cdot T_\alpha + \frac{1}{\sqrt{2}} \cdot T_\beta$

As relações anteriores são válidas para a operação na região linear [43]-[44], delimitada pelo círculo inscrito no hexágono formado pelos seis vetores não nulos.

Para a implementação de uma trajetória circular (equivalente às trajetórias senoidais nos eixos A, B, C) a amplitude máxima de $\overline{V_{\text{Sint}}}$ é $1/\sqrt{2}$. Isto implica que a menor tensão de saída do retificador é igual a $\sqrt{2}$ vezes o valor de pico da tensão de entrada [43]-[44].

Estas relações correspondem ao fato de que a modulação vetorial permite um melhor aproveitamento do barramento CC, possuindo um índice de modulação mais elevado quando se compara com a modulação PWM senoidal [7] [36].

No caso em que $|\overline{V_{\text{Sint}}}| > 1/\sqrt{2}$ têm-se $T_1 + T_2 > T_s$ (ou o equivalente para outros setores) e opera-se na região de sobremodulação, devendo-se utilizar para o Setor 1, as relações (2.8) que consideram a ponderação dos vetores não nulos dentro do período de comutação. Nesta situação, os vetores nulos não são utilizados.

Como conseqüência, o espectro harmônico dos sinais de saída apresentará componentes harmônicos de baixa ordem [37] [43].

$$T_1' = \frac{T_1}{T_1 + T_2} \cdot T_s$$

$$T_2' = \frac{T_2}{T_1 + T_2} \cdot T_s \quad (2.8)$$

2.2.3. Seqüência de Vetores

A seqüência de distribuição dos vetores determina o número de comutações por período de comutação e está relacionada com os intervalos de aplicação dos vetores, sendo que a distribuição dos vetores caracteriza um determinado tipo de modulação. Esta distribuição permite explorar os benefícios da composição do espectro harmônico dos sinais de saída [7].

A seqüência de vetores aplicada foi a seqüência convencional, com a utilização dos vetores vizinhos ao setor em que $\overline{V_{\text{Sint}}}$ se encontra e de uma comutação por braço no período de comutação para obter a alternância de vetores desejada [36]. Neste caso, a distribuição dos vetores é simétrica em relação à metade do período de comutação e no início e fim da cada período os interruptores estão bloqueados.

Assim, a seqüência de vetores para o Setor 1 é $\overline{V_0} \overline{V_1} \overline{V_2} \overline{V_7} \overline{V_2} \overline{V_1} \overline{V_0}$, com os intervalos de aplicação dos vetores mostrados na Tabela 2.4.

Tabela 2.4 – Intervalo de aplicação dos vetores para o setor 1.

Vetor	Seqüência			Duração
	cmd _A	cmd _B	cmd _C	
$\overline{V_0}$	0	0	0	$T_0/4$
$\overline{V_1}$	1	0	0	$T_1/2$
$\overline{V_2}$	1	1	0	$T_2/2$
$\overline{V_7}$	1	1	1	$T_0/2$
$\overline{V_2}$	1	1	0	$T_2/2$
$\overline{V_1}$	1	0	0	$T_1/2$
$\overline{V_0}$	0	0	0	$T_0/4$

Para este conversor, os estados topológicos estão diretamente relacionados com os sinais de comando dos interruptores, ou seja, para a obtenção do vetor \vec{V}_1 (100) os sinais de comando dos interruptores devem seguir a Tabela 2.5.

Tabela 2.5 - Comandos para obtenção do vetor \vec{V}_1 .

S_{A1} – Fechado (<i>ON</i>)	S_{A2} – Aberto (<i>OFF</i>)
S_{B1} – Aberto (<i>OFF</i>)	S_{B2} – Fechado (<i>ON</i>)
S_{C1} – Aberto (<i>OFF</i>)	S_{C2} – Fechado (<i>ON</i>)

A figura Fig. 2-4 mostra os sinais de comando dos interruptores superiores de cada braço para o setor 1, em um período de comutação.

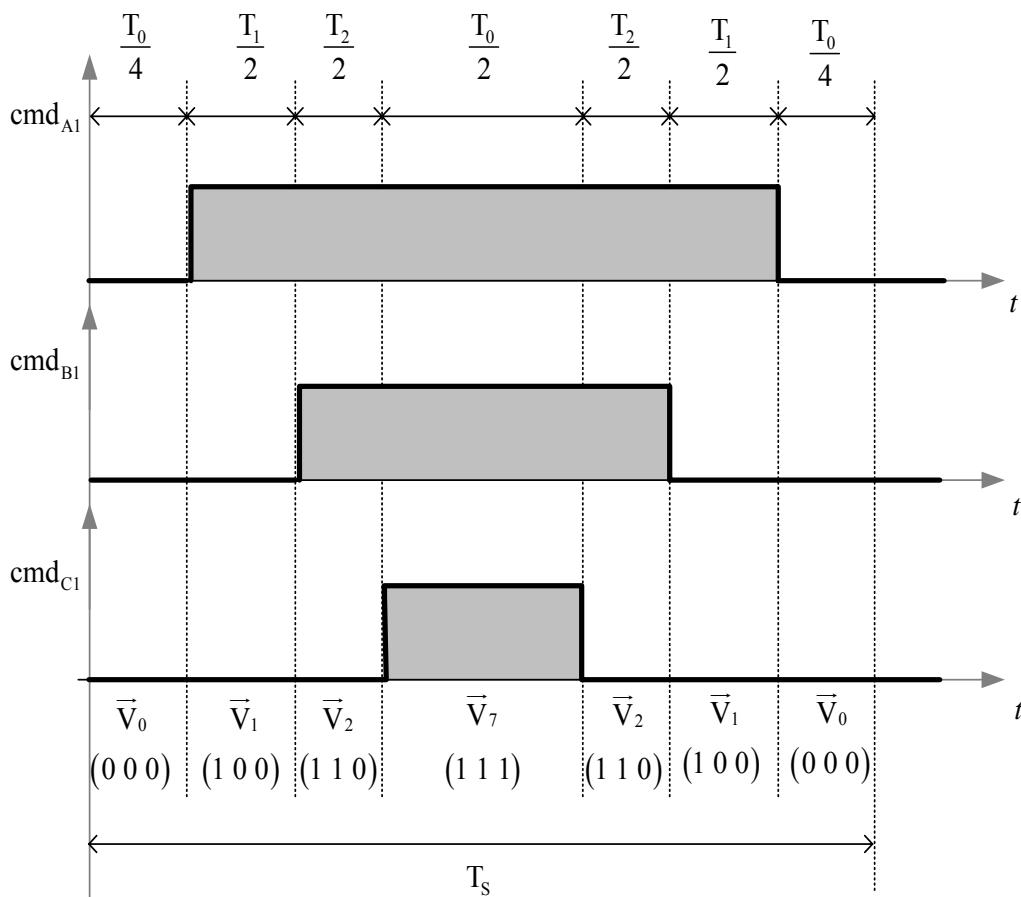


Fig. 2-4 - Sinais de comando dos interruptores para o setor 1, em um período de comutação.

As seqüências de vetores para os outros setores são definidas utilizando-se as mesmas considerações utilizadas para o Setor 1, sendo mostradas na Tabela 2.6.

Tabela 2.6 – Seqüência de vetores para os setores.

Setor 1	$\overrightarrow{V_0} \overrightarrow{V_1} \overrightarrow{V_2} \overrightarrow{V_7} \overrightarrow{V_2} \overrightarrow{V_1} \overrightarrow{V_0}$
Setor 2	$\overrightarrow{V_0} \overrightarrow{V_3} \overrightarrow{V_2} \overrightarrow{V_7} \overrightarrow{V_2} \overrightarrow{V_3} \overrightarrow{V_0}$
Setor 3	$\overrightarrow{V_0} \overrightarrow{V_3} \overrightarrow{V_4} \overrightarrow{V_7} \overrightarrow{V_4} \overrightarrow{V_3} \overrightarrow{V_0}$
Setor 4	$\overrightarrow{V_0} \overrightarrow{V_5} \overrightarrow{V_4} \overrightarrow{V_7} \overrightarrow{V_4} \overrightarrow{V_5} \overrightarrow{V_0}$
Setor 5	$\overrightarrow{V_0} \overrightarrow{V_5} \overrightarrow{V_6} \overrightarrow{V_7} \overrightarrow{V_6} \overrightarrow{V_5} \overrightarrow{V_0}$
Setor 6	$\overrightarrow{V_0} \overrightarrow{V_1} \overrightarrow{V_6} \overrightarrow{V_7} \overrightarrow{V_6} \overrightarrow{V_1} \overrightarrow{V_0}$

Da análise da Fig. 2-4 obtêm-se as relações da expressão (2.9) para os intervalos de aplicação dos sinais de comando dos interruptores S_{A1} , S_{B1} e S_{C1} , sendo os sinais de comando dos interruptores S_{A2} , S_{B2} e S_{C2} , complementares aos respectivos comandos dos interruptores superiores de cada braço.

$$\begin{cases} T_A = \frac{T_0}{2} + T_1 + T_2 \\ T_B = \frac{T_0}{2} + T_2 \\ T_C = \frac{T_0}{2} \end{cases} \quad (2.9)$$

Utilizando os resultados da Tabela 2.3, a relação (2.7) e a relação (2.9), determina-se as razões cíclicas dos interruptores das fases A, B e C (2.10).

$$\begin{cases} D_A = \frac{1}{2} \cdot \left(1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right) \\ D_B = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{3}{\sqrt{2}} \cdot D_\beta \right) \\ D_C = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right) \end{cases} \quad (2.10)$$

Sendo:

$$D_\alpha = \frac{T_\alpha}{T_s} \text{ e } D_\beta = \frac{T_\beta}{T_s}.$$

Os intervalos de aplicação dos sinais de comando dos interruptores e as razões cíclicas dos interruptores das fases A, B e C para outros setores estão na Tabela 2.7.

Tabela 2.7 - Intervalos de aplicação dos sinais de comando e razões cíclicas dos interruptores.

Setor	Intervalos de aplicação dos sinais de comando	Razões cíclicas dos Interruptores
Setor 2	$T_A = \frac{T_0}{2} + T_2$ $T_B = \frac{T_0}{2} + T_2 + T_3$ $T_C = \frac{T_0}{2}$	$D_A = \frac{1}{2} + \sqrt{\frac{3}{2}} \cdot D_\alpha$ $D_B = \frac{1}{2} + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_C = \frac{1}{2} - \frac{1}{\sqrt{2}} \cdot D_\beta$
Setor 3	$T_A = \frac{T_0}{2}$ $T_B = \frac{T_0}{2} + T_3 + T_4$ $T_C = \frac{T_0}{2} + T_4$	$D_A = \frac{1}{2} \cdot \left(1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{3}{\sqrt{2}} \cdot D_\beta \right)$
Setor 4	$T_A = \frac{T_0}{2}$ $T_B = \frac{T_0}{2} + T_4$ $T_C = \frac{T_0}{2} + T_4 + T_5$	$D_A = \frac{1}{2} \cdot \left(1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{3}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$
Setor 5	$T_A = \frac{T_0}{2} + T_6$ $T_B = \frac{T_0}{2}$ $T_C = \frac{T_0}{2} + T_5 + T_6$	$D_A = \frac{1}{2} + \sqrt{\frac{3}{2}} \cdot D_\alpha$ $D_B = \frac{1}{2} + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_C = \frac{1}{2} - \frac{1}{\sqrt{2}} \cdot D_\beta$
Setor 6	$T_A = \frac{T_0}{2} + T_6 + T_1$ $T_B = \frac{T_0}{2}$ $T_C = \frac{T_0}{2} + T_6$	$D_A = \frac{1}{2} \cdot \left(1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left(1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{3}{\sqrt{2}} \cdot D_\beta \right)$

As razões cíclicas dos eixos α e β são definidas a partir da estrutura de controle vetorial que será apresentada na próxima seção.

A Fig. 2-5 mostra a razão cíclica para a fase A em um período de rede para um índice de modulação [43] de 0,3. Para as outras fases, as razões cíclicas têm o mesmo formato e estão defasadas de $\pm 120^\circ$.

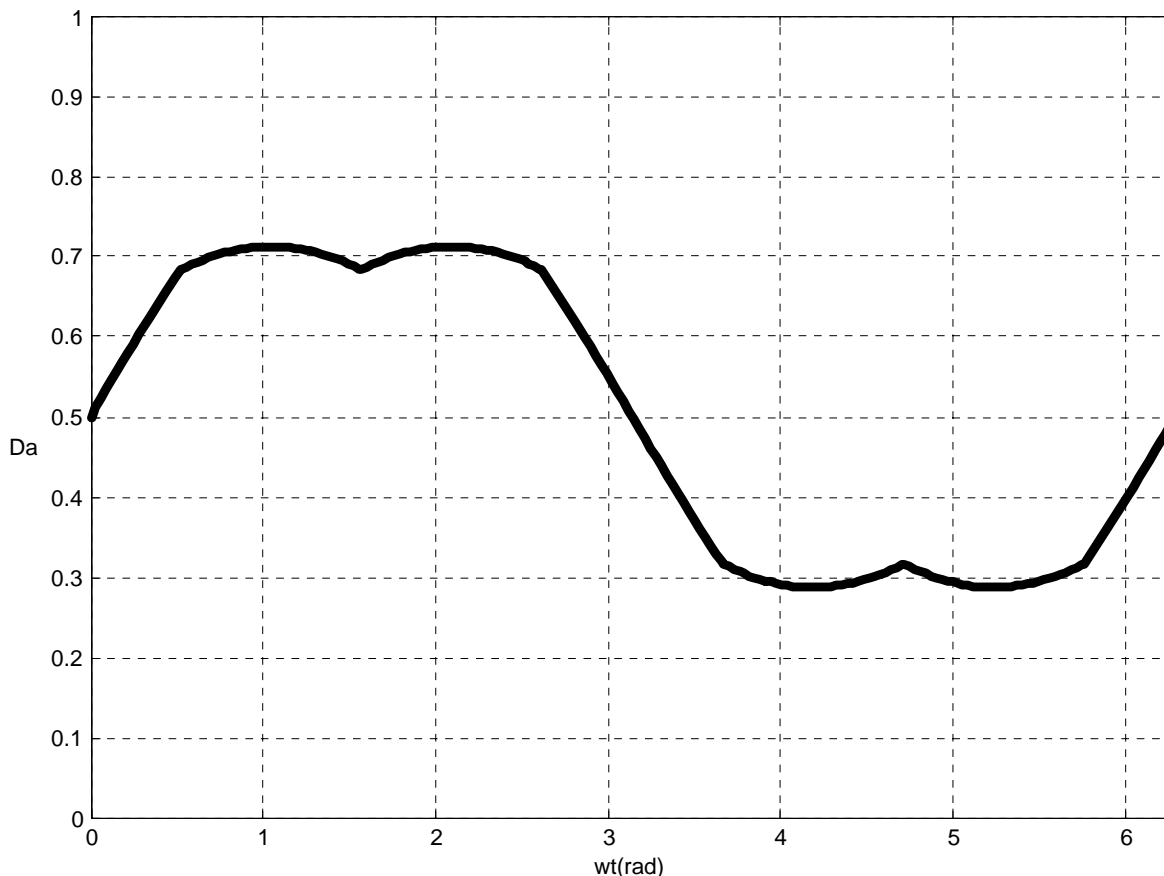


Fig. 2-5 – Razão cíclica para a fase A.

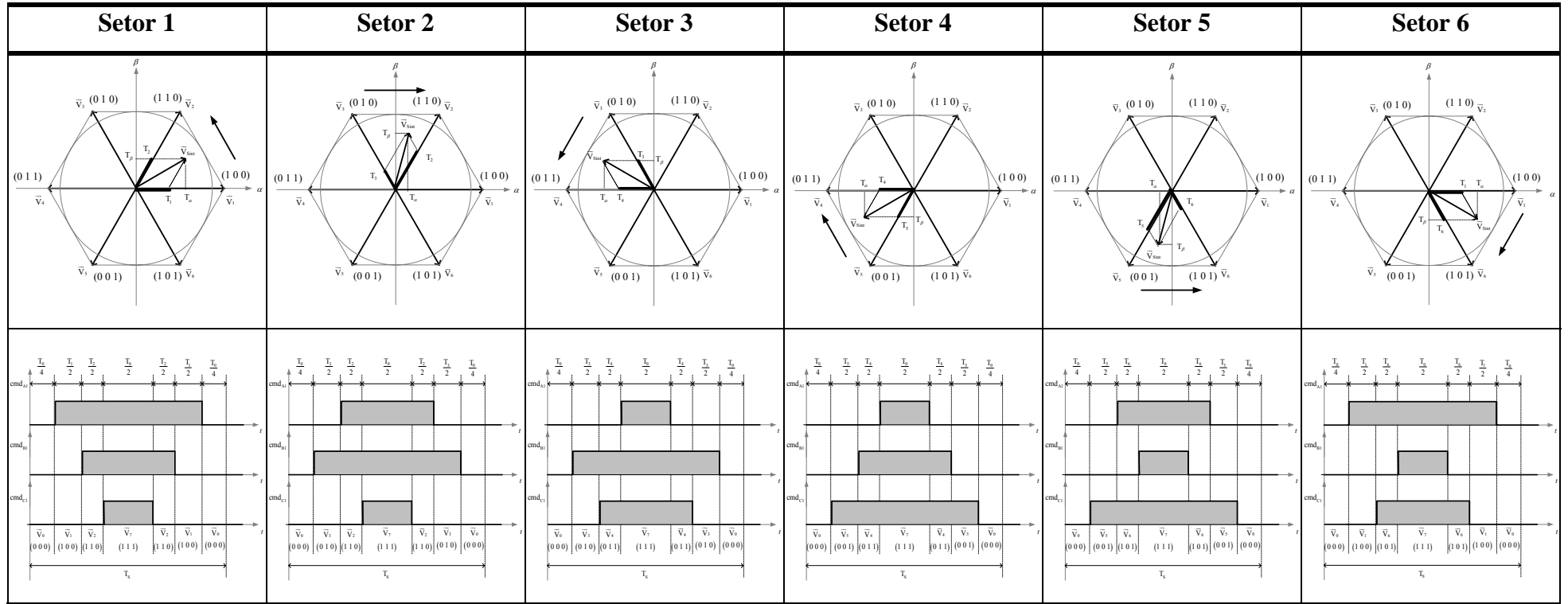
Pela análise da Fig. 2-5 verifica-se a simetria deste sinal em relação ao valor 0,5. Isto implica em uma distribuição simétrica de correntes e de perdas entre os interruptores superiores e inferiores de cada braço.

A Tabela 2.8 mostra a evolução dos sinais de comando em um período de comutação para cada um dos setores, quando se utiliza a modulação vetorial com o equacionamento mostrado anteriormente.

Observa-se que a transição de um vetor para outro é obtida com a comutação de apenas um braço e que cada interruptor é comandado a conduzir e a bloquear apenas uma vez em cada período de comutação. Desta forma, o número de comutações dos interruptores para a implementação destes vetores é mínimo.

Verifica-se também que a distribuição dos sinais de comando e dos vetores é simétrica em relação à metade do período de comutação e que no início e no fim da cada período os interruptores estão bloqueados.

Tabela 2.8 - Evolução dos sinais de comando em cada um dos setores.



A definição dos setores é influenciada pela transformação definida em (2.1) e pela seqüência de fases utilizada. Quando $\overline{V}_{\text{Sint}} = k \cdot \overline{V}_1$ ocorre a transição entre o Setor 1 e o Setor 6. Neste caso, a componente fundamental da tensão V_{AN} tem seu valor máximo positivo e sua posição angular é $\omega \cdot t = \pi/2$.

Estendendo esta análise para as transições entre os outros setores, chega-se ao resultado mostrado na Fig. 2-6 para a definição dos setores.

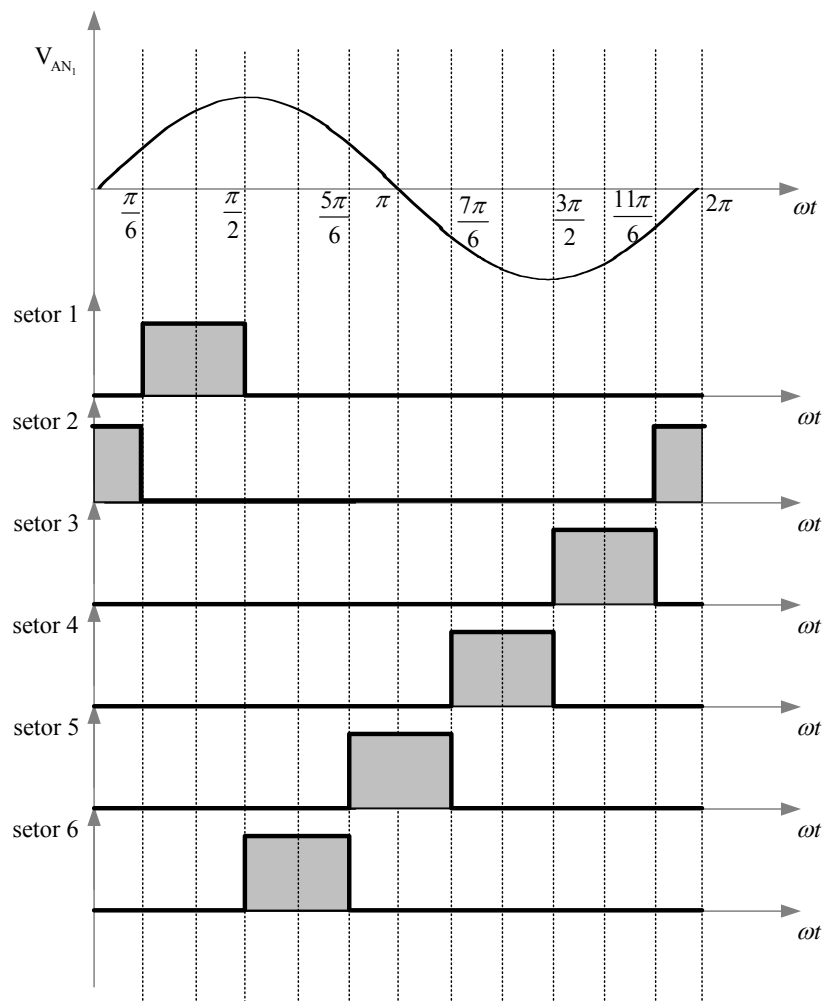


Fig. 2-6 – Definição dos setores.

Dentro de um determinado setor, o sinal de comando do interruptor do braço conectado a fase mais positiva, possui maior largura e o sinal de comando do interruptor do braço conectado a fase mais negativa, possui menor largura.

Quando ocorre a transição entre setores, a característica de maior largura do sinal de comando ou de menor largura do sinal de comando é mantida em uma das fases e as características de largura do sinal de comando das outras duas fases são permutadas.

Para a determinação dos setores utilizam-se os planos de separação dos setores definidos em (2.11) e os planos limites de cada setor, apresentados na Tabela 2.9 [7].

$$PS_1 : u_\beta + \sqrt{3} \cdot u_\alpha = 0, PS_2 : u_\beta - \sqrt{3} \cdot u_\alpha = 0 \text{ e } PS_3 : u_\beta = 0 \quad (2.11)$$

Tabela 2.9 – Planos limites dos setores.

Setor 1	$PL_1 : u_\beta + \sqrt{3} \cdot u_\alpha - \sqrt{2} = 0$
Setor 2	$PL_2 : u_\beta - \sqrt{2}/2 = 0$
Setor 3	$PL_3 : u_\beta - \sqrt{3} \cdot u_\alpha - \sqrt{2} = 0$
Setor 4	$PL_4 : u_\beta + \sqrt{3} \cdot u_\alpha + \sqrt{2} = 0$
Setor 5	$PL_5 : u_\beta + \sqrt{2}/2 = 0$
Setor 6	$PL_6 : u_\beta - \sqrt{3} \cdot u_\alpha + \sqrt{2} = 0$

Na literatura, outras seqüências de distribuição dos vetores possíveis são apresentadas, caracterizando outras formas de modulação [37].

A estratégia utilizada é definida como modulação contínua, na qual o fator definido por (2.12) é igual a 0,5. Com isso, os intervalos de aplicação dos vetores nulos \vec{V}_0 e \vec{V}_7 são iguais, implicando na simetria dos sinais de comando dos interruptores de um mesmo braço.

$$\mu = \frac{T_{00}}{T_{00} + T_{07}} \quad (2.12)$$

Sendo T_{00} o intervalo de aplicação do vetor \vec{V}_0 e T_{07} é o intervalo de aplicação do vetor \vec{V}_7 . Quando μ assume valores entre zero e a unidade tem-se a modulação contínua e quando em determinados setores μ assume os valores extremos (0 ou 1), têm-se a modulação descontínua.

2.3. Controle Vetorial

É uma técnica empregada para o controle de motores de corrente alternada em que os controladores ao invés de atuarem sobre variáveis reais do sistema (correntes e tensões das fases A, B, e C), atuam sobre variáveis fictícias associadas às variáveis reais de um sistema trifásico.

O sistema original com referencial estático é afetado de uma transformação em que o sistema passa a ser caracterizado por duas variáveis em um referencial girante. Desta forma, o motor trifásico de corrente alternada pode ser controlado de forma semelhante ao motor de corrente contínua com excitação independente [8] [45].

Esta mudança de variáveis permite reduzir o sistema de equações, diminuindo a complexidade das equações diferenciais características do sistema, facilitando a modelagem do mesmo [46].

Esta estratégia também é empregada em retificadores PWM trifásicos, como em [47] que se considera uma correspondência entre o conjunto motor mais inversor e o retificador PWM trifásico.

Entre outras vantagens, esta técnica permite reduzir o número de controladores e facilita a análise de equilíbrios do sistema; os equilíbrios passam a ser caracterizados por pontos de operação ao invés de trajetórias fechadas (ciclos limites estáveis).

Para utilização desta técnica de controle é necessário ter uma representação do sistema original através da sua modelagem no sistema transformado. Neste trabalho utiliza-se como referência a modelagem apresentada por Borgonovo [27].

Esta forma de representação pode ser utilizada em conjunto com a modulação vetorial, pois ambas utilizam a mesma transformação. Entretanto, este controle pode ser utilizado com outras técnicas de modulação, inclusive com a modulação PWM senoidal através da aplicação da transformação inversa das variáveis dq0 para a o sistema ABC [48].

2.3.1. Modelagem do Retificador Trifásico Bidirecional Empregando a Transformação de Park

a) Obtenção do Modelo do Conversor Visto a Partir da Entrada (CA)

Sejam as tensões de fase para um sistema trifásico com alimentação senoidal e equilibrada (2.13).

$$\begin{cases} v_A(t) = V_p \cdot \text{sen}(\omega \cdot t) \\ v_B(t) = V_p \cdot \text{sen}(\omega \cdot t + 120^\circ) \\ v_C(t) = V_p \cdot \text{sen}(\omega \cdot t - 120^\circ) \end{cases} \quad (2.13)$$

Realiza-se uma mudança de referencial atrasando de 90° o eixo do sistema de referência [49]. Esse deslocamento de eixo permite que o vetor resultante, após a

transformação, fique em fase com o eixo direto do novo sistema de coordenadas dq0. A Fig. 2-7 apresenta o diagrama fasorial com esta mudança de referência.

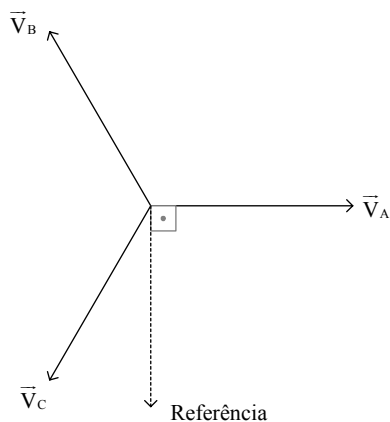


Fig. 2-7- Representação fasorial das tensões de fase e o referencial deslocado de 90° .

Desta forma, têm-se as tensões de fase para o sistema com novo referencial (2.14).

$$\begin{cases} v_A(t) = V_p \cdot \text{sen}(\omega \cdot t + 90^\circ) \\ v_B(t) = V_p \cdot \text{sen}(\omega \cdot t + 210^\circ) \\ v_C(t) = V_p \cdot \text{sen}(\omega \cdot t - 30^\circ) \end{cases} \quad (2.14)$$

O conversor CA-CC bidirecional será representado através da estrutura da Fig. 2-8, sendo realizadas algumas simplificações para facilitar sua análise sem perda de generalidade.

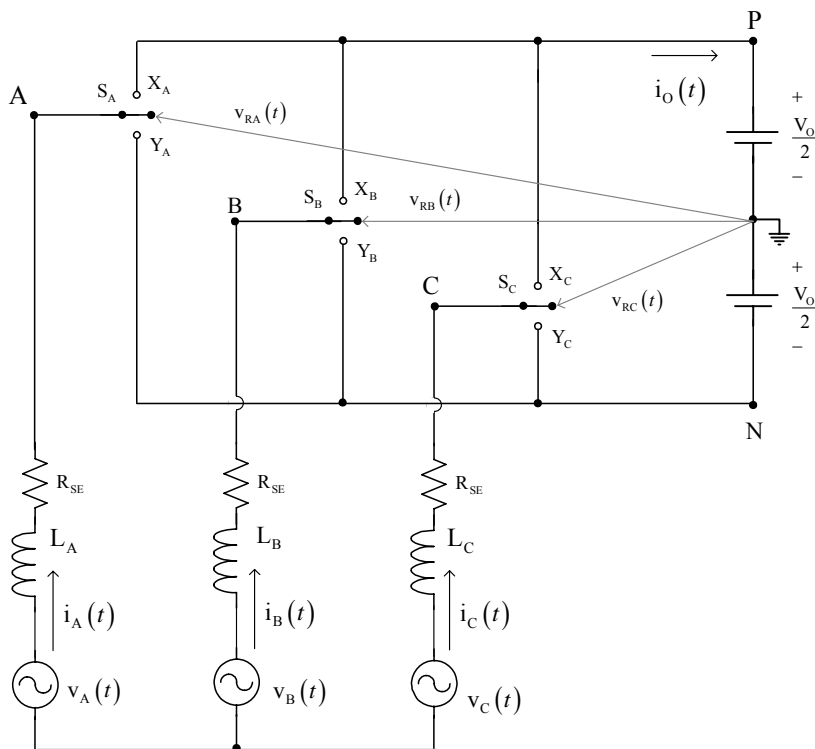


Fig. 2-8 - Circuito simplificado do conversor CA-CC trifásico.

R_{SE} é a resistência equivalente em série com cada fase. A estrutura de comutação genérica possui três entradas (A, B e C) e duas saídas (P e N).

Esta estrutura é composta por três interruptores ideais que através de sinais de comando apropriados possibilitam a obtenção dos estados topológicos relacionados com as diferenças de potencial apresentadas na Tabela 2.1.

Com base no circuito apresentado na Fig. 2-8, pode-se observar que quando o interruptor S_A está na posição X_A tem-se $v_{SA}(t) = +V_O/2$ e quando S_A está na posição Y_A tem-se $v_{SA}(t) = -V_O/2$. Desta forma, são definidas as razões cíclicas dos interruptores S_A , S_B e S_C conforme a expressão (2.15).

$$\left\{ \begin{array}{l} D_A(t) = 1 \Rightarrow S_A \rightarrow X_A \Rightarrow v_{RA}(t) = +\frac{V_O}{2} \\ D_A(t) = 0 \Rightarrow S_A \rightarrow Y_A \Rightarrow v_{RA}(t) = -\frac{V_O}{2} \\ D_B(t) = 1 \Rightarrow S_B \rightarrow X_B \Rightarrow v_{RB}(t) = +\frac{V_O}{2} \\ D_B(t) = 0 \Rightarrow S_B \rightarrow Y_B \Rightarrow v_{RB}(t) = -\frac{V_O}{2} \\ D_C(t) = 1 \Rightarrow S_C \rightarrow X_C \Rightarrow v_{RC}(t) = +\frac{V_O}{2} \\ D_C(t) = 0 \Rightarrow S_C \rightarrow Y_C \Rightarrow v_{RC}(t) = -\frac{V_O}{2} \end{array} \right. \quad (2.15)$$

Para o retificador trifásico bidirecional, os estados topológicos do conversor independem dos sentidos das correntes de entrada de forma que as relações entre os comandos para obtenção dos estados topológicos da estrutura da Fig. 2-1 e da estrutura da Fig. 2-8 são mostradas na Tabela 2.10.

Tabela 2.10 - Relações entre os comandos da estrutura da Fig. 2-1 e da estrutura da Fig. 2-8.

	Estrutura da Fig. 2-1	Estrutura da Fig. 2-8
S_A	S_{A1} - Fechado (ON)	$D_A(t) = 1$
	S_{A2} - Aberto (OFF)	
	S_{A1} - Aberto (OFF)	$D_A(t) = 0$
	S_{A2} - Fechado (ON)	
S_B	S_{B1} - Fechado (ON)	$D_B(t) = 1$
	S_{B2} - Aberto (OFF)	
	S_{B1} - Aberto (OFF)	$D_B(t) = 0$
	S_{B2} - Fechado (ON)	
S_C	S_{C1} - Fechado (ON)	$D_C(t) = 1$
	S_{C2} - Aberto (OFF)	
	S_{C1} - Aberto (OFF)	$D_C(t) = 0$
	S_{C2} - Fechado (ON)	

Em conformidade com as definições apresentadas na equação (2.15) é possível descrever as tensões v_{RA} , v_{RB} e v_{RC} em função da razão cíclica conforme apresentado na (2.16).

$$\begin{cases} v_{RA}(t) = \frac{V_o}{2} \cdot (2 \cdot D_A(t) - 1) = V_o \cdot \left(D_A(t) - \frac{1}{2} \right) \\ v_{RB}(t) = \frac{V_o}{2} \cdot (2 \cdot D_B(t) - 1) = V_o \cdot \left(D_B(t) - \frac{1}{2} \right) \\ v_{RC}(t) = \frac{V_o}{2} \cdot (2 \cdot D_C(t) - 1) = V_o \cdot \left(D_C(t) - \frac{1}{2} \right) \end{cases} \quad (2.16)$$

A Fig. 2-9 representa o circuito equivalente para valores médios instantâneos do conversor CA-CC trifásico.

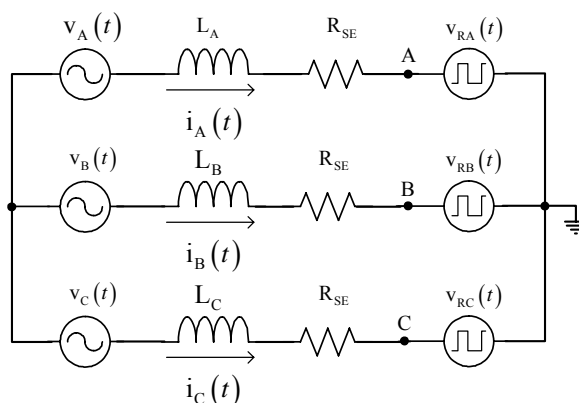


Fig. 2-9 - Circuito equivalente do conversor CA-CC trifásico.

Em um sistema equilibrado ($v_A(t) + v_B(t) + v_C(t) = 0$) sem neutro ($i_A(t) + i_B(t) + i_C(t) = 0$), considerando tensões e correntes em fase ($v_{LA}(t) + v_{LB}(t) + v_{LC}(t) = 0$) tem-se que os valores médios instantâneos das tensões apresentadas pelo retificador também serão equilibrados ($v_{RA}(t) + v_{RB}(t) + v_{RC}(t) = 0$).

Com isso, pela análise do circuito da Fig. 2-9 chega-se à expressão (2.17).

$$v_A(t) - v_B(t) - L \cdot \frac{di_A(t)}{dt} + L \cdot \frac{di_B(t)}{dt} - R_{SE} \cdot i_A(t) + R_{SE} \cdot i_B(t) - v_{RA}(t) + v_{RB}(t) = 0 \quad (2.17)$$

Seja a expressão (2.18).

$$\begin{cases} v_B(t) = -v_A(t) - v_C(t) \\ i_B(t) = -i_A(t) - i_C(t) \\ v_{RB}(t) = -v_{RA}(t) - v_{RC}(t) \end{cases} \quad (2.18)$$

Substituindo (2.18) em (2.17) chega-se a (2.19).

$$2 \cdot v_A(t) + v_C(t) - 2 \cdot L \cdot \frac{di_A(t)}{dt} - L \cdot \frac{di_C(t)}{dt} - 2 \cdot R_{SE} \cdot i_A(t) - R_{SE} \cdot i_C(t) - 2 \cdot v_{RA}(t) - v_{RC}(t) = 0 \quad (2.19)$$

Sabendo-se que:

$$v_C(t) - L \cdot \frac{di_C(t)}{dt} - R_{SE} \cdot i_C(t) - v_{RC}(t) = v_A(t) - L \cdot \frac{di_A(t)}{dt} - R_{SE} \cdot i_A(t) - v_{RA}(t) \quad (2.20)$$

De (2.19) chega-se a (2.21).

$$3 \cdot v_A(t) - 3 \cdot L \cdot \frac{di_A(t)}{dt} - 3 \cdot R_{SE} \cdot i_A(t) - 3 \cdot v_{RA}(t) = 0 \quad (2.21)$$

Estendendo este resultado para outras fases têm-se (2.22).

$$\begin{cases} v_A(t) = L \cdot \frac{di_A(t)}{dt} + R_{SE} \cdot i_A(t) + v_{RA}(t) \\ v_B(t) = L \cdot \frac{di_B(t)}{dt} + R_{SE} \cdot i_B(t) + v_{RB}(t) \\ v_C(t) = L \cdot \frac{di_C(t)}{dt} + R_{SE} \cdot i_C(t) + v_{RC}(t) \end{cases} \quad (2.22)$$

Substituindo (2.16) em (2.22) obtêm-se (2.23).

$$\begin{cases} v_A(t) = L \cdot \frac{di_A(t)}{dt} + R_{SE} \cdot i_A(t) + V_O \cdot \left(D_A(t) - \frac{1}{2} \right) \\ v_B(t) = L \cdot \frac{di_B(t)}{dt} + R_{SE} \cdot i_B(t) + V_O \cdot \left(D_B(t) - \frac{1}{2} \right) \\ v_C(t) = L \cdot \frac{di_C(t)}{dt} + R_{SE} \cdot i_C(t) + V_O \cdot \left(D_C(t) - \frac{1}{2} \right) \end{cases} \quad (2.23)$$

Definindo os seguintes vetores:

$$\vec{V}_{ABC} = \begin{bmatrix} v_A(t) \\ v_B(t) \\ v_C(t) \end{bmatrix}; \quad \vec{I}_{ABC} = \begin{bmatrix} i_A(t) \\ i_B(t) \\ i_C(t) \end{bmatrix}; \quad \vec{D}_{ABC} = \begin{bmatrix} D_A(t) \\ D_B(t) \\ D_C(t) \end{bmatrix}; \quad \vec{V}_O = \begin{bmatrix} V_O \\ V_O \\ V_O \end{bmatrix}. \quad (2.24)$$

Através destas definições de vetores pode-se obter a expressão (2.23) na forma vetorial conforme apresentado em (2.25).

$$\vec{V}_{ABC} = L \cdot \frac{d\vec{I}_{ABC}}{dt} + R_{SE} \cdot \vec{I}_{ABC} + V_O \cdot \vec{D}_{ABC} - \frac{1}{2} \cdot \vec{V}_O \quad (2.25)$$

A matriz de transformação \vec{B}^{-1} (2.27) é fruto do produto da transformada de Park (2.26) pela transformada $\alpha\beta 0$ (2.1). A transformada $\alpha\beta 0$ é utilizada para representar um sistema trifásico através de um sistema bifásico e a transformada de Park sobre um sistema de coordenada estático, coloca-o na mesma velocidade do campo girante, fazendo com que o sistema girante fique estático em relação a este novo referencial [38].

$$\bar{M}_{dq} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos(\omega \cdot t) & -\text{sen}(\omega \cdot t) \\ 0 & \text{sen}(\omega \cdot t) & \cos(\omega \cdot t) \end{bmatrix} \quad (2.26)$$

$$\bar{B}^{-1} = \bar{M}_{dq} \cdot \bar{M}_{\alpha\beta} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega \cdot t) & \cos(\omega \cdot t + 120^\circ) & \cos(\omega \cdot t - 120^\circ) \\ \text{sen}(\omega \cdot t) & \text{sen}(\omega \cdot t + 120^\circ) & \text{sen}(\omega \cdot t - 120^\circ) \end{bmatrix} \quad (2.27)$$

Para garantir que a potência seja invariante [38], a transformação deve ser ortogonal. Desta forma, a transformada inversa de (2.27) é sua transposta conforme (2.28).

$$\bar{B} = \bar{B}^{-1T} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos(\omega \cdot t) & \text{sen}(\omega \cdot t) \\ \frac{1}{\sqrt{2}} & \cos(\omega \cdot t + 120^\circ) & \text{sen}(\omega \cdot t + 120^\circ) \\ \frac{1}{\sqrt{2}} & \cos(\omega \cdot t - 120^\circ) & \text{sen}(\omega \cdot t - 120^\circ) \end{bmatrix} \quad (2.28)$$

A transformação aplicada aos vetores tensão, corrente e razão cíclica é definida por (2.29).

$$\bar{V}_{ABC} = \bar{B} \cdot \bar{V}_{dq0}; \quad \bar{I}_{ABC} = \bar{B} \cdot \bar{I}_{dq0}; \quad \bar{D}_{ABC} = \bar{B} \cdot \bar{D}_{dq0} \quad (2.29)$$

Assim, aplicando esta transformação na expressão (2.25) obtém-se (2.30).

$$\bar{V}_{dq0} = L \cdot \frac{d\bar{I}_{dq0}}{dt} + L \cdot \bar{B}^{-1} \cdot \left[\frac{d\bar{B}}{dt} \right] \cdot \bar{I}_{dq0} + R_{SE} \cdot \bar{I}_{dq0} + V_O \cdot \bar{D}_{dq0} - \frac{1}{2} \cdot \bar{B}^{-1} \cdot \bar{V}_O \quad (2.30)$$

Efetuada o produto das matrizes \bar{B}^{-1} e $\left[\frac{d\bar{B}}{dt} \right]$, chega-se a (2.31).

$$\bar{B}^{-1} \cdot \left[\frac{d\bar{B}}{dt} \right] = \omega \cdot \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & -1 & 0 \end{bmatrix} \quad (2.31)$$

Substituindo (2.31) em (2.30) obtém-se (2.32).

$$\begin{bmatrix} V_0(t) \\ V_d(t) \\ V_q(t) \end{bmatrix} = L \cdot \begin{bmatrix} \frac{dI_0(t)}{dt} \\ \frac{dI_d(t)}{dt} \\ \frac{dI_q(t)}{dt} \end{bmatrix} + L \cdot \omega \cdot \begin{bmatrix} 0 \\ I_q(t) \\ -I_d(t) \end{bmatrix} + R_{SE} \cdot \begin{bmatrix} I_0(t) \\ I_d(t) \\ I_q(t) \end{bmatrix} + V_O \cdot \begin{bmatrix} D_0(t) \\ D_d(t) \\ D_q(t) \end{bmatrix} - V_O \cdot \begin{bmatrix} \frac{\sqrt{3}}{2} \\ 0 \\ 0 \end{bmatrix} \quad (2.32)$$

Aplicando esta transformação às tensões de entrada, obtém-se (2.33).

$$\vec{V}_{dq0} = \vec{B}^{-1} \cdot \vec{V}_{ABC} = \begin{bmatrix} V_0(t) \\ V_d(t) \\ V_q(t) \end{bmatrix} = \begin{bmatrix} 0 \\ \sqrt{\frac{3}{2}} \cdot V_p \\ 0 \end{bmatrix} \quad (2.33)$$

Substituindo (2.33) em (2.32) obtém-se as expressões (2.34) para o conversor em variáveis dq0.

$$\begin{cases} 0 = L \cdot \frac{dI_0(t)}{dt} + R_{SE} \cdot I_0(t) + V_o \cdot D_0(t) - \frac{\sqrt{3}}{2} \cdot V_o \\ \sqrt{\frac{3}{2}} \cdot V_p = L \cdot \frac{dI_d(t)}{dt} + L \cdot \omega \cdot I_q(t) + R_{SE} \cdot I_d(t) + V_o \cdot D_d(t) \\ 0 = L \cdot \frac{dI_q(t)}{dt} - L \cdot \omega \cdot I_d(t) + R_{SE} \cdot I_q(t) + V_o \cdot D_q(t) \end{cases} \quad (2.34)$$

Os circuitos equivalentes que descrevem as seqüências 0, d e q são apresentados na Fig. 2-10.

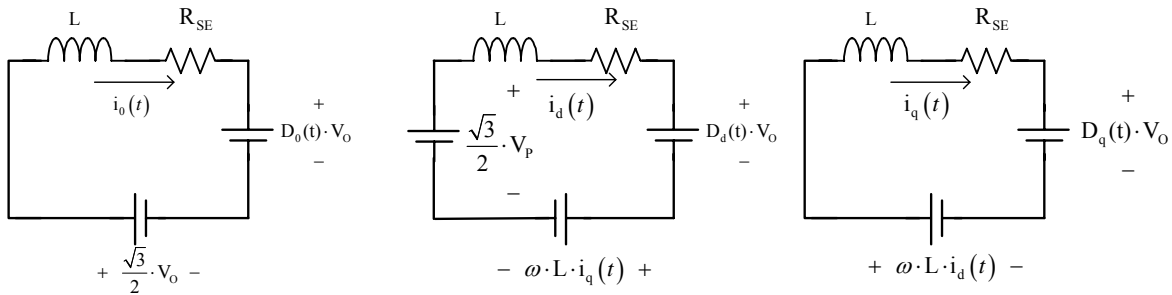


Fig. 2-10 - Circuitos equivalentes nas seqüências 0, d e q.

Para as correntes do ponto de operação do conversor $I_0 = 0$, I_d e I_q determinam-se as razões cíclicas do ponto de operação D_d , D_q , e D_0 , conforme (2.35).

$$\begin{cases} D_0 = \frac{\sqrt{3}}{2} \\ D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_o} - \frac{L \cdot \omega \cdot I_q}{V_o} - \frac{R_{SE} \cdot I_d}{V_o} \\ D_q = \frac{L \cdot \omega \cdot I_d}{V_o} - \frac{R_{SE} \cdot I_q}{V_o} \end{cases} \quad (2.35)$$

As potências ativa e reativa do conversor podem ser calculadas no sistema dq0 pela expressão (2.36).

$$\begin{cases} P_{IN} = V_d \cdot I_d - V_q \cdot I_q \\ Q_{IN} = -V_q \cdot I_d + V_d \cdot I_q \end{cases} \quad (2.36)$$

Como $V_q = 0$, $V_d = \sqrt{\frac{3}{2}} \cdot V_p$ e $P_{IN} = \frac{P_o}{\eta}$, chega-se a (2.37):

$$\begin{cases} D_0 = \frac{\sqrt{3}}{2} \\ D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_o} + \sqrt{\frac{2}{3}} \cdot \frac{L \cdot \omega \cdot Q_{IN}}{V_p \cdot V_o} - \sqrt{\frac{2}{3}} \cdot \frac{R_{SE} \cdot P_o}{\eta \cdot V_p \cdot V_o} \\ D_q = \sqrt{\frac{2}{3}} \cdot \frac{L \cdot \omega \cdot P_o}{\eta \cdot V_p \cdot V_o} + \sqrt{\frac{2}{3}} \cdot \frac{R_{SE} \cdot Q_{IN}}{V_p \cdot V_o} \end{cases} \quad (2.37)$$

Sendo $I_o = 0$, as equações dinâmicas do conversor são dadas por (2.38).

$$\begin{cases} L \cdot \frac{dI_d(t)}{dt} = \sqrt{\frac{3}{2}} \cdot V_p - L \cdot \omega \cdot I_q(t) - R_{SE} \cdot I_d(t) - V_o \cdot D_d(t) \\ L \cdot \frac{dI_q(t)}{dt} = L \cdot \omega \cdot I_d(t) - R_{SE} \cdot I_q(t) - V_o \cdot D_q(t) \end{cases} \quad (2.38)$$

A Fig. 2-11 representa o diagrama de blocos do conversor CA-CC trifásico bidirecional em componentes dq0, no qual as variáveis de entrada são os sinais de controle D_d e D_q .

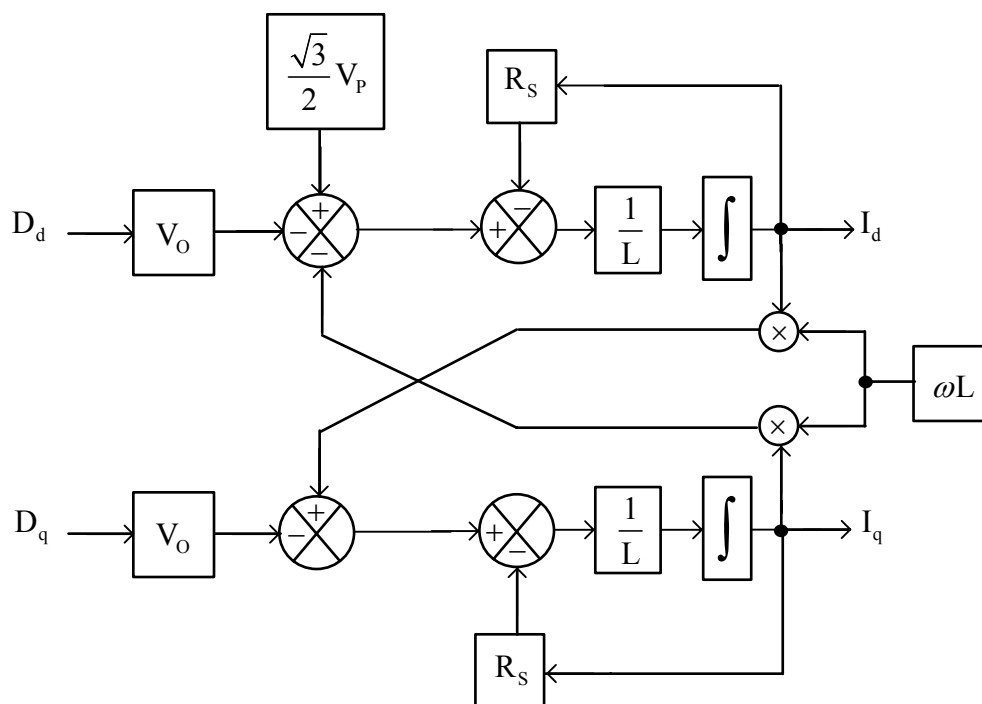


Fig. 2-11 - Diagrama de blocos do conversor CA-CC trifásico bidirecional em componentes dq0.

Através da Fig. 2-11 é possível observar o acoplamento existente entre as variáveis I_d , I_q , D_d e D_q . Definem-se então as variáveis auxiliares $D_d'(t)$ e $D_q'(t)$ para desacoplar as variáveis de eixo direto e de quadratura (2.39) [50].

$$\begin{cases} D_d'(t) = D_d(t) + \frac{L \cdot \omega}{V_o} \cdot I_q(t) \\ D_q'(t) = D_q(t) - \frac{L \cdot \omega}{V_o} \cdot I_d(t) \end{cases} \quad (2.39)$$

Substituindo (2.39) em (2.38) obtém-se (2.40).

$$\begin{cases} L \cdot \frac{dI_d(t)}{dt} = \sqrt{\frac{3}{2}} \cdot V_p - L \cdot \omega \cdot I_q(t) - R_{SE} \cdot I_d(t) - V_o \cdot D_d'(t) + L \cdot \omega \cdot I_q(t) \\ L \cdot \frac{dI_q(t)}{dt} = L \cdot \omega \cdot I_d(t) - R_{SE} \cdot I_q(t) - V_o \cdot D_q'(t) - L \cdot \omega \cdot I_d(t) \end{cases} \quad (2.40)$$

Realizando as devidas simplificações chega-se a (2.41).

$$\begin{cases} L \cdot \frac{dI_d(t)}{dt} = \sqrt{\frac{3}{2}} \cdot V_p - R_{SE} \cdot I_d(t) - V_o \cdot D_d'(t) \\ L \cdot \frac{dI_q(t)}{dt} = -R_{SE} \cdot I_q(t) - V_o \cdot D_q'(t) \end{cases} \quad (2.41)$$

Adicionando-se pequenas perturbações em torno do ponto de operação obtêm-se as seguintes equações (2.42).

$$\begin{cases} D_d'(t) = D_d' + \tilde{d}_d'(t) \\ D_q'(t) = D_q' + \tilde{d}_q'(t) \\ I_d(t) = I_d + \tilde{i}_d(t) \\ I_q(t) = I_q + \tilde{i}_q(t) \end{cases} \quad (2.42)$$

Substituindo (2.42) em (2.41) obtém-se (2.43).

$$\begin{cases} \sqrt{\frac{3}{2}} \cdot V_p = L \cdot \frac{d[I_d(t) + \tilde{i}_d(t)]}{dt} + R_{SE} \cdot [I_d(t) + \tilde{i}_d(t)] + V_o \cdot [D_d'(t) + \tilde{d}_d'(t)] \\ 0 = L \cdot \frac{d[I_q(t) + \tilde{i}_q(t)]}{dt} + R_{SE} \cdot [I_q(t) + \tilde{i}_q(t)] + V_o \cdot [D_q'(t) + \tilde{d}_q'(t)] \end{cases} \quad (2.43)$$

Subtraindo-se (2.41) de (2.43) e aplicando a transformada de Laplace, obtêm-se as expressões que mostram as funções de transferência para o projeto dos controladores de corrente com o sistema desacoplado.

$$\begin{cases} \frac{\tilde{i}_d(s)}{\tilde{d}'_d(s)} = -\frac{V_o}{L \cdot s + R_{SE}} \\ \frac{\tilde{i}_q(s)}{\tilde{d}'_q(s)} = -\frac{V_o}{L \cdot s + R_{SE}} \end{cases} \quad (2.44)$$

Nos casos em que os ganhos de amostragem (K_{sh}) de corrente e a amplitude da onda triangular (V_T) são diferentes de um, o ganho de desacoplamento passa a ser:

$$K_{Desacopl} = \frac{V_T}{K_{sh}} \cdot \frac{\omega \cdot L}{V_o} \quad (2.45)$$

b) Obtenção do Modelo do Conversor Visto a Partir da Saída (CC)

O desenvolvimento para a determinação da função de transferência da característica de saída do conversor é realizado a partir das equações do balanço das potências processadas pelo mesmo.

Considerando as expressões dos valores médios instantâneos de energia em um indutor e um capacitor, apresentadas em (2.46), determinam-se as funções de potência para estes elementos conforme (2.47).

$$E_L(t) = \frac{1}{2} \cdot L \cdot [i_L(t)]^2, \quad E_C(t) = \frac{1}{2} \cdot C \cdot [v_C(t)]^2 \quad (2.46)$$

$$P_L(t) = \frac{1}{2} \cdot L \cdot \frac{d[i_L(t)]^2}{dt}, \quad P_C(t) = \frac{1}{2} \cdot C \cdot \frac{d[v_C(t)]^2}{dt} \quad (2.47)$$

A potência entregue pela fonte é igual ao somatório das potências nos indutores, nas resistências em série, no capacitor de saída e no resistor de carga.

$$\begin{aligned} v_A(t) \cdot i_A(t) + v_B(t) \cdot i_B(t) + v_C(t) \cdot i_C(t) = & \frac{1}{2} \cdot L \cdot \frac{d[i_A(t)]^2}{dt} + \frac{1}{2} \cdot L \cdot \frac{d[i_B(t)]^2}{dt} + \frac{1}{2} \cdot L \cdot \frac{d[i_C(t)]^2}{dt} \\ & + R_{SE} \cdot [i_A(t)]^2 + R_{SE} \cdot [i_B(t)]^2 + R_{SE} \cdot [i_C(t)]^2 + \frac{1}{2} \cdot C_o \cdot \frac{d[v_o(t)]^2}{dt} + \frac{[v_o(t)]^2}{R_o} \end{aligned} \quad (2.48)$$

Utilizando-se as definições de vetores de (2.24), a equação (2.48) pode ser reescrita como (2.49).

$$\vec{V}_{ABC}^T \cdot \vec{I}_{ABC} = \frac{1}{2} \cdot L \cdot \frac{d(\vec{I}_{ABC}^T \cdot \vec{I}_{ABC})}{dt} + R_{SE} \cdot \vec{I}_{ABC}^T \cdot \vec{I}_{ABC} + \frac{1}{2} \cdot C_o \cdot \frac{d[v_o(t)]^2}{dt} + \frac{[v_o(t)]^2}{R_o} \quad (2.49)$$

Define-se o vetor de transformação para a componente de eixo direto a partir da matriz \vec{B}^{-1} , conforme (2.50).

$$\vec{X}_D = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \cos(\omega \cdot t) \\ \cos(\omega \cdot t + 120^\circ) \\ \cos(\omega \cdot t - 120^\circ) \end{bmatrix} \quad (2.50)$$

Como $\vec{X}_D^T \cdot \vec{X}_D = 1$, pode-se multiplicar alguns termos de (2.49) sem que o resultado da expressão seja alterado (2.51).

$$\begin{aligned} \vec{X}_D^T \cdot \vec{X}_D \cdot \vec{V}_{ABC}^T \cdot \vec{I}_{ABC} &= \frac{1}{2} \cdot L \cdot \frac{d(\vec{X}_D^T \cdot \vec{X}_D \cdot \vec{I}_{ABC}^T \cdot \vec{I}_{ABC})}{dt} + R_{SE} \cdot \vec{X}_D^T \cdot \vec{X}_D \cdot \vec{I}_{ABC}^T \cdot \vec{I}_{ABC} \\ &+ \frac{1}{2} \cdot C_o \cdot \frac{d[v_o(t)]^2}{dt} + \frac{[v_o(t)]^2}{R_o} \end{aligned} \quad (2.51)$$

Utilizado a propriedade para multiplicação de vetores $\vec{x} \cdot \vec{y}^T = \vec{y} \cdot \vec{x}^T$ [51] têm-se (2.52).

$$\begin{aligned} \vec{X}_D^T \cdot \vec{V}_{ABC} \cdot \vec{X}_D^T \cdot \vec{I}_{ABC} &= \frac{1}{2} \cdot L \cdot \frac{d(\vec{X}_D^T \cdot \vec{I}_{ABC} \cdot \vec{X}_D^T \cdot \vec{I}_{ABC})}{dt} + R_{SE} \cdot \vec{X}_D^T \cdot \vec{I}_{ABC} \cdot \vec{X}_D^T \cdot \vec{I}_{ABC} \\ &+ \frac{1}{2} \cdot C_o \cdot \frac{d[v_o(t)]^2}{dt} + \frac{[v_o(t)]^2}{R_o} \end{aligned} \quad (2.52)$$

Simplificando (2.52), resulta em (2.53).

$$V_d \cdot I_d(t) = \frac{1}{2} \cdot L \cdot \frac{d[I_d(t)]^2}{dt} + R_{SE} \cdot [I_d(t)]^2 + \frac{1}{2} \cdot C_o \cdot \frac{d[v_o(t)]^2}{dt} + \frac{[v_o(t)]^2}{R_o} \quad (2.53)$$

Para um determinado ponto de operação têm-se (2.54), com as perturbações em torno deste ponto definidas por (2.55).

$$V_d \cdot I_d = R_{SE} \cdot I_d^2 + \frac{V_o^2}{R_o} \quad (2.54)$$

$$\begin{cases} I_d(t) = I_d + \tilde{i}_d(t) \\ v_o(t) = V_o + \tilde{v}_o(t) \end{cases} \quad (2.55)$$

Adicionando-se estas pequenas perturbações em torno do ponto de operação obtêm-se a equação (2.56).

$$V_d \cdot [I_d + \tilde{i}_d(t)] = \frac{1}{2} \cdot L \cdot \frac{d[I_d + \tilde{i}_d(t)]^2}{dt} + R_{SE} \cdot [I_d + \tilde{i}_d(t)]^2 + \frac{1}{2} \cdot C_o \cdot \frac{d[V_o + \tilde{v}_o(t)]^2}{dt} + \frac{[V_o + \tilde{v}_o(t)]^2}{R_o} \quad (2.56)$$

Considerando que o produto de duas perturbações seja suficientemente pequeno para ser desprezado, e subtraindo (2.54) de (2.56) chega-se a (2.57).

$$V_d \cdot \tilde{i}_d(t) = \frac{1}{2} \cdot L \cdot \frac{d[2 \cdot I_d \cdot \tilde{i}_d(t)]}{dt} + 2 \cdot R_{SE} \cdot I_d \cdot \tilde{i}_d(t) + \frac{1}{2} \cdot C_o \cdot \frac{d[2 \cdot V_o \cdot \tilde{v}_o(t)]}{dt} + \frac{2 \cdot V_o \cdot \tilde{v}_o(t)}{R_o} \quad (2.57)$$

Aplicando-se a transformada de Laplace em (2.57), chega-se a (2.58), resultando na função de transferência da expressão (2.59).

$$V_d \cdot \tilde{i}_d(s) = L \cdot I_d \cdot s \cdot \tilde{i}_d(s) + 2 \cdot R_{SE} \cdot I_d \cdot \tilde{i}_d(s) + C_o \cdot V_o \cdot s \cdot \tilde{v}_o(s) + \frac{2 \cdot V_o}{R_o} \cdot \tilde{v}_o(s) \quad (2.58)$$

$$\frac{\tilde{v}_o(s)}{\tilde{i}_d(s)} = \frac{R_o}{2 \cdot V_o} \cdot \frac{V_d - 2 \cdot R_{SE} \cdot I_d - L \cdot I_d \cdot s}{C_o \cdot \frac{R_o}{2} \cdot s + 1} \quad (2.59)$$

Como $I_d = \frac{\sqrt{2} \cdot P_o}{\eta \cdot \sqrt{3} \cdot V_p}$, pode-se reescrever (2.59) através de (2.60).

$$\frac{\tilde{v}_o(s)}{\tilde{i}_d(s)} = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_o} \cdot \frac{R_o}{2} \cdot \frac{1 - \frac{4}{3} \cdot \frac{R_{SE} \cdot P_o}{\eta \cdot V_p^2} - s \cdot \frac{2}{3} \cdot \frac{L \cdot P_o}{\eta \cdot V_p^2}}{1 + s \cdot C_o \cdot \frac{R_o}{2}} \quad (2.60)$$

2.3.2. Estratégia de Controle

O sistema de controle opera da seguinte forma: amostram-se as correntes de entrada do conversor, aplicam-se as transformações de Clark e de Park nessas correntes obtendo as correntes no sistema dq0.

Para que o conversor apresente fator de potência unitário, a corrente de eixo em quadratura no sistema dq0 deve ser igual à zero. Assim, o controlador de I_q tem como referência o valor zero. O controlador de I_d tem como corrente de referência o sinal proveniente do controlador de tensão, para o controle da potência ativa processada pelo conversor.

Após a compensação das correntes, obtêm-se as razões cíclicas no plano dq0. Estas razões cíclicas primeiramente são desacopladas e depois passam pela transformada inversa de Park, gerando os sinais nos eixos $\alpha\beta$. Estes sinais serão utilizados para a aplicação da modulação vetorial. A estrutura do controle utilizada é mostrada no diagrama da Fig. 2-12.

O detalhamento do projeto dos controladores será apresentado e desenvolvido para outros conversores nos capítulos seguintes.

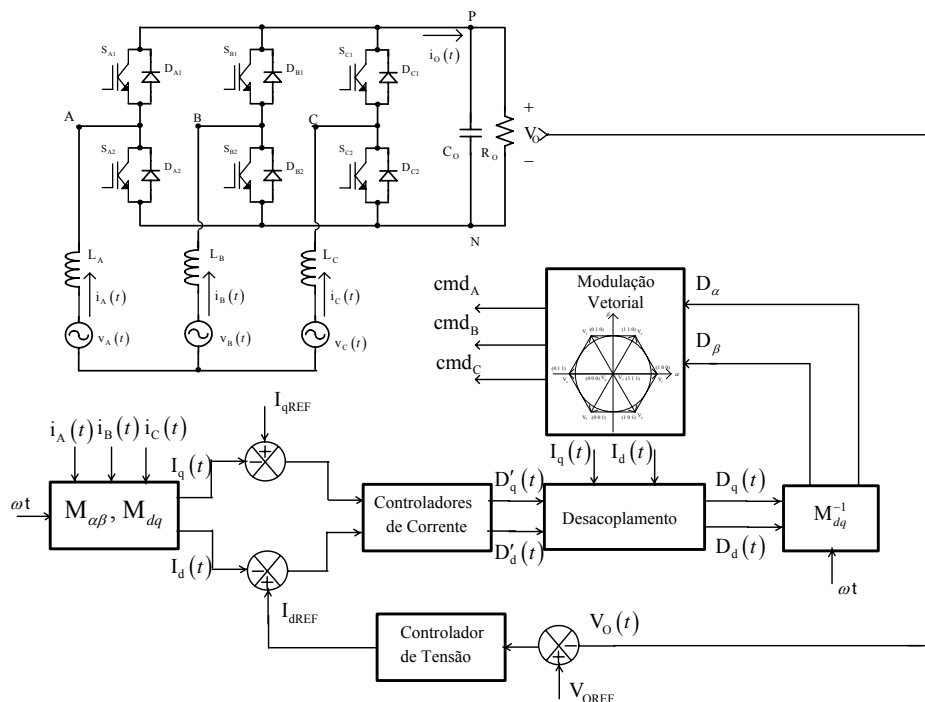


Fig. 2-12 – Diagrama do controle utilizado.

2.4. Resultados de Simulação

A verificação da aplicação da modulação vetorial ao retificador trifásico PWM bidirecional foi realizada através de simulação. Os parâmetros utilizados nesta simulação são apresentados na Tabela 2.11.

Tabela 2.11 – Parâmetros do conversor.

Tensão eficaz de fase de entrada (V_{EF})	127 V
Frequência da rede (f_F)	60 Hz
Tensão de saída (V_O)	400 V
Potência de saída (P_O)	20 kW
Frequência de comutação (f_S)	10 kHz
Indutância de entrada (L)	790 μ H
Capacitância de saída (C_O)	816 μ F
Resistência equivalente de fase (R_{SE})	0,11 Ω
Ganho do sensor de corrente (K_{sh})	1/50
Valor de pico da onda triangular (V_T)	5 V
Ganho do sensor de tensão (K_a)	5/400

Na implementação das simulações, os setores são definidos a partir da defasagem entre a componente fundamental das tensões nos braços do retificador e as tensões de entrada, com as relações apresentadas na Fig. 2-13 e na expressão (2.61).

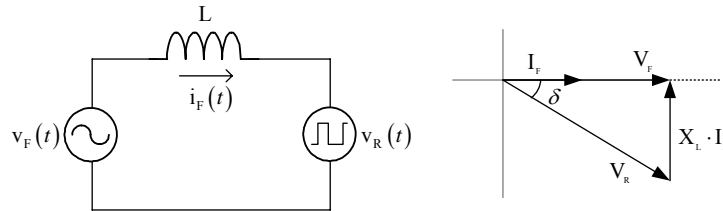


Fig. 2-13 - Relações entre as tensões de entrada e a componente fundamental das tensões do retificador.

$$\delta = \tan^{-1} \left(\frac{2\pi \cdot f_F \cdot L \cdot \frac{I_p}{\sqrt{2}}}{V_{EF}} \right) \quad (2.61)$$

Para os parâmetros utilizados nestas simulações, esta defasagem é de aproximadamente 7° .

2.4.1. Simulações em Malha Aberta

Foram realizadas simulações em malha aberta com o objetivo de validar a modelagem apresentada na seção 2.3.1.

Para a análise da malha de corrente foi aplicado um degrau em D_d de 0,518 a 0,53 com um valor de D_q de 0,0676 sem considerar o desacoplamento das variáveis e observados os comportamentos da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 2-14.

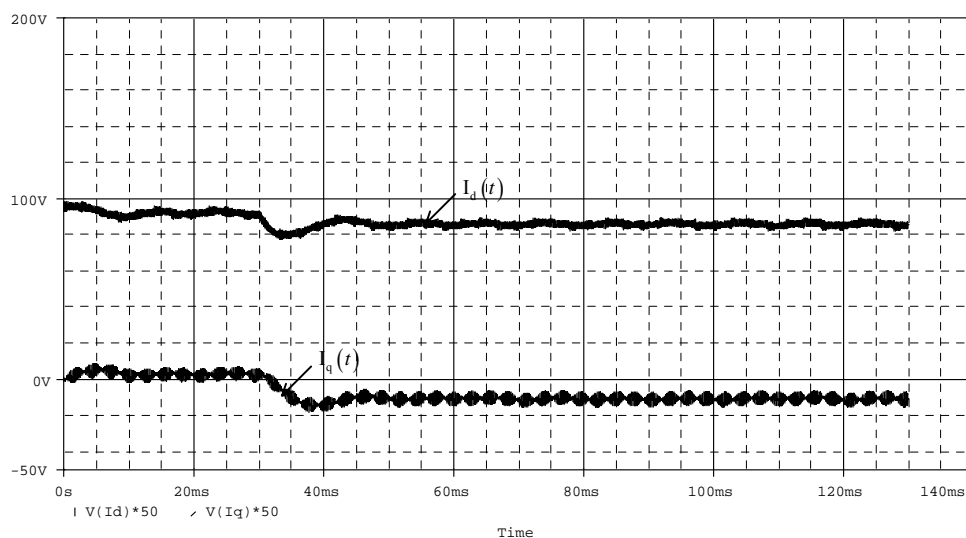


Fig. 2-14 - Corrente de eixo direto e corrente de eixo em quadratura sem desacoplamento.

De forma semelhante, foi aplicado um degrau em D_d' de 0,518 a 0,53 e $D_q' = 0$ considerando o desacoplamento das variáveis e observado o comportamento da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 2-15.

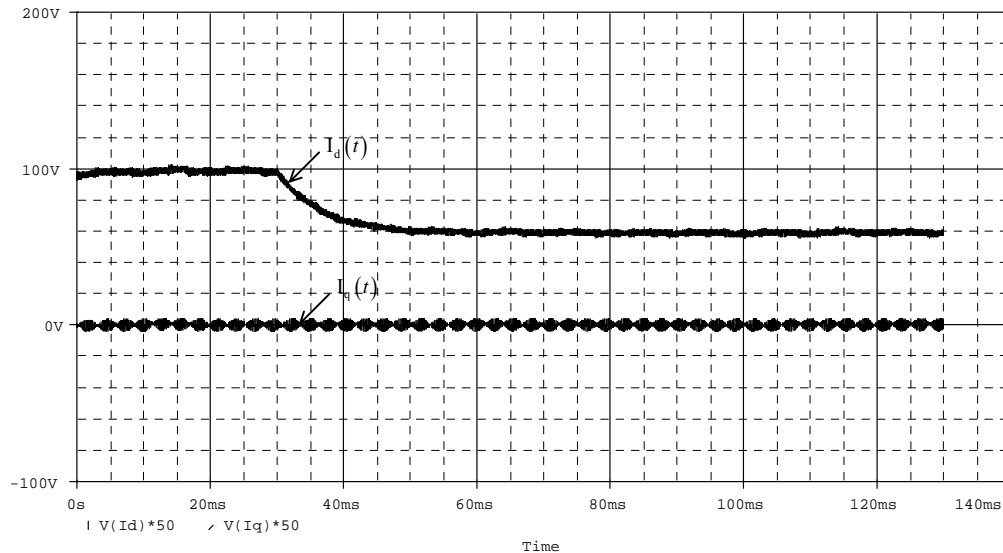
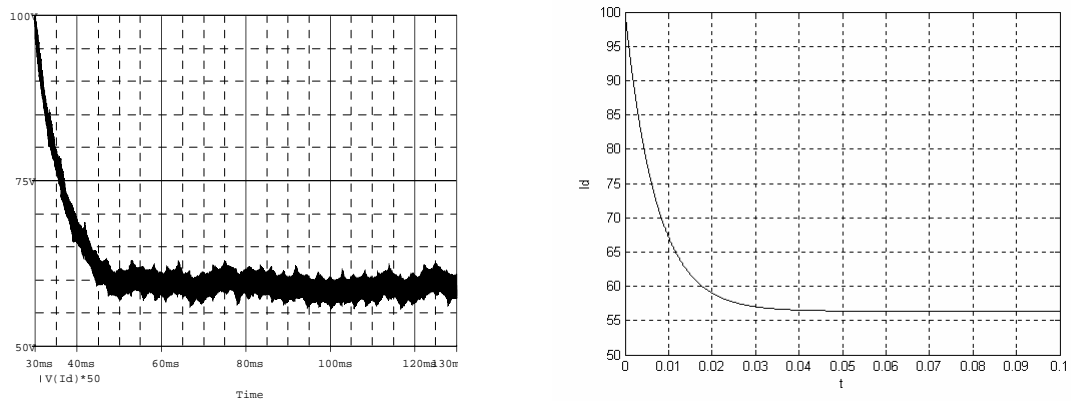


Fig. 2-15 - Corrente de eixo direto e corrente de eixo em quadratura com desacoplamento.

A comparação dos resultados da Fig. 2-14 e da Fig. 2-15 mostra a eficiência do desacoplamento implementado e no detalhe da Fig. 2-16 observa-se a mesma dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.44).

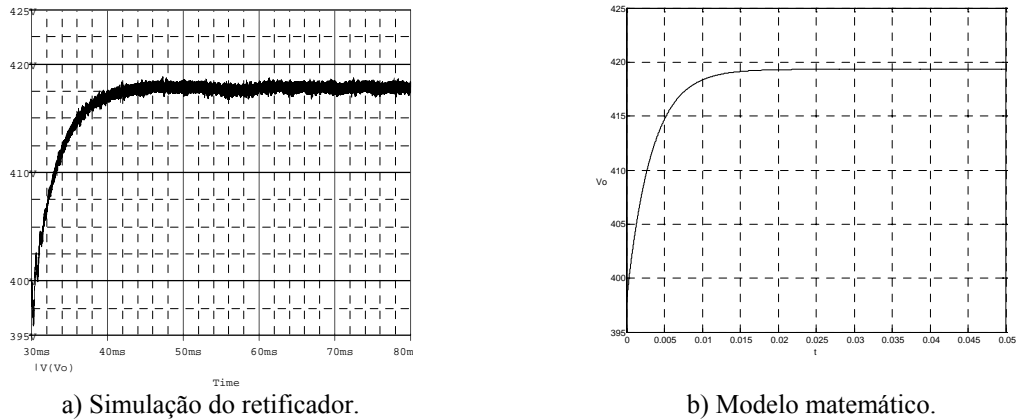


a) Simulação do retificador.

b) Modelo matemático.

Fig. 2-16 - Corrente de eixo direto para aplicação de degrau em D_q' .

Para a análise da malha de tensão foi aplicado um degrau em I_d de 97 A para 106,7 A e observado o comportamento da tensão de saída como mostrado na Fig. 2-17(a). Observa-se na Fig. 2-17(b) a mesma resposta dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.60).

Fig. 2-17 - Tensão de saída para aplicação de degrau em I_d .

2.4.2. Simulações em Malha Fechada

A partir dos parâmetros da Tabela 2.11 foram projetados controladores utilizando a modelagem proposta anteriormente.

O diagrama esquemático do circuito utilizado para a simulação e o “*netlist*” estão no Anexo A.

Os principais sinais relacionados com o funcionamento do sistema de controle e da modulação do retificador trifásico PWM bidirecional são mostrados a seguir.

A Fig. 2-18 mostra as correntes de entrada do retificador trifásico PWM bidirecional e a Fig. 2-19 mostra a tensão e a corrente em uma das fases, verificando-se a característica de um sistema com elevado fator de potência.

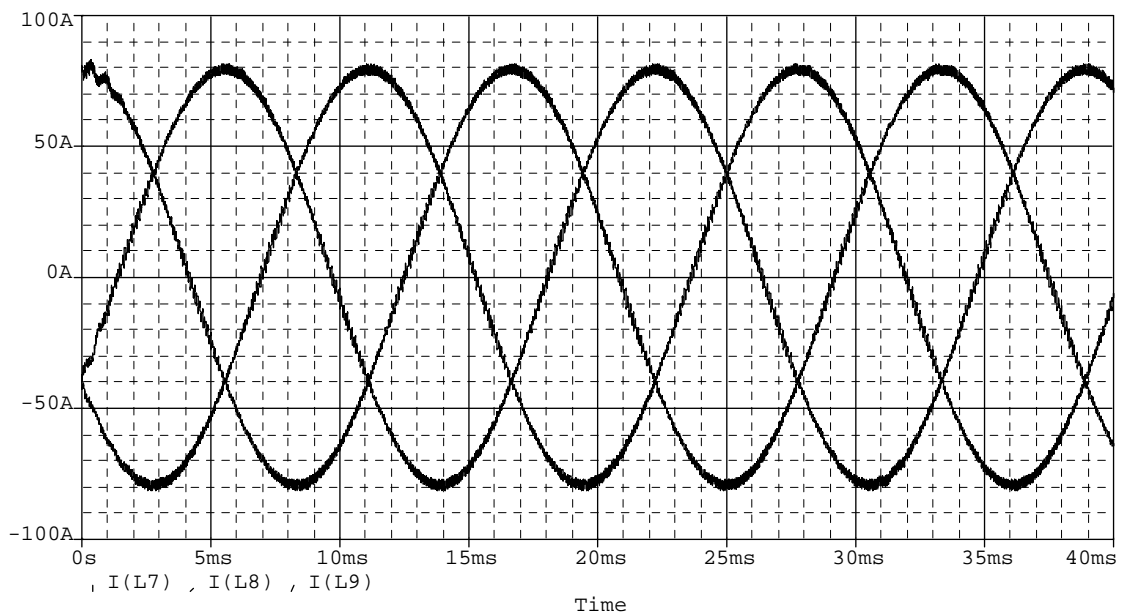


Fig. 2-18 – Correntes nas fases A, B e C.

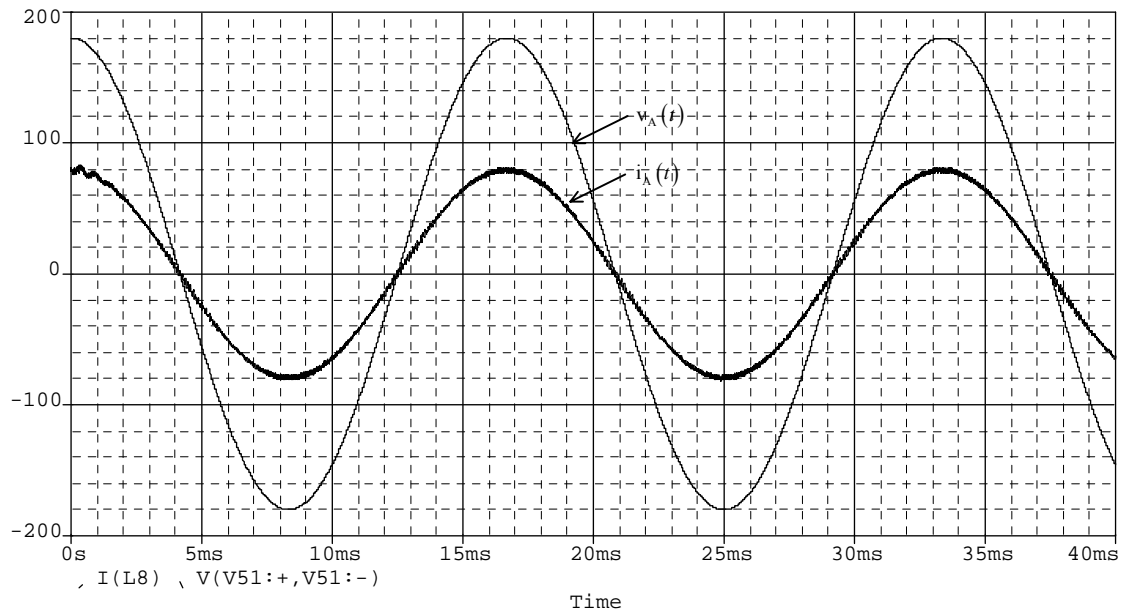


Fig. 2-19 – Tensão e corrente em uma das fases.

Na Fig. 2-20 observa-se a tensão de saída regulada em um valor de 400 V, com uma pequena ondulação de alta frequência.

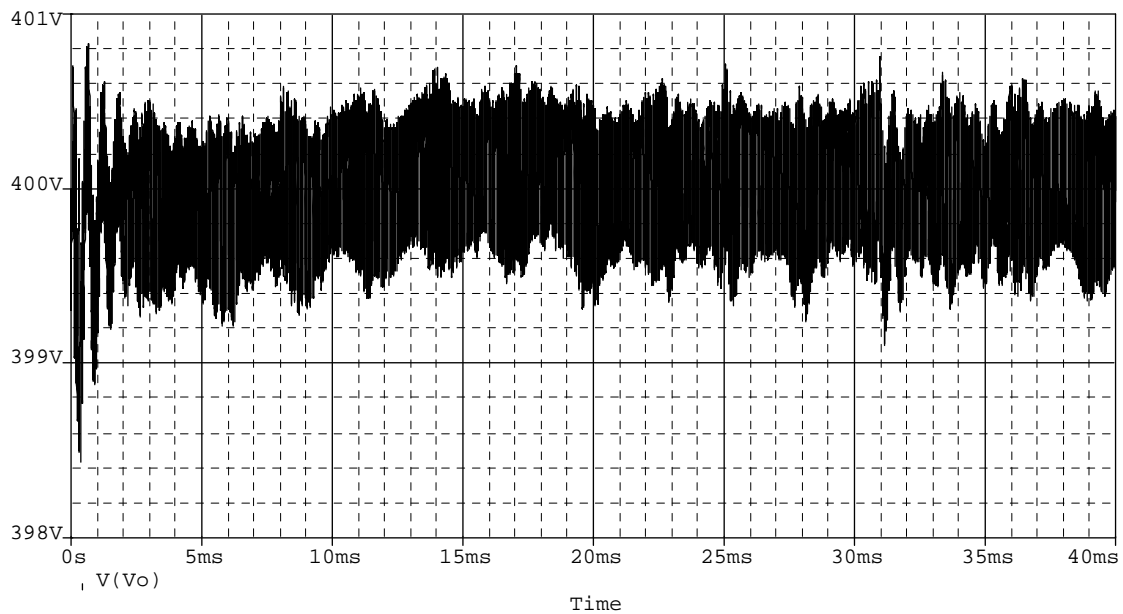


Fig. 2-20 – Tensão de saída.

Na Fig. 2-21 são verificadas as amostras da corrente de eixo direto e da corrente de eixo em quadratura, em que a componente de eixo em quadratura tem valor regulado em zero, indicando potência reativa nula.

O valor da corrente de eixo direto está relacionado com a potência ativa consumida e sua referência foi gerada a partir do controlador da tensão de saída.

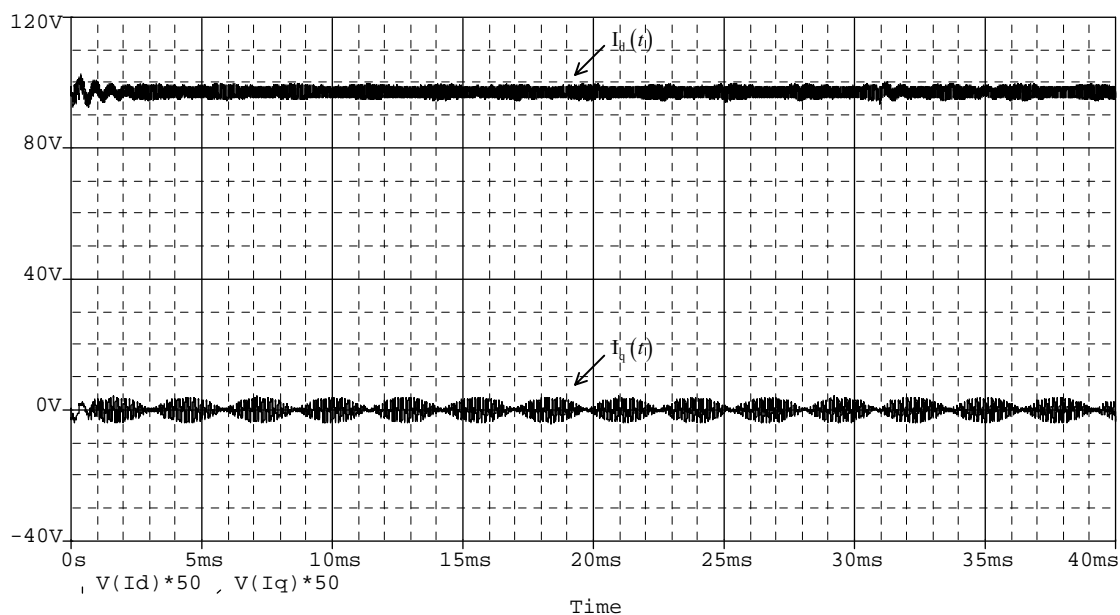


Fig. 2-21 – Corrente de eixo direto e corrente de eixo em quadratura.

Na Fig. 2-22 são mostradas a razão cíclica de eixo direto e a razão cíclica de eixo em quadratura, sinais gerados pelos controladores de corrente.

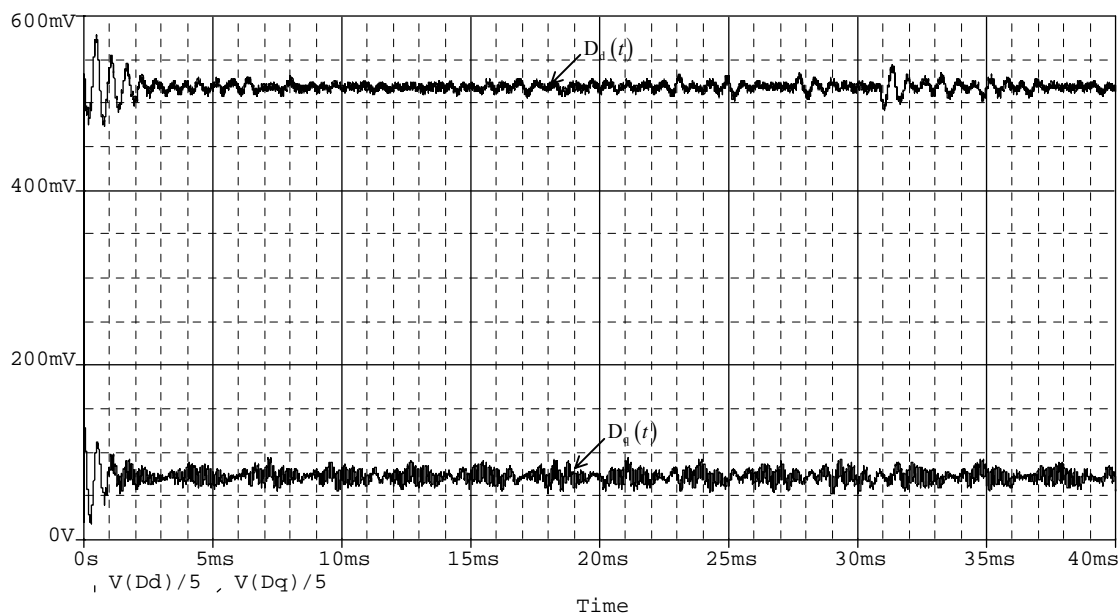


Fig. 2-22 – Razão cíclica de eixo direto e razão cíclica de eixo em quadratura.

As razões cíclicas dos eixos α e β são mostradas na Fig. 2-23 e na Fig. 2-24 é mostrado o plano de fase destas variáveis.

Observa-se que no plano $\alpha\beta$ estas variáveis percorrem uma trajetória circular.

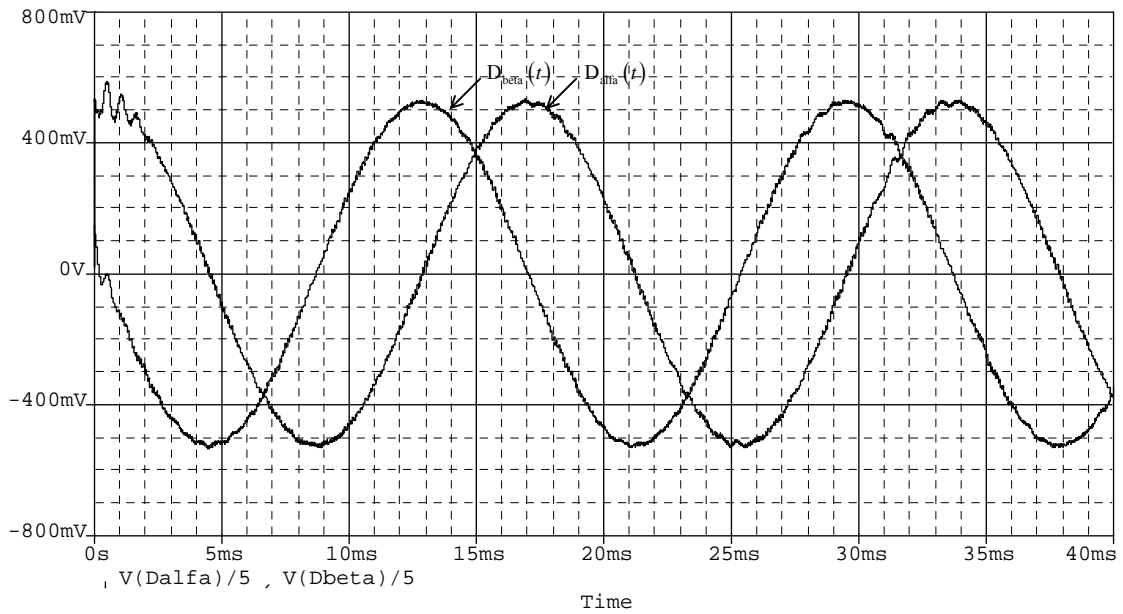


Fig. 2-23 - Razão cíclica do eixo α e razão cíclica do eixo β .

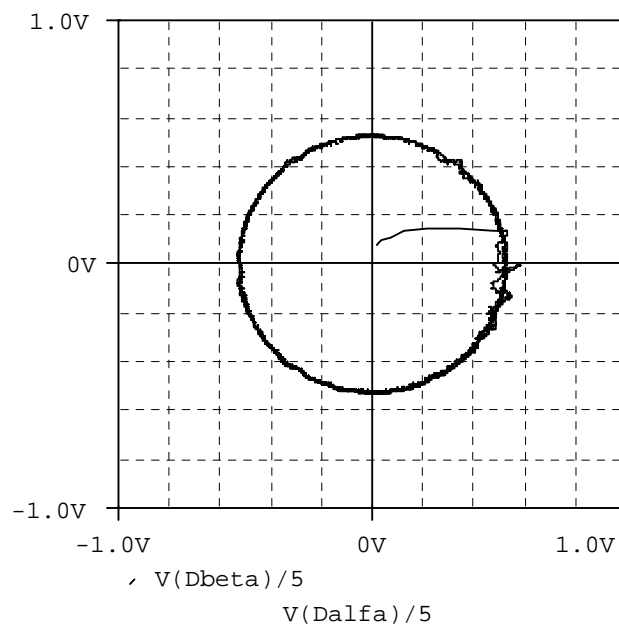
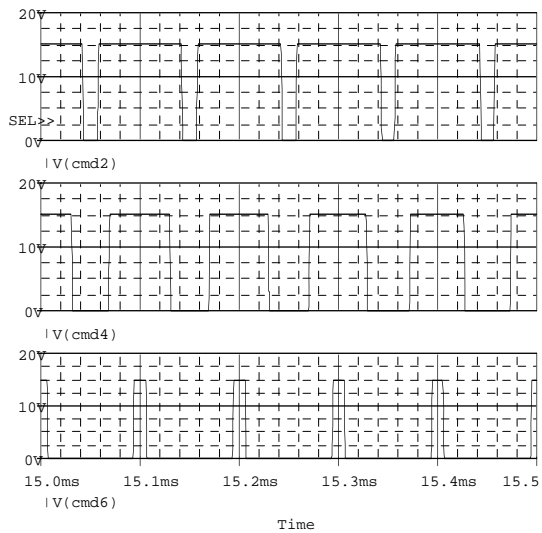
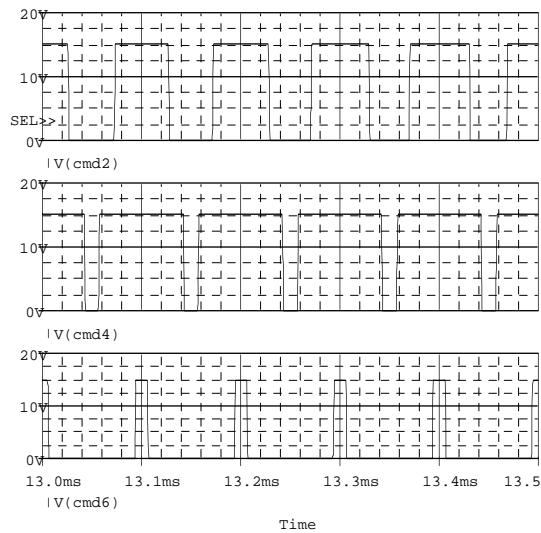


Fig. 2-24 – Plano de fase para a razão cíclica do eixo α e razão cíclica do eixo β .

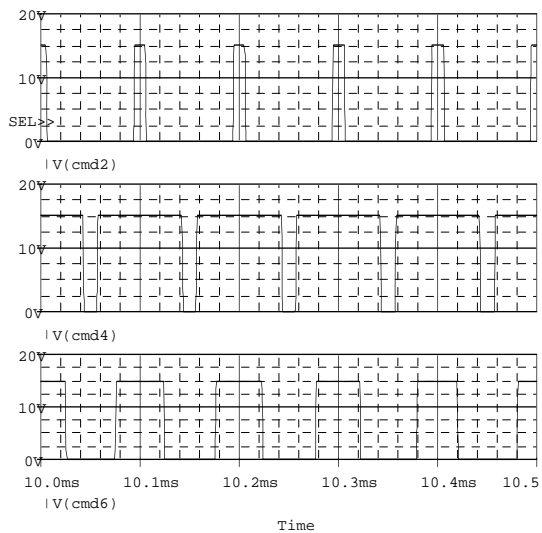
A Fig. 2-25 mostra os sinais de comando dos interruptores superiores de cada braço conectados às fases A, B e C para os setores definidos anteriormente. O formato e a evolução dos sinais de comando concordam com os apresentados na Tabela 2.8.



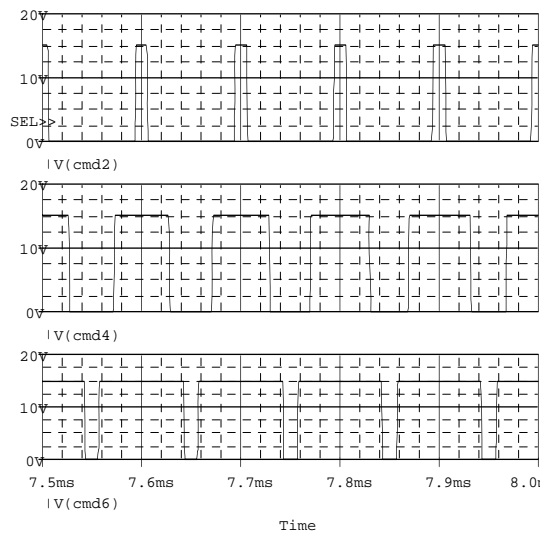
Setor 1.



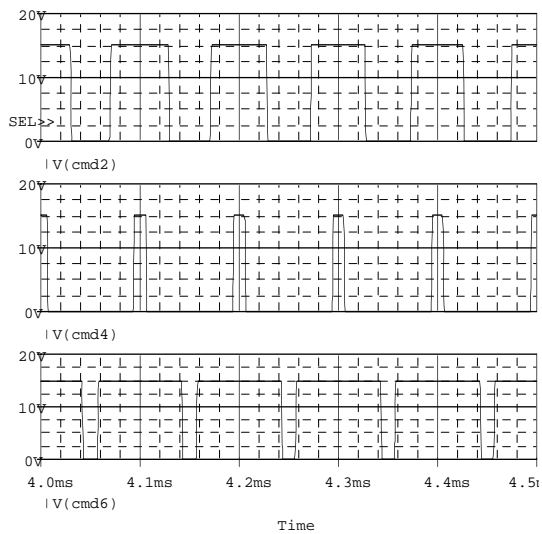
Setor 2.



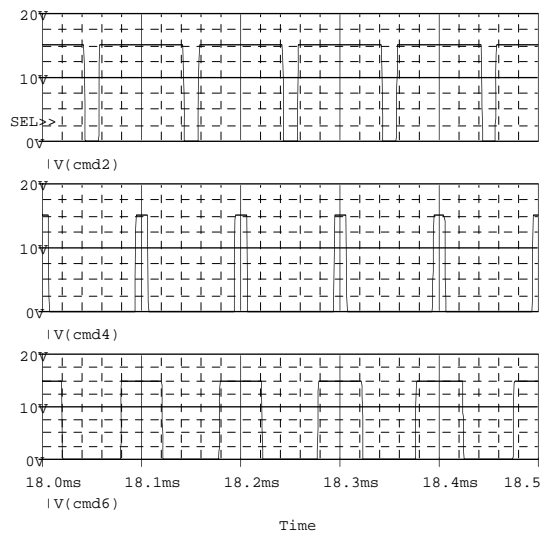
Setor 3.



Setor 4.



Setor 5.



Setor 6.

Fig. 2-25 – Sinais de comando dos interruptores em cada um dos setores.

As razões cíclicas das fases A, B e C são mostradas na Fig. 2-26, apresentando um formato semelhante ao formato do sinal teórico mostrado na figura Fig. 2-5.

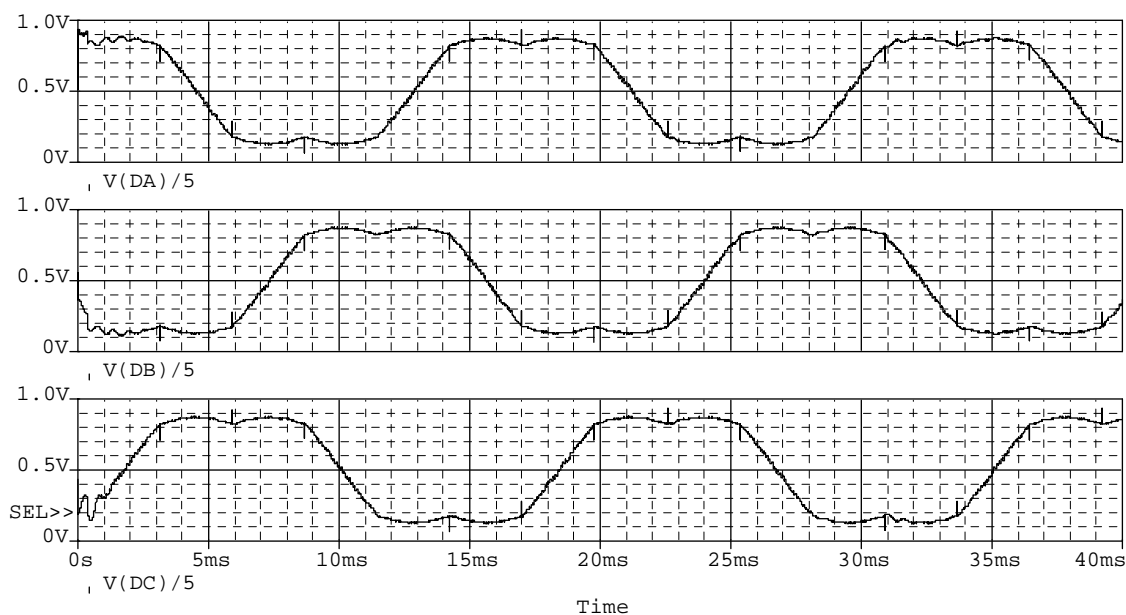


Fig. 2-26 – Razões cíclicas para as fases A, B, e C.

2.5. Conclusão

Foram demonstrados os princípios da modulação vetorial a partir de sua aplicação ao retificador trifásico bidirecional com elevado fator de potência. Os resultados de simulação verificam os resultados esperados.

Com esta estratégia de modulação é possível analisar o número de comutações dos interruptores, a simetria dos sinais de controle, a distribuição de correntes e de perdas e o conteúdo harmônico das correntes e tensões do retificador.

A modulação vetorial é um método para determinar a largura e seqüência (distribuição) dos pulsos que fornece um grau de liberdade para posicionamento dos pulsos através da pré-distribuição dos vetores nulos.

Neste capítulo utiliza-se a seqüência convencional de distribuição de vetores. Entretanto, várias outras seqüências são apresentadas na literatura, podendo ser aplicadas a este retificador.

Foi apresentada a modelagem do retificador utilizando a transformação de Park com a amostragem das correntes nas fases e a inclusão do desacoplamento das variáveis de eixo direto e de eixo em quadratura. A validação dos modelos foi realizada através de simulação digital.

Como desvantagens das técnicas de controle vetorial e modulação vetorial considera-se a complexidade de implementação.

Neste caso, verifica-se a necessidade de determinação dos setores e a pré-escolha da seqüência de aplicação dos vetores, a determinação dos intervalos de aplicação dos vetores e o cálculo das transformações direta e inversa.

Capítulo 3 - Modulação Vetorial Aplicada ao Retificador Unidirecional de Dois Níveis Y_1

3.1. Introdução

Neste capítulo a modulação vetorial é aplicada ao retificador trifásico PWM unidirecional de dois níveis Y_1 [52]-[53].

Além da modulação, será realizada uma breve análise deste retificador apresentando suas etapas de operação, estratégia de controle e o dimensionamento do estágio de potência. Uma análise mais detalhada sobre estas características é apresentada em [27].

Os conceitos sobre modelagem de retificadores estudados no capítulo 2 serão adaptados a esta estrutura e será realizado o projeto dos controladores com base nos parâmetros definidos nas etapas anteriores.

Os resultados da aplicação das estratégias de modulação e controle serão verificados através de simulações computacionais.

A Fig. 3-1 mostra a topologia do retificador trifásico PWM unidirecional de dois níveis Y_1 com elevado fator de potência.

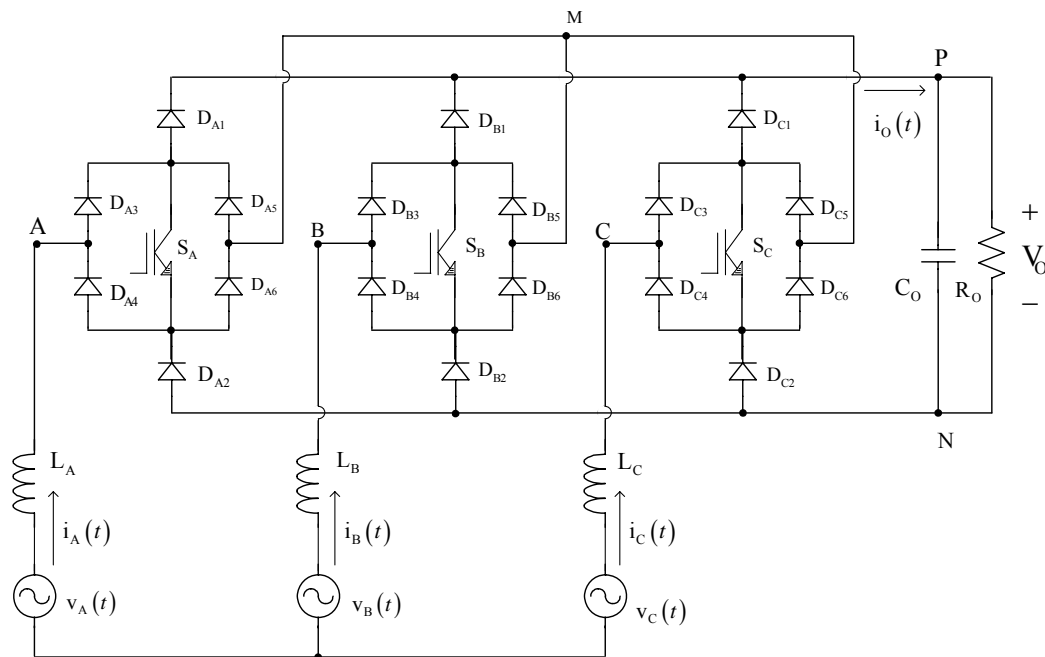


Fig. 3-1 – Retificador trifásico PWM unidirecional de dois níveis Y_1.

Nesta topologia, considerando-se as correntes de entrada em fase com as tensões de entrada, definem-se seis setores simétricos A+, B-, C+, A-, B+ e C- em um período de rede, com um intervalo de duração de 60°.

A caracterização destes setores é mostrada na Fig. 3-2, onde no setor A+ a corrente de maior módulo é a da fase A e esta possui valores positivos, sendo que as correntes nas outras duas fases possuem sinal oposto (negativo).

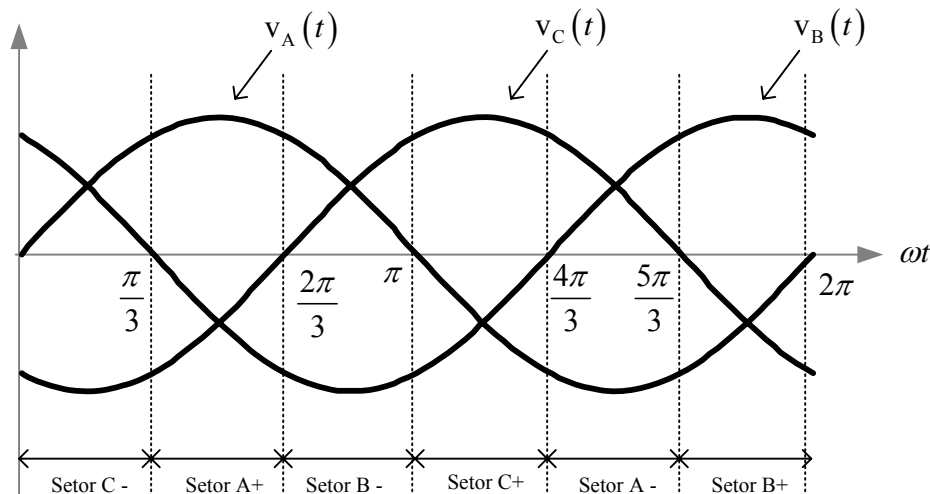


Fig. 3-2 – Setores em função do sentido das correntes.

Observa-se uma simetria que permite estender a análise realizada em um setor específico, para outros setores, considerando-se os sentidos das correntes em cada uma das fases [27].

3.2. Etapas de Operação

Este conversor apresenta três interruptores comandados com dois estados possíveis (conduzindo ou bloqueado), sendo que para um determinado setor são possíveis oito etapas de operação.

Nestas etapas de operação, os sentidos das correntes de entrada e os possíveis caminhos de circulação de corrente pelo conversor definem se o interruptor comandado estará ou não conduzindo. Pode ocorrer a situação em que o interruptor é comandado a conduzir, mas não existe caminho para a circulação de corrente pelo mesmo.

Quando os três interruptores estão bloqueados, o potencial dos pontos A, B e C depende do sentido das correntes nas respectivas fases. Para que haja circulação direta de corrente de uma fase para outra, sem circular corrente pela carga, pelo menos dois dos três interruptores devem estar fechados.

As etapas de operação para o Setor A+ são mostradas na figura Fig. 3-3, em que se observa a existência de cinco estados idênticos (Etapa 4 a Etapa 8).

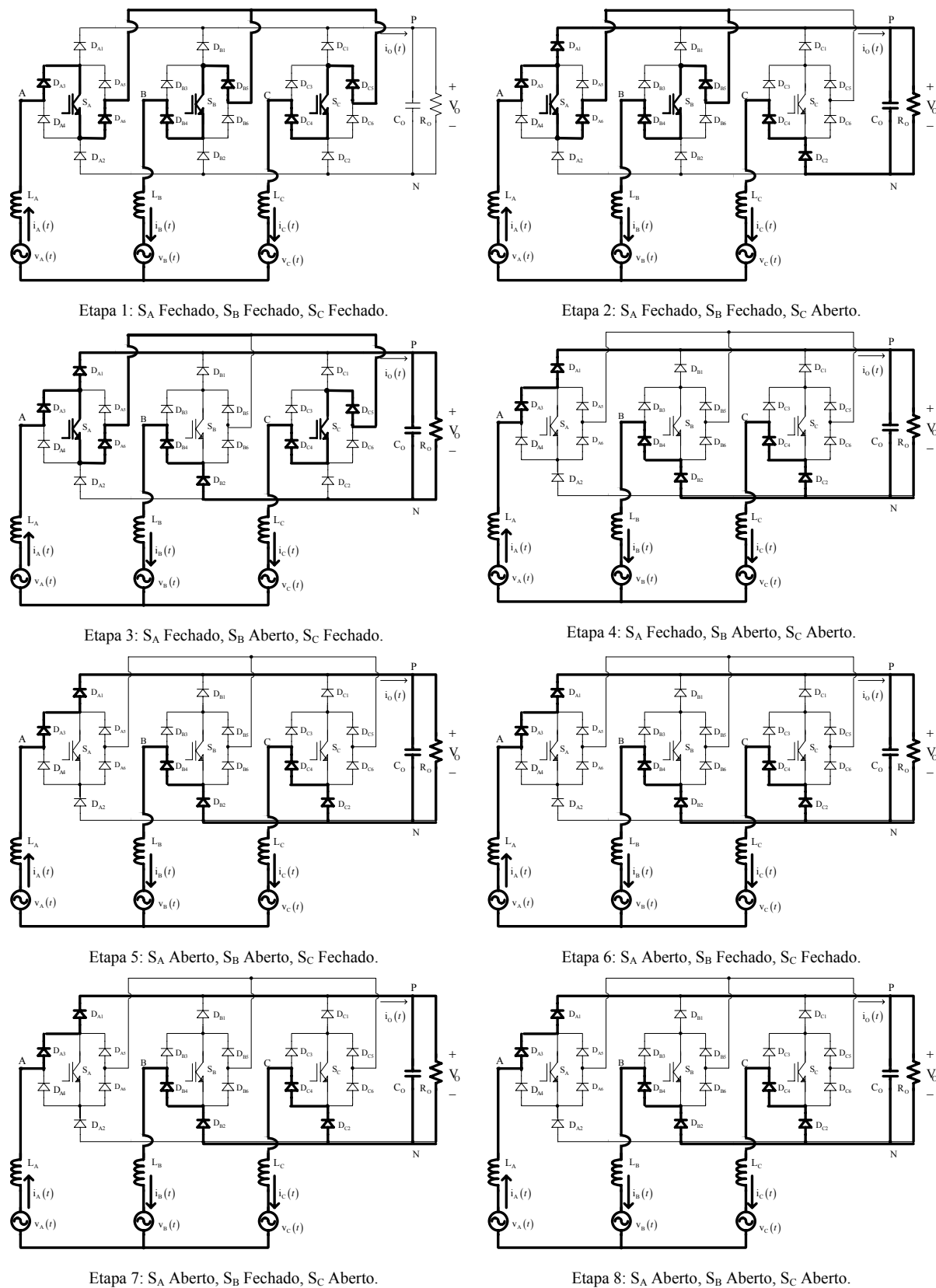


Fig. 3-3 – Etapas de operação.

Pela simetria que este conversor apresenta é definida a equivalência entre os componentes do sistema para a análise do conversor:

- $L \Rightarrow L_A, L_B \text{ e } L_C$;
- $S \Rightarrow S_A, S_B \text{ e } S_C$;
- $D_{I12} \Rightarrow D_{A1}, D_{A2}, D_{B1}, D_{B2}, D_{C1} \text{ e } D_{C2}$;
- $D_{I34} \Rightarrow D_{A3}, D_{A4}, D_{B3}, D_{B4}, D_{C3} \text{ e } D_{C4}$;
- $D_{I56} \Rightarrow D_{A5}, D_{A6}, D_{B5}, D_{B6}, D_{C5} \text{ e } D_{C6}$.

Será utilizado um representante de cada grupo para o dimensionamento do estágio de potência e para a análise das formas de onda da estrutura.

3.3. Modulação Vetorial

3.3.1. Vetores Disponíveis

Da análise da estrutura da Fig. 3-1 verifica-se a possibilidade de utilização de sete vetores disponíveis para representar os estados topológicos do conversor, como demonstrado na Tabela 3.1.

Para este retificador, a definição dos vetores é feita de forma diferenciada da convencional [36], pois para a obtenção do vetor nulo é necessário que os três interruptores estejam conduzindo ao mesmo tempo, e assim obtêm-se tensões de linha iguais a zero.

Tabela 3.1 - Vetores possíveis.

Vetor	Ponto A	Ponto B	Ponto C	V_{AB}	V_{BC}	V_{CA}
$\vec{V}_0 (0 0 0)$	M	M	M	0	0	0
$\vec{V}_1 (1 0 0)$	P	N	N	$+V_O$	0	$-V_O$
$\vec{V}_2 (1 1 0)$	P	P	N	0	$+V_O$	$-V_O$
$\vec{V}_3 (0 1 0)$	N	P	N	$-V_O$	$+V_O$	0
$\vec{V}_4 (0 1 1)$	N	P	P	$-V_O$	0	$+V_O$
$\vec{V}_5 (0 0 1)$	N	N	P	0	$-V_O$	$+V_O$
$\vec{V}_6 (1 0 1)$	P	N	P	$+V_O$	$-V_O$	0

Na implementação dos vetores disponíveis deve-se considerar os sentidos das correntes que circulam pelas fases A, B e C. Supondo que as correntes estão em fase com as respectivas tensões, têm-se as relações fasoriais entre as tensões de entrada e a componente fundamental das tensões apresentadas pelo retificador conforme a Fig. 3-4.

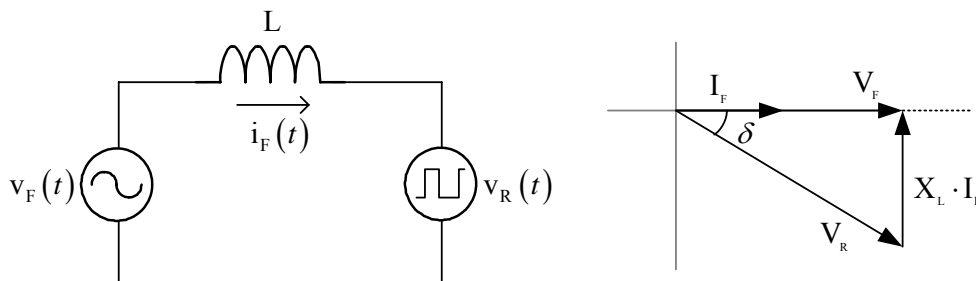


Fig. 3-4 – Relações entre as tensões de entrada e a componente fundamental das tensões do retificador.

Assim, o diagrama da Fig. 2.2 pode ser dividido em sub-setores, que consideram a intersecção dos setores dos vetores com os setores das correntes Fig. 3-5, como mostrado na Fig. 3-6.

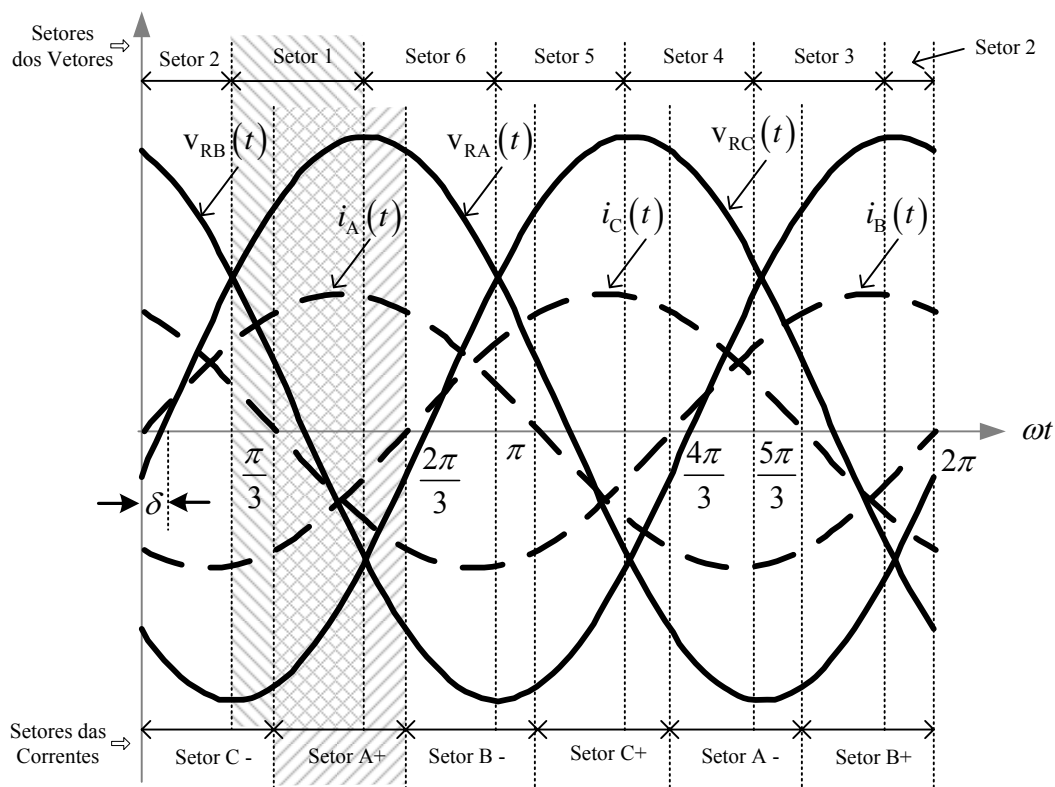


Fig. 3-5 – Intersecção dos setores de tensão e dos setores de corrente.

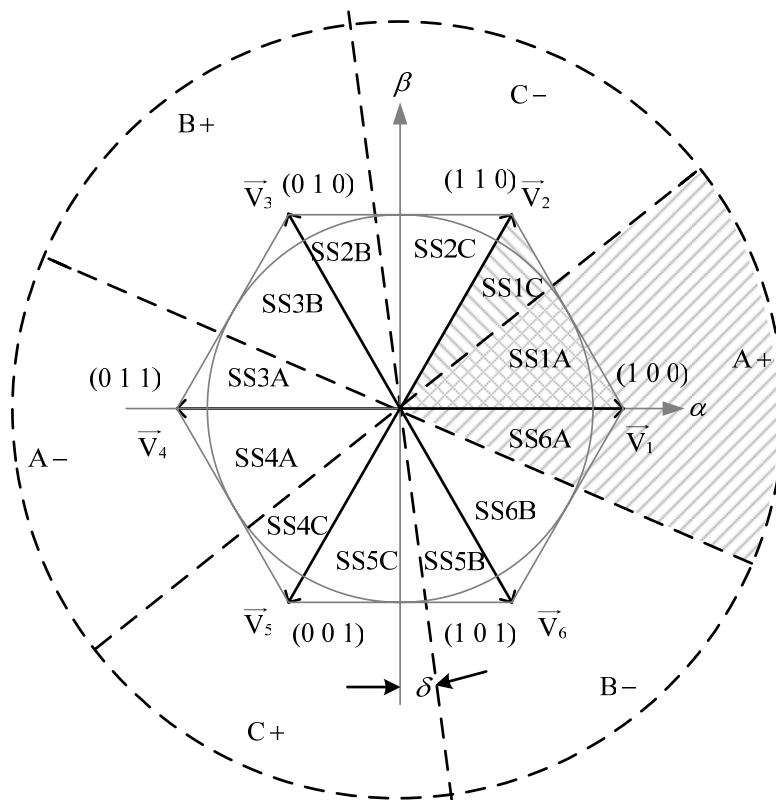


Fig. 3-6 - Representação espacial dos vetores disponíveis e definição dos sub-setores.

Analisando o sub-setor SS1A, observa-se que nesta região a corrente de maior intensidade é a da fase A e esta é positiva, assim as correntes das fases B e C são negativas e os vetores a serem sintetizados são os vetores \bar{V}_0 , \bar{V}_1 e \bar{V}_2 (vetores vizinhos ao setor [36]).

Para estes sentidos de corrente o vetor \bar{V}_1 pode ser realizado nas etapas 4, 5, 6, 7 e 8 mostradas na Fig. 3-3. O vetor \bar{V}_2 é realizado na etapa 2 mostrada na Fig. 3-3.

O vetor nulo é obtido com a condução dos três interruptores (etapa 1 da Fig. 3-3). Neste caso, o ponto M não está conectado ao ponto P nem ao ponto N, então a definição dos vetores nulos é feita de forma diferenciada em relação ao retificador bidirecional, sendo utilizado apenas um vetor nulo, para o caso em que os pontos A, B e C estão conectados.

Na determinação dos sinais de comando para a implementação dos vetores adotou-se uma lógica que considera fechado o interruptor conectado ao braço ligado a fase que possui a corrente de maior intensidade [27] [54].

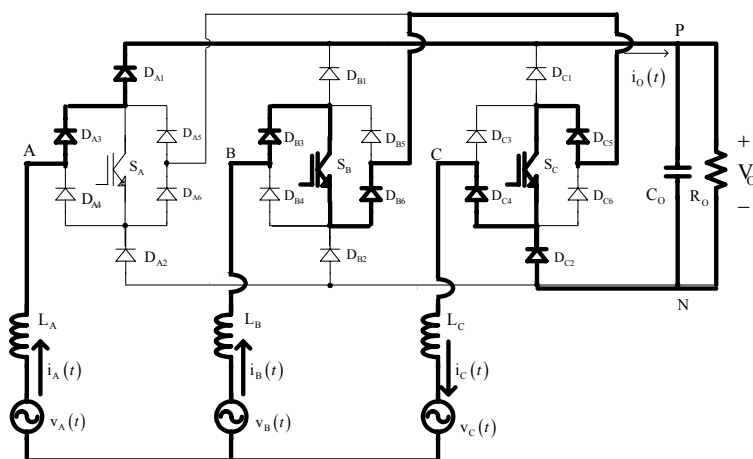
Assim, os sinais de comando utilizados para implementação destes vetores são mostrados na Tabela 3.2

Tabela 3.2 – Sinais de comando para o sub-setor SS1A.

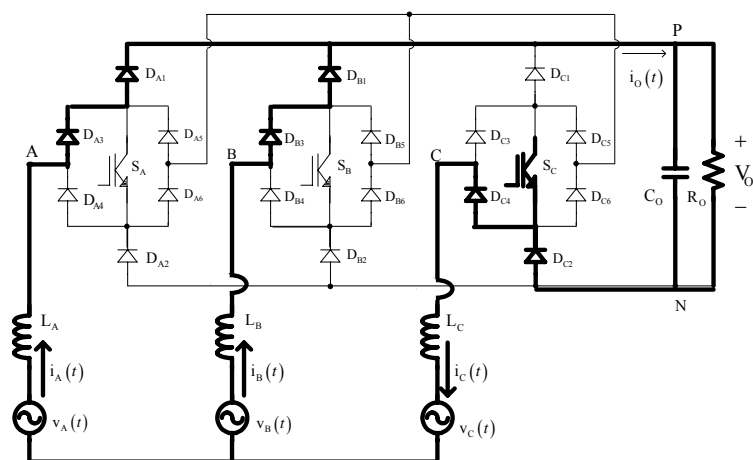
Vetor	S_A	S_B	S_C
\vec{V}_1 (1 0 0)	Fechado	Aberto	Aberto
\vec{V}_2 (1 1 0)	Fechado	Fechado	Aberto
\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado

Para o sub-setor SS1C, a corrente de maior intensidade é a da fase C e esta é negativa, sendo as correntes da fase B e da fase C positivas e os vetores a serem sintetizados são os mesmos do caso anterior, ou seja, os vetores \vec{V}_0 , \vec{V}_1 e \vec{V}_2 .

Para estes sinais de corrente o vetor \vec{V}_1 é realizado na etapa de operação mostrada na Fig. 3-7.

Fig. 3-7 - Realização do vetor \vec{V}_1 para o sub-setor SS1C.

De forma semelhante, o vetor \vec{V}_2 é realizado na etapa de operação da Fig. 3-8.

Fig. 3-8 - Realização do vetor \vec{V}_2 para o sub-setor SS1C.

O vetor nulo também é obtido com a condução dos três interruptores. Os sinais de comando utilizados na implementação destes vetores são mostrados na Tabela 3.3.

Tabela 3.3 – Sinais de comando para o sub-setor SS1C.

Vetor	S _A	S _B	S _C
\vec{V}_1 (1 0 0)	Aberto	Fechado	Fechado
\vec{V}_2 (1 1 0)	Aberto	Aberto	Fechado
\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado

Desta forma, pode-se generalizar a formação dos vetores desejados, considerando-se que para a obtenção do valor 1 (um) no vetor desejado deve-se considerar o interruptor relacionado a este valor como fechado (*ON*) para a situação em que a corrente de maior intensidade é positiva e o interruptor aberto (*OFF*) para o caso em que esta corrente é negativa. Para a obtenção do valor 0 (zero) a lógica é invertida. Esta regra não se aplica ao vetor nulo.

Estendendo este resultado para os outros sub-setores têm-se os sinais de comando da Tabela 3.4.

Tabela 3.4 – Sinais de comando para outros sub-setores

Sub-Setor	Vetor	S _A	S _B	S _C
SS2C	\vec{V}_3 (0 1 0)	Fechado	Aberto	Fechado
	\vec{V}_2 (1 1 0)	Aberto	Aberto	Fechado
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS2B	\vec{V}_3 (0 1 0)	Aberto	Fechado	Aberto
	\vec{V}_2 (1 1 0)	Fechado	Fechado	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS3B	\vec{V}_4 (0 1 1)	Aberto	Fechado	Fechado
	\vec{V}_3 (0 1 0)	Aberto	Fechado	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS3A	\vec{V}_4 (0 1 1)	Fechado	Aberto	Aberto
	\vec{V}_3 (0 1 0)	Fechado	Aberto	Fechado
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS4A	\vec{V}_5 (0 0 1)	Fechado	Fechado	Aberto
	\vec{V}_4 (0 1 1)	Fechado	Aberto	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado

Tabela 3.5 – Sinais de comando para outros sub-setores - Continuação.

Sub-Setor	Vetor	S _A	S _B	S _C
SS4C	\vec{V}_5 (0 0 1)	Aberto	Aberto	Fechado
	\vec{V}_4 (0 1 1)	Aberto	Fechado	Fechado
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS5C	\vec{V}_6 (1 0 1)	Fechado	Aberto	Fechado
	\vec{V}_5 (0 0 1)	Aberto	Aberto	Fechado
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS5B	\vec{V}_6 (1 0 1)	Aberto	Fechado	Aberto
	\vec{V}_5 (0 0 1)	Fechado	Fechado	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS6B	\vec{V}_1 (1 0 0)	Aberto	Fechado	Fechado
	\vec{V}_6 (1 0 1)	Aberto	Fechado	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado
SS6A	\vec{V}_1 (1 0 0)	Fechado	Aberto	Aberto
	\vec{V}_6 (1 0 1)	Fechado	Aberto	Fechado
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Fechado

3.3.2. Seqüência de Vetores e Sinais de Comando Para os Sub -Setores

A partir dos resultados da Tabela 3.4 foram determinadas as seqüências dos vetores a serem utilizados e as respectivas razões cíclicas de cada uma das fases para cada um dos sub-setores.

As seqüências de vetores foram escolhidas de forma que, nos três interruptores, o nível do sinal de comando no início do período de comutação fosse o mesmo do final deste período. Esta estratégia tem como objetivo minimizar o número de comutações nos interruptores.

Para o Sub-Setor SS1A a seqüência de vetores proposta é, $\vec{V}_0 \vec{V}_2 \vec{V}_1 \vec{V}_2 \vec{V}_0$, resultando nos sinais de comando mostrados na Fig. 3-9.

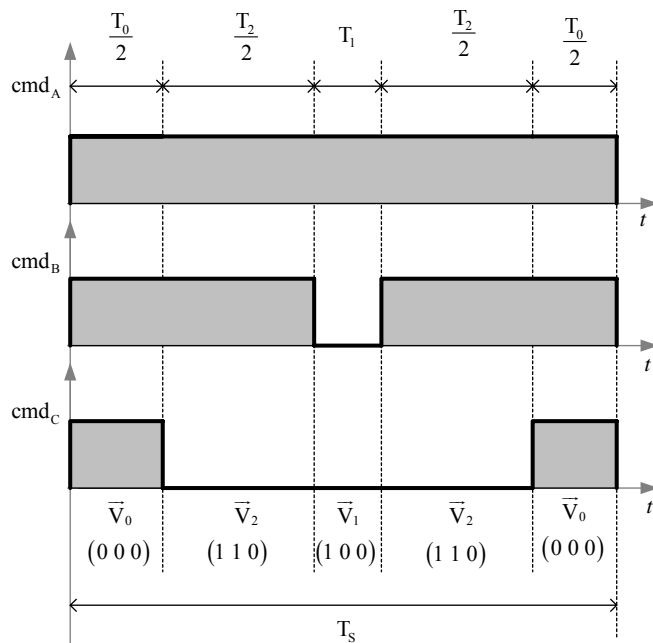


Fig. 3-9 - Sinais de comando para o sub-setor SS1A.

Com isso, os intervalos para os comandos dos interruptores são dados pela expressão (3.1).

$$\begin{cases} T_A = T_s \\ T_B = T_0 + T_2 \\ T_C = T_0 \end{cases} \quad (3.1)$$

Utilizando as projeções dos vetores (capítulo 2), para o respectivo setor, determina-se o valor das razões cíclicas das três fases em função das razões D_α e D_β (3.2).

$$\begin{cases} D_A = 1 \\ D_B = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \\ D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \end{cases} \quad (3.2)$$

Considerando o Sub-Sector SS1C, a seqüência de vetores proposta para este setor é $\vec{V}_0 \vec{V}_1 \vec{V}_2 \vec{V}_1 \vec{V}_0$, resultando nos sinais de comando mostrados na Fig. 3-10.

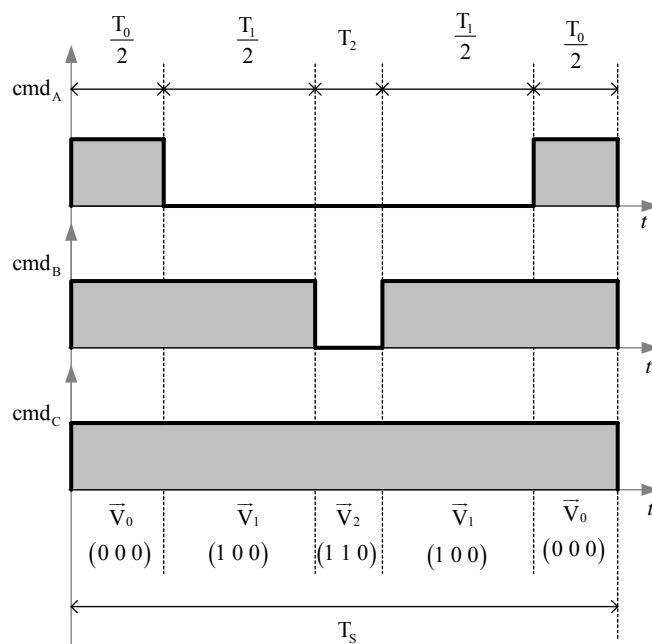


Fig. 3-10 - Sinais de comando para o sub-setor SS1C.

Assim, os intervalos para os comandos dos interruptores para este sub-setor são dados pela expressão (3.3).

$$\begin{cases} T_A = T_0 \\ T_B = T_0 + T_1 \\ T_C = T_s \end{cases} \quad (3.3)$$

As razões cíclicas das três fases em função das razões D_α e D_β são dadas por (3.4).

$$\begin{cases} D_A = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \\ D_B = 1 - \sqrt{2} \cdot D_\beta \\ D_C = 1 \end{cases} \quad (3.4)$$

Para os outros sub-setores têm-se as seqüências de vetores mostradas na Tabela 3.6.

Tabela 3.6 – Seqüência de vetores para outros sub-setores.

Sub-Setor SS2C	$\vec{V}_0 \vec{V}_3 \vec{V}_2 \vec{V}_3 \vec{V}_0$	Sub-Setor SS4C	$\vec{V}_0 \vec{V}_4 \vec{V}_5 \vec{V}_4 \vec{V}_0$
Sub-Setor SS2B	$\vec{V}_0 \vec{V}_2 \vec{V}_3 \vec{V}_2 \vec{V}_0$	Sub-Setor SS5C	$\vec{V}_0 \vec{V}_6 \vec{V}_5 \vec{V}_6 \vec{V}_0$
Sub-Setor SS3B	$\vec{V}_0 \vec{V}_4 \vec{V}_3 \vec{V}_4 \vec{V}_0$	Sub-Setor SS5B	$\vec{V}_0 \vec{V}_5 \vec{V}_6 \vec{V}_5 \vec{V}_0$
Sub-Setor SS3A	$\vec{V}_0 \vec{V}_3 \vec{V}_4 \vec{V}_3 \vec{V}_0$	Sub-Setor SS6B	$\vec{V}_0 \vec{V}_1 \vec{V}_6 \vec{V}_1 \vec{V}_0$
Sub-Setor SS4A	$\vec{V}_0 \vec{V}_5 \vec{V}_4 \vec{V}_5 \vec{V}_0$	Sub-Setor SS6A	$\vec{V}_0 \vec{V}_6 \vec{V}_1 \vec{V}_6 \vec{V}_0$

Para os outros sub-setores tem-se as expressões para as razões cíclicas das três fases em função das razões D_α e D_β mostradas na Tabela 3.7.

Tabela 3.7 – Razões cíclicas das três fases em função das razões D_α e D_β para os sub-setores.

Sub-Setor SS6A e Sub-Setor SS1A	$D_A = 1$ $D_B = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS1C e Sub-Setor SS2C	$D_A = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 1 - \sqrt{2} \cdot D_\beta$ $D_C = 1$
Sub-Setor SS2B e Sub-Setor SS3B	$D_A = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 1$ $D_C = 1 - \sqrt{2} \cdot D_\beta$
Sub-Setor SS3A e Sub-Setor SS4A	$D_A = 1$ $D_B = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_C = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS4C e Sub-Setor SS5C	$D_A = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 1 + \sqrt{2} \cdot D_\beta$ $D_C = 1$
Sub-Setor SS5B e Sub-Setor SS6B	$D_A = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 1$ $D_C = 1 + \sqrt{2} \cdot D_\beta$

Observa-se que as expressões que caracterizam as razões cíclicas dentro de um determinado setor de corrente são as mesmas para ambos os setores dos vetores, desta forma, não há a necessidade de se identificar os setores dos vetores, pode-se apenas impor os setores de corrente a partir das tensões de entrada.

As razões cíclicas dos eixos α e β são determinadas aplicando-se a transformação inversa de Park aos sinais de saída do sistema de controle (D_d e D_q), conforme (3.5).

$$\begin{cases} D_\alpha = D_d \cdot \cos(\omega \cdot t) + D_q \cdot \text{sen}(\omega \cdot t) \\ D_\beta = -D_d \cdot \text{sen}(\omega \cdot t) + D_q \cdot \cos(\omega \cdot t) \end{cases} \quad (3.5)$$

A Fig. 3-11 mostra a razão cíclica para a fase A em um período de rede, sendo que para as outras fases, as razões cíclicas têm o mesmo formato e estão defasadas de $\pm 120^\circ$. Neste caso, considerou-se $D_d = 0,359$ e $D_q = 0,076$.

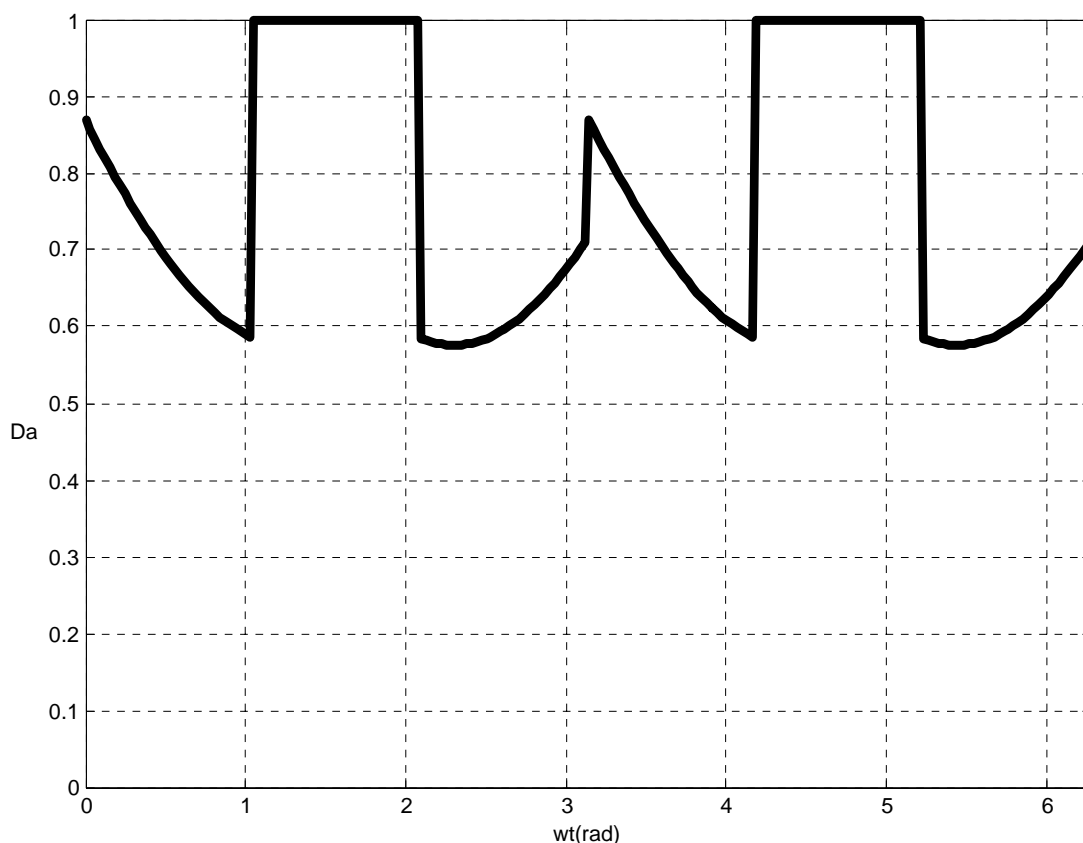
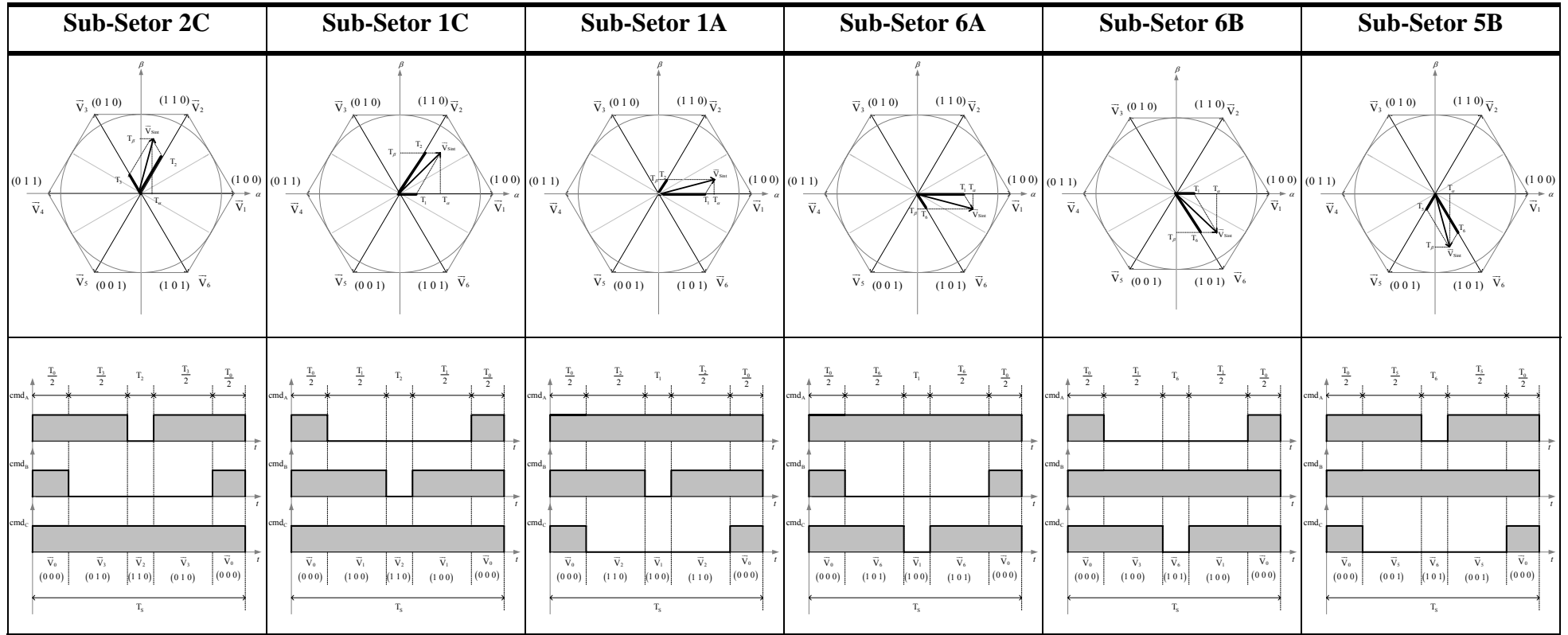


Fig. 3-11 - Razão cíclica para a fase A.

A Tabela 3.8 mostra a evolução dos sinais de comando em um período de comutação para cada um dos sub-setores em um semi-período da rede, quando se utiliza a modulação vetorial com o equacionamento desenvolvido nesta seção. São mostrados os sinais de comando para a seqüência de sub-setores 2C, 1C, 1A, 6A, 6B e 5B, sendo que estes sinais se repetem para a seqüência 5C, 4C, 4A, 3A, 3B e 2B.

Observa-se que o interruptor conectado à fase com a corrente de maior módulo está sempre comandado a conduzir e que cada um dos outros dois interruptores é comandado a conduzir e bloquear apenas uma vez em cada período de comutação. Desta forma, o número de comutações dos interruptores para a implementação destes vetores é mínimo.

Tabela 3.8 - Evolução dos sinais de comando em cada um dos sub-setores em meio período da rede.



Verifica-se também que a distribuição dos sinais de comando e dos vetores é simétrica em relação à metade do período de comutação e que no início e no fim da cada período os interruptores estão conduzindo.

Pela análise da estratégia de modulação apresentada e das etapas de comutação, verifica-se que o interruptor que está sempre comandado a conduzir durante um setor apresenta instantes em que sua corrente se anula.

Por exemplo, no sub-setor SS1A durante o intervalo de aplicação do vetor \vec{V}_1 o interruptor S_A poderia estar comandado ou não, sem alterar a seqüência de aplicação dos vetores. Entretanto, se este interruptor não estiver comandado neste intervalo, o nível de tensão sobre ele aumenta e como consequência, aumentam as perdas por comutação.

Para manter o interruptor conduzindo durante todo intervalo em que está comandado, utiliza-se os sinais de comando apresentados na Fig. 3-12 para o setor A+, no qual o vetor \vec{V}_6 é realizado na etapa 3 mostrada na Fig. 3-3.

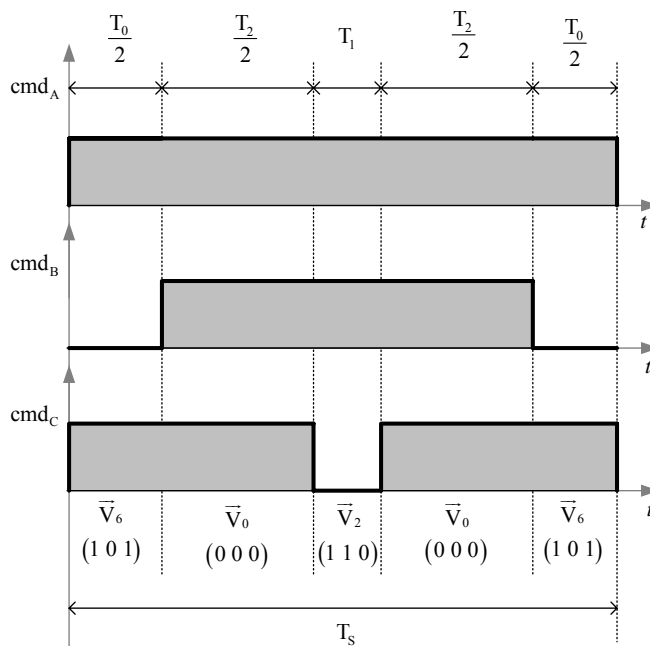


Fig. 3-12 - Sinais de comando para o setor A+.

Para que esta seqüência seja mantida e os vetores desejados sejam implementados é necessário que $D_B + D_C > 1$.

Na implementação desta lógica os sinais das triangulares são defasados de 180° entre si, nas fases cujos interruptores não estão fechados durante todo o período do setor. Com isso, as seqüências de vetores para este setor e para os sub-setores são apresentados na Tabela 3.9

Tabela 3.9 - Seqüência de vetores para os sub-setores.

Sub-Setores SS1A e SS6A	$\overrightarrow{V_6} \overrightarrow{V_0} \overrightarrow{V_2} \overrightarrow{V_0} \overrightarrow{V_6}$
Sub-Setores SS1C e SS2C	$\overrightarrow{V_1} \overrightarrow{V_0} \overrightarrow{V_3} \overrightarrow{V_0} \overrightarrow{V_1}$
Sub-Setores SS2B e SS3B	$\overrightarrow{V_2} \overrightarrow{V_0} \overrightarrow{V_4} \overrightarrow{V_0} \overrightarrow{V_2}$
Sub-Setores SS3A e SS4A	$\overrightarrow{V_3} \overrightarrow{V_0} \overrightarrow{V_5} \overrightarrow{V_0} \overrightarrow{V_3}$
Sub-Setores SS4C e SS5C	$\overrightarrow{V_4} \overrightarrow{V_0} \overrightarrow{V_6} \overrightarrow{V_0} \overrightarrow{V_4}$
Sub-Setores SS5B e SS6B	$\overrightarrow{V_5} \overrightarrow{V_0} \overrightarrow{V_1} \overrightarrow{V_0} \overrightarrow{V_5}$

Com estas seqüências, obtêm-se o mesmo formato para a razão cíclica apresentada na Fig. 3-11, com a desvantagem de aumentarem-se as perdas por condução. Desta forma, optou-se por utilizar a primeira seqüência proposta.

3.4. Dimensionamento do Estágio de Potência

Com a aplicação da estratégia de modulação da seção 2.3, o dimensionamento do estágio de potência é realizado aplicando as expressões desenvolvidas em [27].

Apresentam-se nas seções que seguem os cálculos para o dimensionamento dos indutores de entrada, do capacitor de saída e dos esforços de tensão e corrente nos semicondutores, considerando-se as especificações de projeto apresentadas na Tabela 3.10.

Tabela 3.10 – Especificações de projeto.

Potência de saída (P_O)	20 kW
Tensão de saída (V_O)	400 V
Tensão eficaz de fase de alimentação (V_{EF})	127 V
Frequência da rede (f_F)	60 Hz
Frequência de comutação (f_S)	10 kHz
Rendimento do conversor (η)	95%
Ondulação na corrente de fase (porcentagem da corrente de pico) ($\Delta I\%$)	10%
Ondulação na tensão de saída (porcentagem da tensão de saída nominal) ($\Delta V_O\%$)	0,5%

3.4.1. Cálculos Preliminares e Condições de Operação

- Corrente eficaz de entrada:

$$I_{EF} = \frac{P_O}{3 \cdot \eta \cdot V_{EF}} = 55,25 \text{ A} \quad (3.6)$$

- Corrente de pico e tensão de pico:

$$I_p = \sqrt{2} \cdot I_{EF} = 78,13 \text{ A}, \quad V_p = \sqrt{2} \cdot V_{EF} = 180 \text{ V} \quad (3.7)$$

- Resistência equivalente de fase (representa 1/3 das perdas do conversor):

$$R_{SE} = \frac{(1-\eta) \cdot P_O}{I_{EF}^2} = 0,11 \text{ } \Omega \quad (3.8)$$

3.4.2. Dimensionamento dos Indutores de Entrada

- Valor da indutância:

$$L = \frac{3 \cdot V_p^2 \cdot (2 \cdot V_O - 3 \cdot V_p)}{f_s \cdot \Delta I\% \cdot 4 \cdot P_O \cdot V_O} = 790 \text{ } \mu\text{H} \quad (3.9)$$

- Corrente eficaz no indutor:

$$I_{L_{EF}} = \frac{\sqrt{2} \cdot P_O}{3 \cdot \eta \cdot V_p} = 55,25 \text{ A} \quad (3.10)$$

- Corrente de pico no indutor:

$$I_{L_p} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 82 \text{ A} \quad (3.11)$$

- Corrente média no indutor:

$$I_{L_{MED}} = 0 \quad (3.12)$$

- Tensão de pico no indutor:

$$V_{L_p} = \frac{V_p}{2} + \frac{V_O}{3} = 223,3 \text{ V} \quad (3.13)$$

3.4.3. Dimensionamento do Capacitor de Saída

- Valor da capacitância:

$$C_O = \frac{P_O \cdot (2 \cdot V_O - 3 \cdot V_p)}{2 \cdot f_s \cdot V_O^3 \cdot \Delta V_O\%} = 816 \text{ } \mu\text{F} \quad (3.14)$$

- Corrente eficaz no capacitor:

$$I_{CO_{EF}} = \frac{P_O}{V_O} \cdot \sqrt{\frac{0,613 \cdot V_O - 2 \cdot \eta \cdot V_P}{\eta^2 \cdot V_P} + 1} = 31,9 \text{ A} \quad (3.15)$$

- Corrente de pico no capacitor:

$$I_{CO_P} = \frac{P_O}{V_O} = 50 \text{ A} \quad (3.16)$$

- Corrente média no capacitor:

$$I_{CO_{MED}} = 0 \quad (3.17)$$

- Tensão no capacitor:

$$V_{CO_{EF}} \cong V_{CO_{MED}} \cong V_O = 400 \text{ V} \quad (3.18)$$

3.4.4. Dimensionamento dos Interruptores

- Corrente eficaz no interruptor:

$$I_{S_{EF}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{V_O - 1,63 \cdot V_P}{5,7 \cdot V_O}} = 25,41 \text{ A} \quad (3.19)$$

- Corrente de pico no interruptor:

$$I_{S_P} = I_{L_P} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_P} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 82 \text{ A} \quad (3.20)$$

- Corrente média no interruptor:

$$I_{S_{MED}} = \frac{P_O}{\eta \cdot V_P} \cdot \left(\frac{4}{3 \cdot \pi} - \frac{2 \cdot V_P}{3 \cdot V_O}\right) = 14,65 \text{ A} \quad (3.21)$$

- Tensão de pico no interruptor:

$$V_{S_P} \cong V_O = 400 \text{ V} \quad (3.22)$$

3.4.5. Dimensionamento dos Diodos D₁₁₂

- Corrente eficaz nos diodos D₁₁₂:

$$I_{D112_{EF}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{V_O + 6,1 \cdot V_P}{43 \cdot V_O}} = 34,56 \text{ A} \quad (3.23)$$

- Corrente de pico nos diodos D₁₁₂:

$$I_{D112_P} = I_{L_P} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_P} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 82 \text{ A} \quad (3.24)$$

- Corrente média nos diodos D_{112} :

$$I_{D_{112}_{MED}} = \frac{P_O}{3 \cdot \eta \cdot V_O} = 17,54 \text{ A} \quad (3.25)$$

- Tensão de pico nos diodos D_{112} :

$$V_{D_{112}_p} \cong V_O = 400 \text{ V} \quad (3.26)$$

3.4.6. Dimensionamento dos Diodos D_{134}

- Corrente eficaz nos diodos D_{134} :

$$I_{D_{134}_{EF}} = \frac{P_O}{3 \cdot \eta \cdot V_p} = 39 \text{ A} \quad (3.27)$$

- Corrente de pico nos diodos D_{134} :

$$I_{D_{134}_p} = I_{L_p} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 82 \text{ A} \quad (3.28)$$

- Corrente média nos diodos D_{134} :

$$I_{D_{134}_{MED}} = \frac{2 \cdot P_O}{3 \cdot \pi \cdot \eta \cdot V_p} = 24,87 \text{ A} \quad (3.29)$$

- Tensão de pico nos diodos D_{134} :

$$V_{D_{134}_p} \cong V_O = 400 \text{ V} \quad (3.30)$$

3.4.7. Dimensionamento dos Diodos D_{156}

- Corrente eficaz nos diodos D_{156} :

$$I_{D_{156}_{EF}} = \frac{P_O}{\eta \cdot V_p} \cdot \sqrt{\frac{V_O + 1,63 \cdot V_p}{11,5 \cdot V_O}} = 17,89 \text{ A} \quad (3.31)$$

- Corrente de pico nos diodos D_{156} :

$$I_{D_{156}_p} = I_{L_p} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 82 \text{ A} \quad (3.32)$$

- Corrente média nos diodos D_{156} :

$$I_{D_{156}_{MED}} = \frac{P_O}{\eta \cdot V_p} \cdot \left(\frac{2}{3 \cdot \pi} - \frac{V_p}{3 \cdot V_O}\right) = 7,32 \text{ A} \quad (3.33)$$

- Tensão de pico nos diodos D_{156} :

$$V_{D_{156}_p} \cong V_O = 400 \text{ V} \quad (3.34)$$

3.5. Modelagem e Controle

3.5.1. Modelagem do Retificador

Para a obtenção dos modelos do retificador, o conversor CA-CC unidirecional Y_1 será representado através da mesma estrutura utilizada para o retificador bidirecional, ou seja, a estrutura da Fig. 3-13.

Esta estrutura é composta por três interruptores ideais que através de sinais de comando apropriados possibilitam a obtenção dos estados topológicos relacionados com as diferenças de potencial apresentadas na Tabela 3.1.

Para o retificador trifásico unidirecional Y_1 , os estados topológicos do conversor dependem dos sentidos das correntes de entrada. As relações entre os comandos para obtenção dos estados topológicos equivalentes da estrutura da Fig. 3-1 e da estrutura da Fig. 3-13 são mostradas na Tabela 3.11 para os sub-setores SS1A e SS1C.

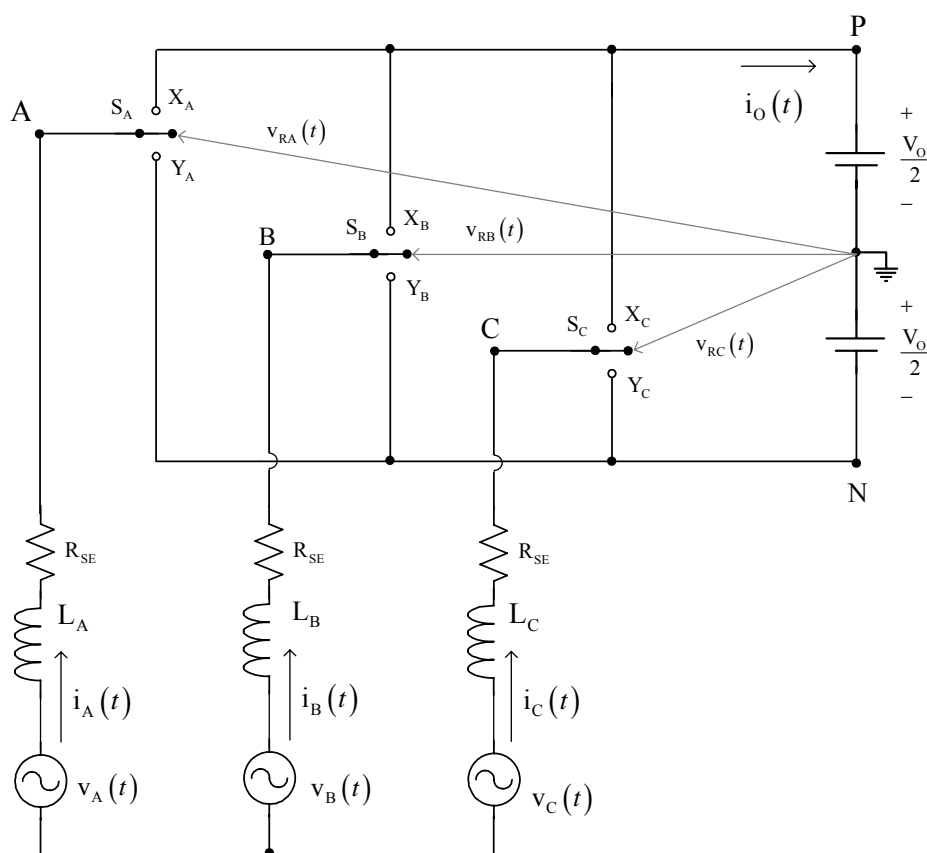


Fig. 3-13 - Circuito simplificado do conversor CA-CC trifásico.

Tabela 3.11 - Relações entre os comandos da estrutura da Fig. 3-13 e da estrutura da Fig. 3-1.

Estrutura da Fig. 3-13		Estrutura da Fig. 3-1		
		S_A	S_B	S_C
Sub-Setor SS1A	$D_A(t) = 1, D_B(t) = 0$ e $D_C(t) = 0$	Aberto ou Fechado	Aberto	Aberto
	$D_A(t) = 1, D_B(t) = 1$ e $D_C(t) = 0$	Fechado	Fechado	Aberto
	$D_A(t) = D_B(t) = D_C(t)$	Fechado	Fechado	Fechado
Sub-Setor SS1C	$D_A(t) = 1, D_B(t) = 0$ e $D_C(t) = 0$	Aberto	Fechado	Fechado
	$D_A(t) = 1, D_B(t) = 1$ e $D_C(t) = 0$	Aberto	Aberto	Aberto ou Fechado
	$D_A(t) = D_B(t) = D_C(t)$	Fechado	Fechado	Fechado

As relações para outros sub-setores podem ser obtidas utilizando-se os resultados da Tabela 3.4.

Utilizando a estratégia de modulação da seção 3.3, que permite a equivalência entre as estruturas, consideram-se os mesmos modelos desenvolvidos no Capítulo 2, utilizando-se as mesmas transformações de variáveis e a mesma forma de desacoplamento.

Para os retificadores unidirecionais devem ser consideradas restrições para a aplicação destes modelos, como por exemplo, a operação com valores de I_d negativo (modo inversor) e faixa de variação de I_q .

3.5.2. Estratégia de Controle e Projeto dos Controladores

Para o projeto dos controladores das malhas de tensão e corrente utilizaram-se controladores clássicos e metodologias de projeto já apresentadas em outros trabalhos [1] e [49].

A estrutura de controle vetorial é a mesma apresentada no Capítulo 2, sendo o sistema de controle representado pelo diagrama da Fig. 3-14.

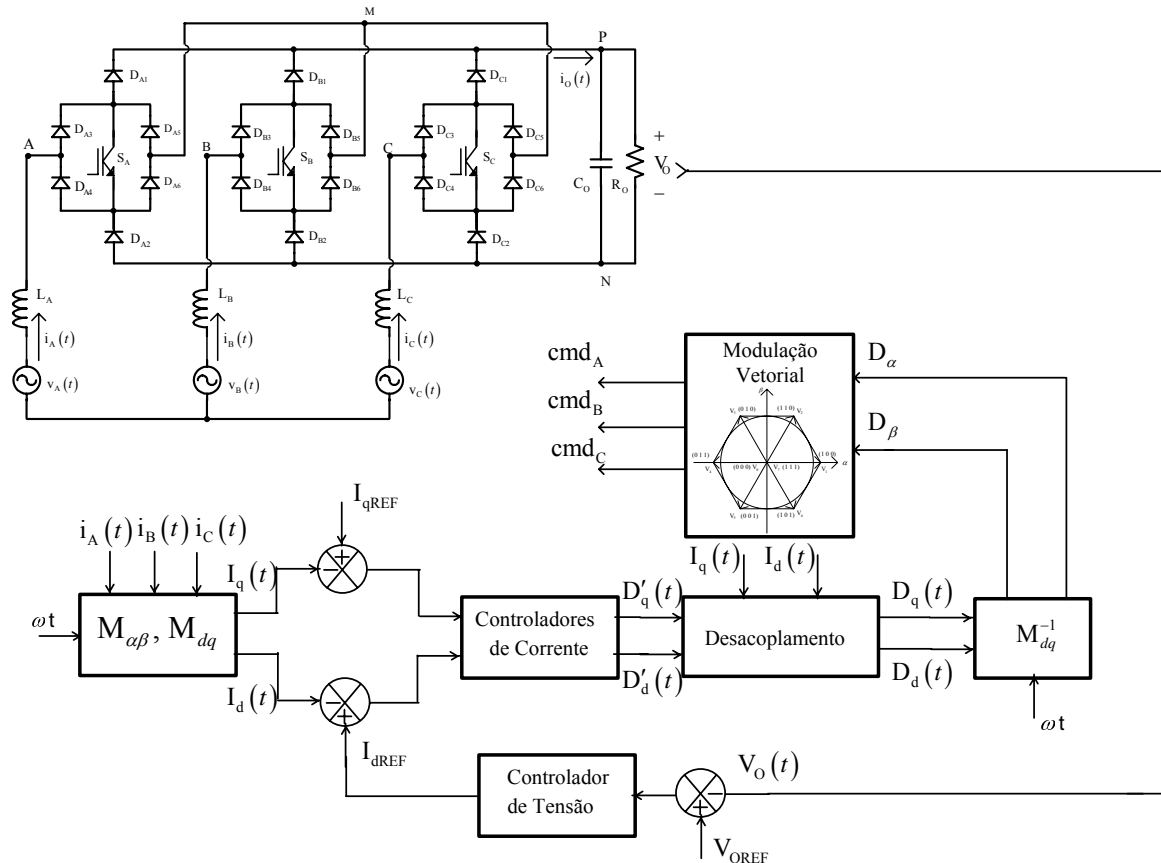


Fig. 3-14 - Diagrama do controle utilizado.

O projeto dos controladores para este conversor será feito utilizando-se os parâmetros apresentados na Tabela 2.10.

A partir destes parâmetros, foram projetados controladores utilizando a modelagem desenvolvida no Capítulo 2.

a) Projeto dos Controladores para as Malhas de Corrente I_d e I_q

No sistema desacoplado, as funções de transferência que relacionam as correntes de eixo direto e de quadratura com as respectivas razões cíclicas são iguais às obtidas para o conversor *Boost PFC* monofásico. Assim, pode-se adotar a mesma metodologia de projeto utilizada em [1] e [55] para a escolha do controlador da malha de corrente deste conversor.

O controlador utilizado para a malha de corrente possui um integrador para garantir erro nulo para a operação em regime permanente e uma rede de avanço para melhorar a resposta transitória [51]. Assim, a função de transferência para os controladores de corrente é dada pela expressão (3.35).

$$C_1(s) = -K_1 \cdot \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \quad (3.35)$$

Seguindo a mesma metodologia de projeto do conversor monofásico, escolhe-se a frequência do zero algumas vezes maior que a frequência da rede. Desta forma, consegue-se uma resposta rápida de compensação e garante-se uma boa reprodução da corrente senoidal retificada. O valor escolhido para o posicionamento do zero do controlador de corrente é em uma frequência igual a dez vezes a frequência da rede.

$$f_{ZI} = 10 \cdot f_F \quad (3.36)$$

Um dos pólos desse controlador deve estar na origem para garantir o seguimento da corrente de referência sem erro. O outro pólo deve ser posicionado em uma frequência acima da frequência do zero, para assim eliminar as interferências de alta frequência.

Entretanto, esse pólo não pode ser demasiadamente alto, pois é desejável que a frequência de cruzamento esteja bem abaixo da frequência de comutação. Dessa forma, optou-se por colocar o pólo em uma frequência três vezes maior que a frequência do zero.

$$f_{PI} = 3 \cdot f_{ZI} \quad (3.37)$$

Para garantir que a frequência de comutação não interfira no circuito de controle, projetou-se o circuito com uma frequência de cruzamento quatro vezes menor que a frequência de comutação.

$$f_{CI} \leq \frac{f_S}{4} \quad (3.38)$$

Seguindo esta metodologia definiram-se as seguintes frequências para o projeto:

$$f_{ZI} = 600 \text{ Hz ;}$$

$$f_{PI} = 1,8 \text{ kHz ;}$$

$$f_{CI} = 2,5 \text{ kHz .}$$

O ganho de amostragem das correntes utilizado foi $K_{Sh} = 0,02$ e o valor de pico da triangular utilizada foi $V_T = 5$. Com isto, o ganho necessário para obter esta frequência de corte é dado pela expressão (3.39)

$$K_1 = \left. \frac{1}{\frac{K_{Sh} \cdot V_O}{V_T \cdot L \cdot s + R_{SE}} \cdot \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})}} \right|_{s=s_c} = 145957 \quad (3.39)$$

A Fig. 3-15 mostra o diagrama de bode do sistema compensado, na qual se verifica uma margem defase de $22,8^\circ$.

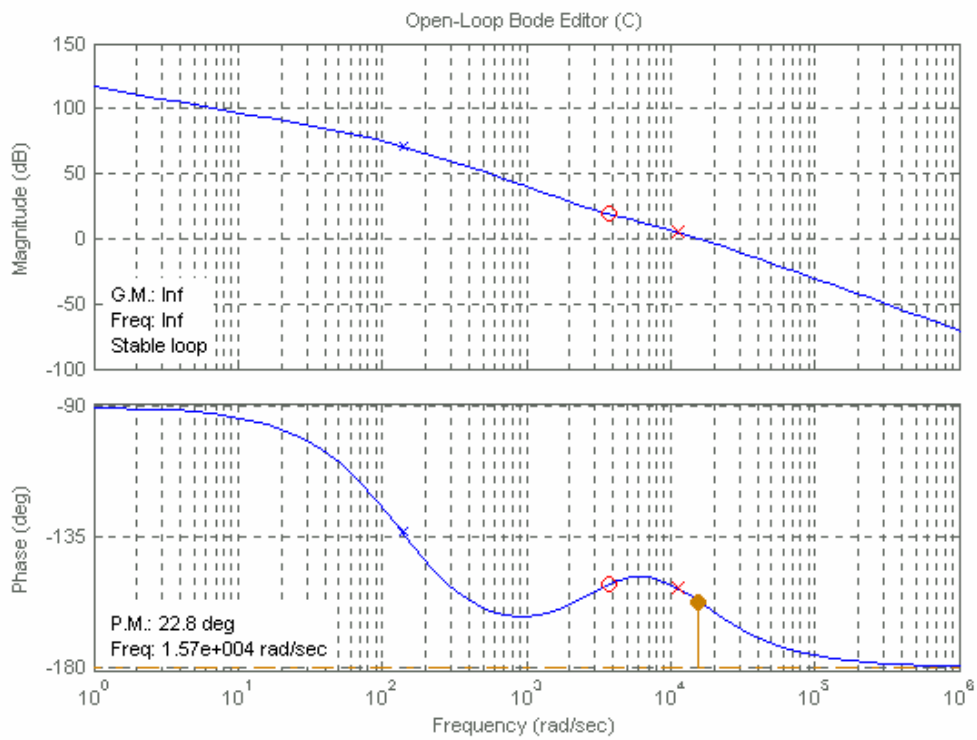


Fig. 3-15 – Diagrama de Bode do sistema compensado.

O lugar das raízes do sistema compensado é mostrado na figura Fig. 3-16, onde se visualiza a posição dos pólos do sistema.

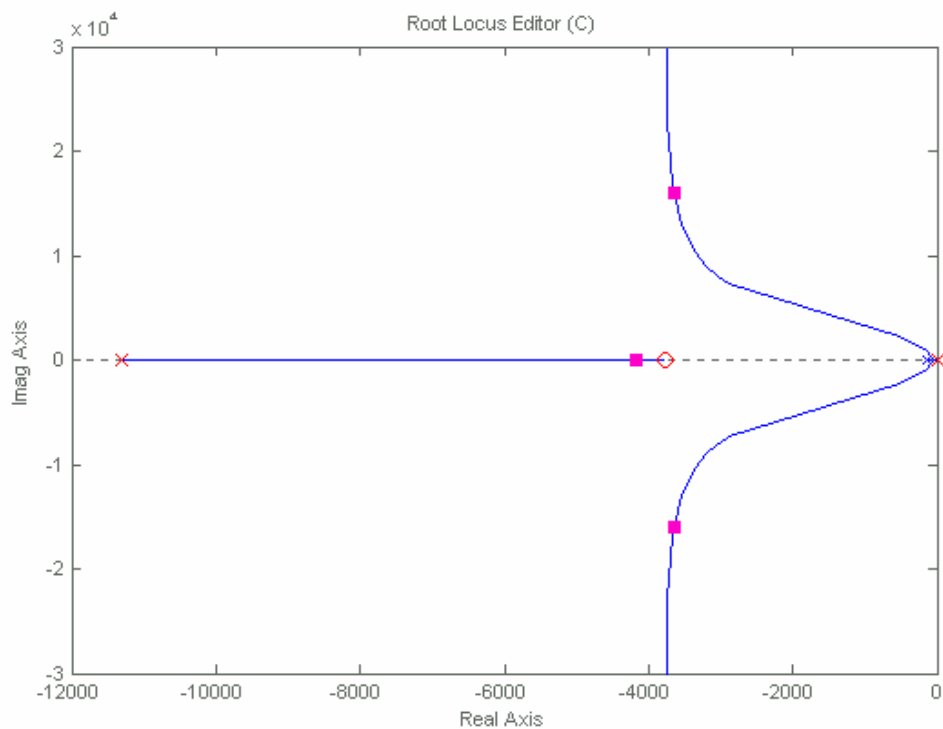


Fig. 3-16 – Lugar das raízes do sistema compensado.

A resposta ao degrau de referência de I_d é mostrada na Fig. 3-17.

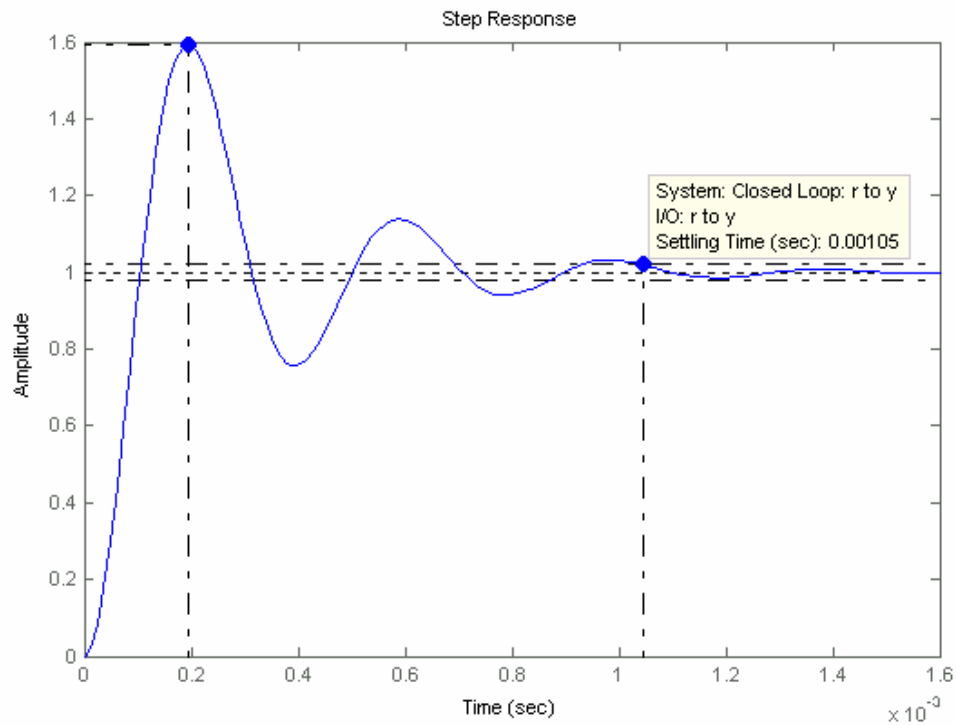


Fig. 3-17 – Resposta ao degrau de referência de I_d .

A implementação analógica dos controladores de corrente é feita através do circuito da Fig. 3-18.

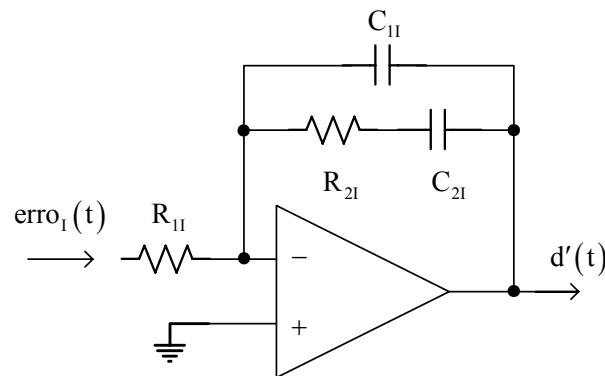


Fig. 3-18 – Controlador de corrente.

A função de transferência equivalente para este circuito é mostrada em (3.40).

$$C_1(s) = -\frac{1}{R_{11} \cdot C_{11}} \cdot \frac{s + \frac{1}{R_{21} \cdot C_{21}}}{s \cdot \left(s + \frac{C_{11} + C_{21}}{R_{21} \cdot C_{11} \cdot C_{21}} \right)} \quad (3.40)$$

Utilizando-se os valores obtidos no projeto dos controladores, chega-se aos parâmetros do controlador analógico:

$$R_{11} = 5,16 \text{ k}\Omega;$$

$$R_{21} = 100 \text{ k}\Omega;$$

$$C_{11} = 2,65 \text{ nF};$$

$$C_{21} = 1,32 \text{ nF}.$$

b) Projeto do Controlador para a Malha de Tensão

Para se projetar o controlador da malha de tensão leva-se em consideração somente o sistema com o controlador da malha de corrente direta. A corrente de quadratura segue uma referência igual a zero, não gerando potência reativa. Dessa forma, pode-se considerar a tensão de saída somente em função de I_d . A Fig. 3-19 representa o diagrama de blocos do controle da malha de tensão.

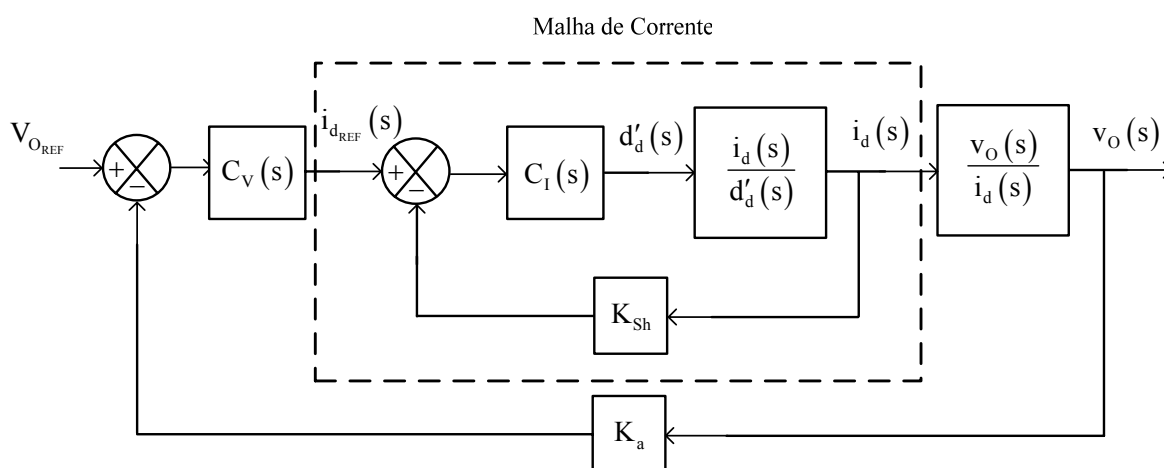


Fig. 3-19 – Diagrama de blocos do sistema de controle da malha de tensão.

A função de transferência em laço fechado da malha de corrente (3.41) é obtida utilizando (3.35).

$$FTMF_1(s) = \frac{K_I \cdot \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_O}{L \cdot s + R_{SE}}}{1 + K_{Sh} \cdot K_I \cdot \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_O}{L \cdot s + R_{SE}}} \quad (3.41)$$

Como a malha de corrente é muito mais rápida que a malha de tensão, pode-se considerar apenas seu ganho estático no projeto do controlador de tensão conforme a expressão (3.42).

$$\lim_{s \rightarrow 0} \left(s \cdot \frac{K_I \cdot \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_O}{L \cdot s + R_s}}{1 + K_{Sh} \cdot K_I \cdot \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_O}{L \cdot s + R_s}} \cdot \frac{1}{s} \right) = \frac{1}{K_{Sh}} \quad (3.42)$$

A equação (3.43) descreve a função de transferência utilizada para o projeto do controlador de tensão.

$$\frac{\tilde{v}_O(s)}{\tilde{i}_{dref}(s)} = \frac{1}{K_{Sh}} \cdot \sqrt{\frac{3}{2}} \cdot \frac{V_p \cdot R_o}{2 \cdot V_o} \frac{1 - \frac{4}{3} \cdot \frac{R_{SE} \cdot P_o}{\eta \cdot V_p^2} - s \cdot \frac{2}{3} \cdot \frac{L \cdot P_o}{\eta \cdot V_p^2}}{1 + s \cdot C_o \cdot \frac{R_o}{2}} \quad (3.43)$$

Utilizou-se um controlador do tipo proporcional-integral para a malha de tensão, com isso têm-se erro em regime permanente nulo para respostas à entradas do tipo degrau.

$$C_v(s) = K_v \cdot \frac{s + \omega_{ZV}}{s} \quad (3.44)$$

Colocando-se o zero do controlador muito próximo do pólo da planta, tem-se:

$$f_{z_v} \approx \frac{1}{2 \cdot \pi \cdot C_o \cdot \frac{R_o}{2}} \quad (3.45)$$

A frequência de corte da malha de corrente deve ser muito maior que a frequência de corte da malha de tensão. Assim:

$$f_{c_v} \leq \frac{f_{c_i}}{50} \quad (3.46)$$

Com base nos dados da seção anterior foram definidas as seguintes frequências:

$$f_{z_v} = 64,12 \text{ Hz};$$

$$f_{c_v} = 50 \text{ Hz}.$$

Estas frequências foram obtidas utilizando um ganho do controlador de tensão $K_v = 0,71$ e um ganho de amostragem da tensão de saída $K_a = 5/400$.

A Fig. 3-20 mostra o diagrama de bode do sistema compensado, no qual se verifica uma margem de fase de $75,4^\circ$.

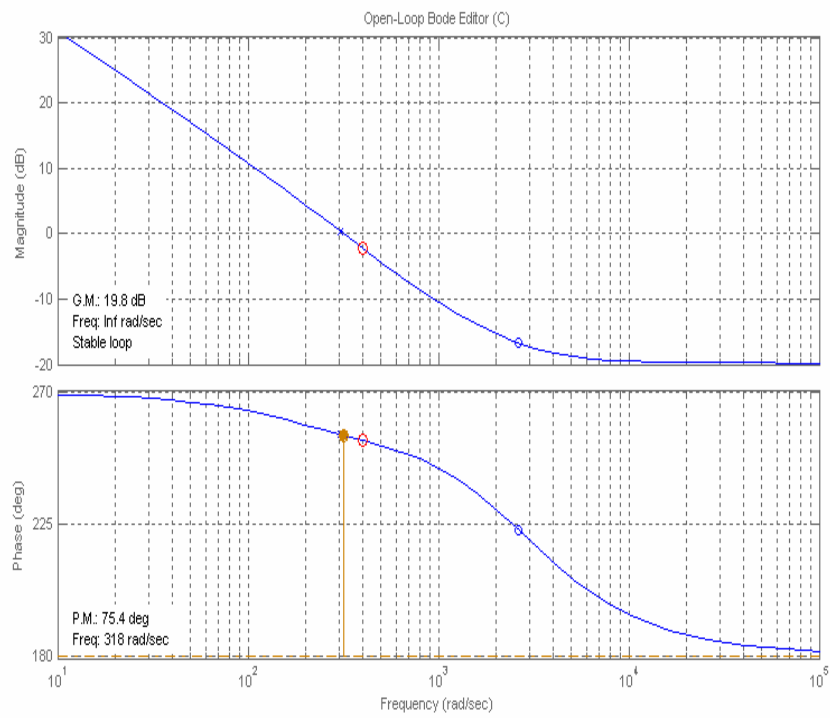


Fig. 3-20 - Diagrama de bode do sistema compensado com a malha de tensão.

O lugar das raízes do sistema compensado é mostrado na figura Fig. 3-21, onde se visualiza a posição dos pólos do sistema.

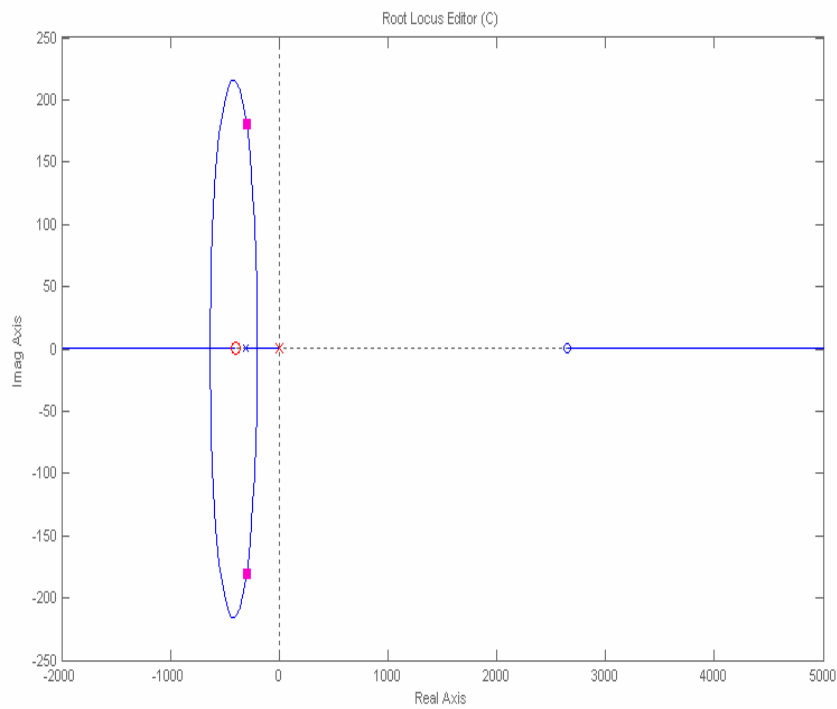


Fig. 3-21 – Lugar das raízes do sistema com controlador de tensão

A resposta ao degrau de referência de tensão de saída é mostrada na Fig. 3-22.

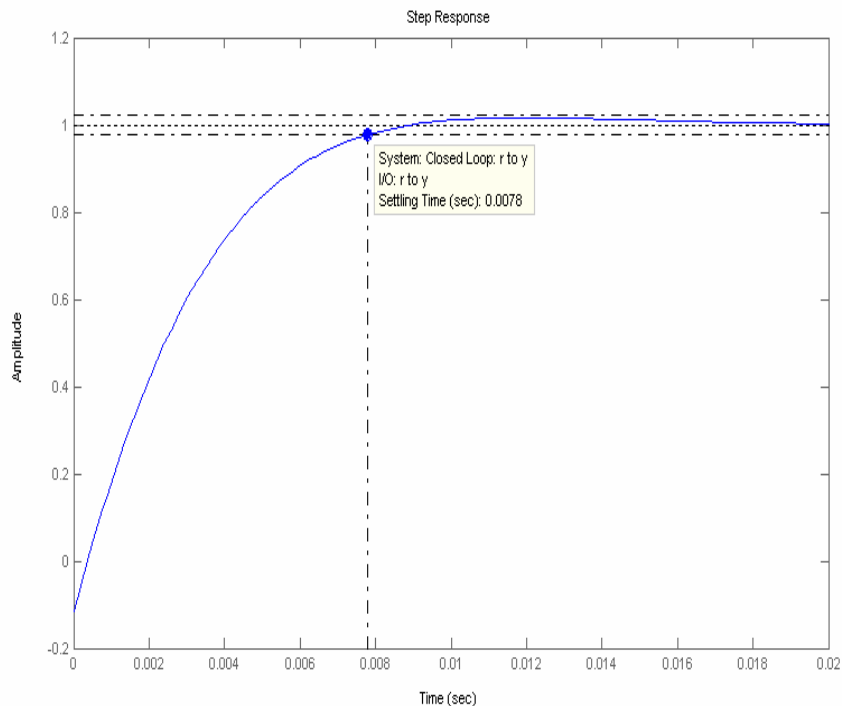


Fig. 3-22 – Resposta ao degrau de referência da tensão de saída.

A implementação analógica do controlador de tensão é feita através do circuito da Fig. 3-23

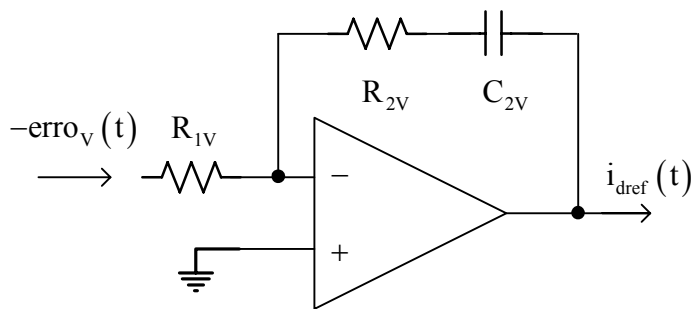


Fig. 3-23 – Controlador de tensão.

A função de transferência equivalente para este circuito é mostrada na expressão (3.47).

$$C_1(s) = \frac{R_{2V}}{R_{1V}} \cdot \frac{s + \frac{1}{R_{2V} \cdot C_{2V}}}{s} \quad (3.47)$$

Utilizando-se os valores obtidos no projeto dos controladores chega-se aos parâmetros do controlador analógico:

$$R_{1V} = 10 \text{ k}\Omega ;$$

$$R_{2V} = 7,1 \text{ k}\Omega ;$$

$$C_{2V} = 349 \text{ nF} .$$

3.6. Resultados de Simulação

A verificação da aplicação da modulação vetorial ao retificador trifásico PWM unidirecional Y_1 foi realizada através de simulação digital. Os parâmetros utilizados nesta simulação são apresentados na Tabela 2.11.

3.6.1. Simulações em Malha Aberta

Foram realizadas simulações em malha aberta com o objetivo de validar a modelagem apresentada na seção 2.3.1.

Foi aplicado um degrau em D_d' de 0,518 a 0,53 e $D_q'=0$ considerando o desacoplamento das variáveis e observado o comportamento da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 3-24.

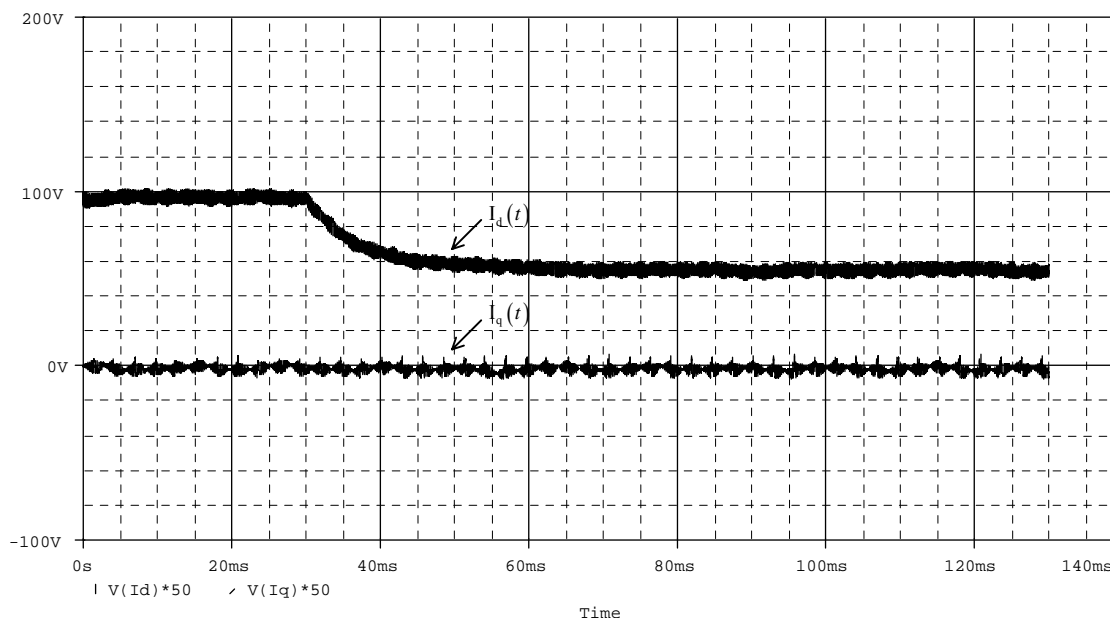
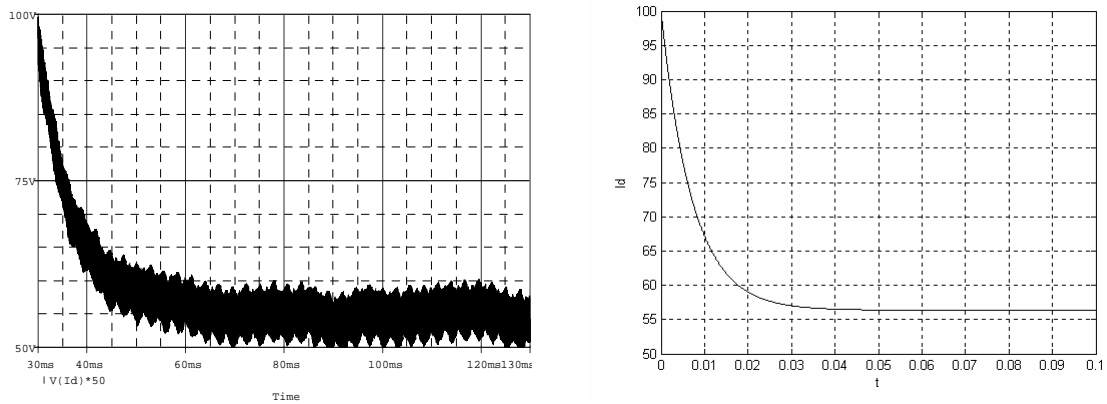


Fig. 3-24 - Corrente de eixo direto e corrente de eixo em quadratura com desacoplamento.

Os resultados da Fig. 3-24 mostram a eficiência do desacoplamento implementado e a mesma dinâmica e ganho apresentados quando da aplicação do degrau para o retificador bidirecional.

No detalhe da Fig. 3-25 observa-se a mesma dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.44).

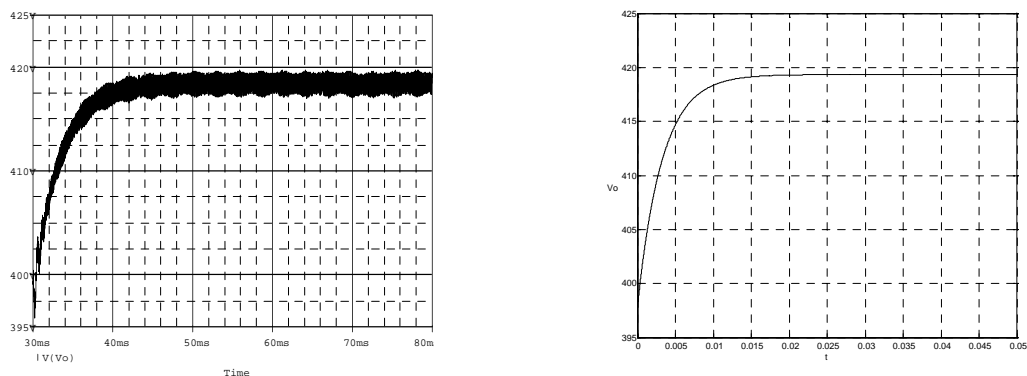


a) Simulação do retificador.

b) Modelo matemático.

Fig. 3-25 - Corrente de eixo direto para aplicação de degrau em Dq' .

Para a análise da malha de tensão foi aplicado um degrau em I_d de 97 A para 106,7 A e observado o comportamento da tensão de saída como mostrado na Fig. 3-26 (a). Observa-se na Fig. 3-26 (b) a mesma resposta dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.60) e para o retificador bidirecional.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 3-26 - Tensão de saída para aplicação de degrau em I_d .

Desta forma justifica-se a utilização dos mesmos modelos para ao retificador bidirecional e o retificador unidirecional Y_1 , tanto para o projeto dos controladores da malha de corrente e para o projeto dos controladores da malha de tensão.

3.6.2. Simulações em Malha Fechada

A Fig. 3-27 mostra a resposta do sistema operando apenas com a malha de corrente e a aplicação de um degrau de referência de 10% na corrente de eixo direto aplicado no instante $t = 10$ ms. Verifica-se a mesma dinâmica apresentada quando se considera a resposta do sistema formado pelas funções de transferência da planta e do controlador.

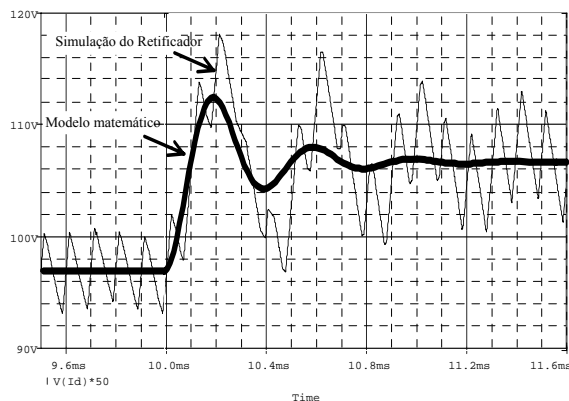


Fig. 3-27 - Resposta ao degrau de referência em I_d .

Os principais sinais relacionados com o funcionamento do sistema de controle completo e modulação vetorial aplicada ao retificador trifásico PWM unidirecional Y_1 são mostrados a seguir. O diagrama esquemático do circuito utilizado para a simulação e o “*netlist*” estão no Anexo B.

Na Fig. 3-28 observa-se tensão de saída regulada em um valor de 400 V com uma pequena ondulação de alta frequência e a aplicação de um degrau de referência para 440 V em $t = 30$ ms. A Fig. 3-29 mostra a comparação desta resposta ao degrau com a resposta do modelo caracterizado pelas expressões (3.43) e (3.44).

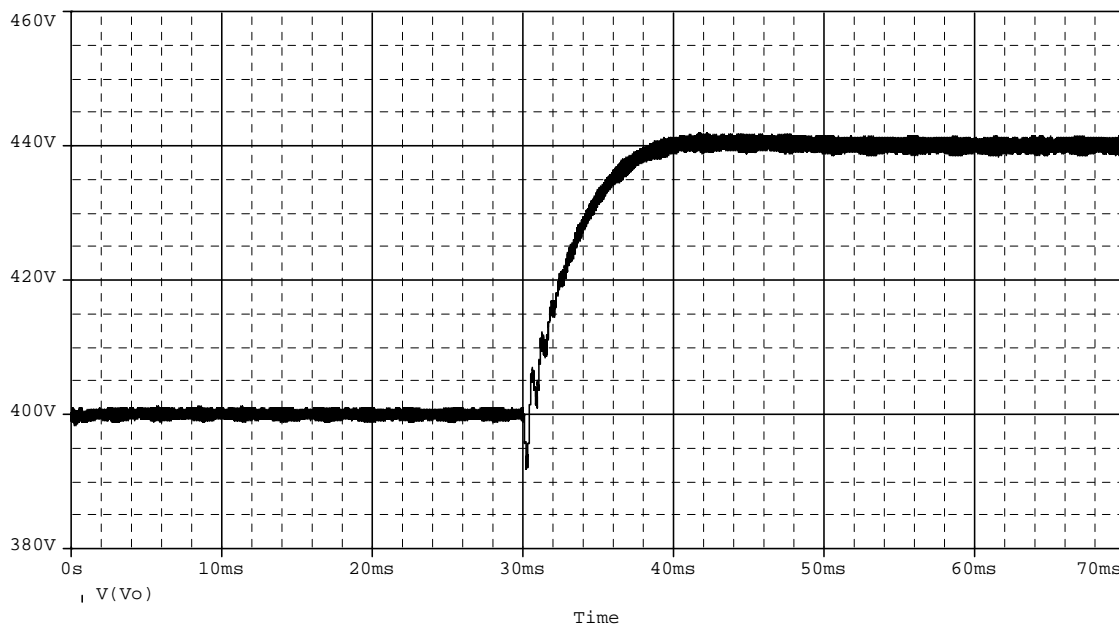
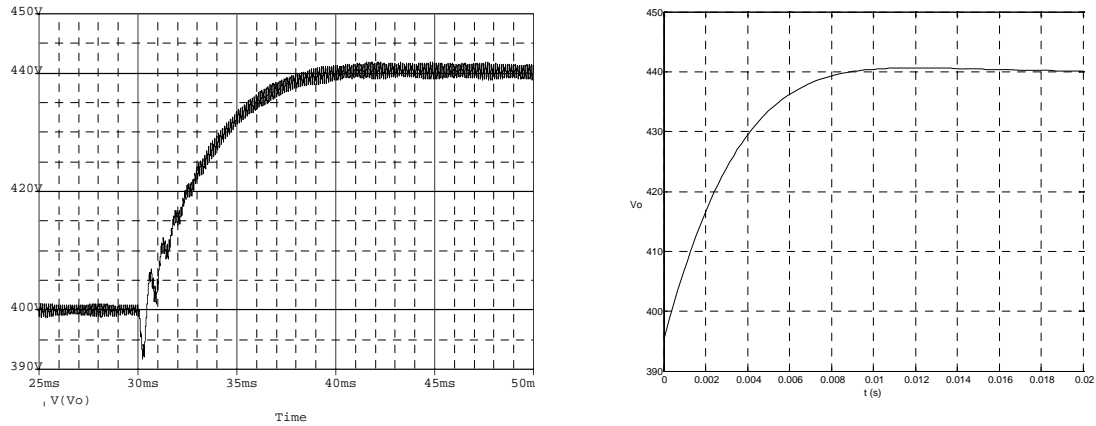


Fig. 3-28 - Tensão de saída.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 3-29 - Resposta ao degrau de referência em V_O .

A Fig. 3-30 mostra as correntes de entrada do retificador trifásico PWM unidirecional Y_1 e a Fig. 3-31 mostra a tensão e a corrente em uma das fases, verificando-se a característica de um sistema com elevado fator de potência.

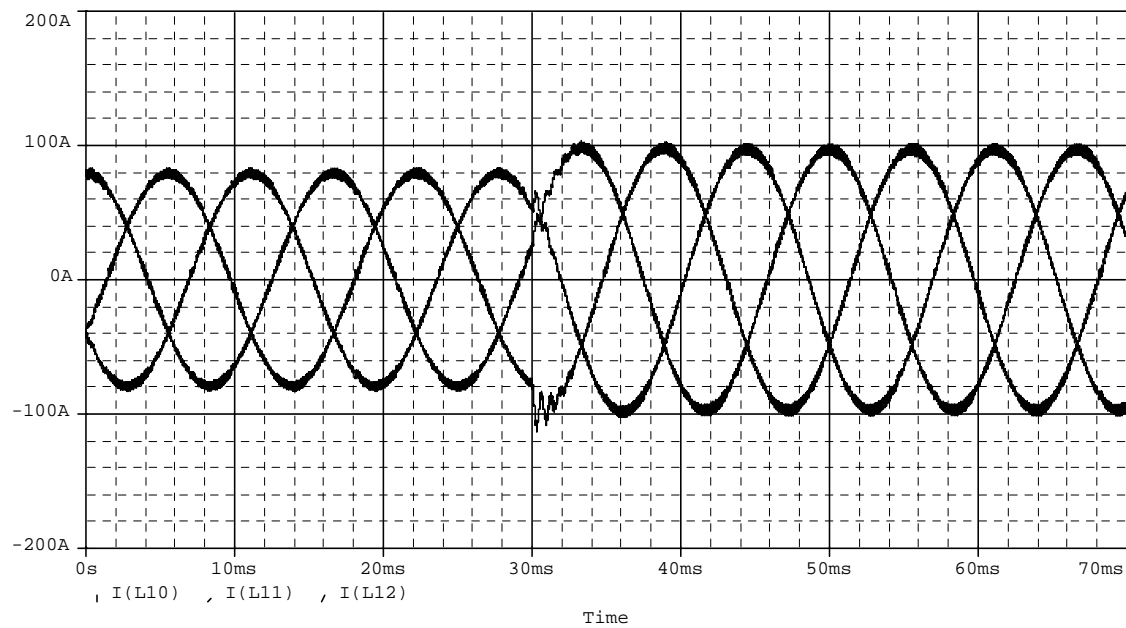


Fig. 3-30 - Correntes nas fases A, B e C.

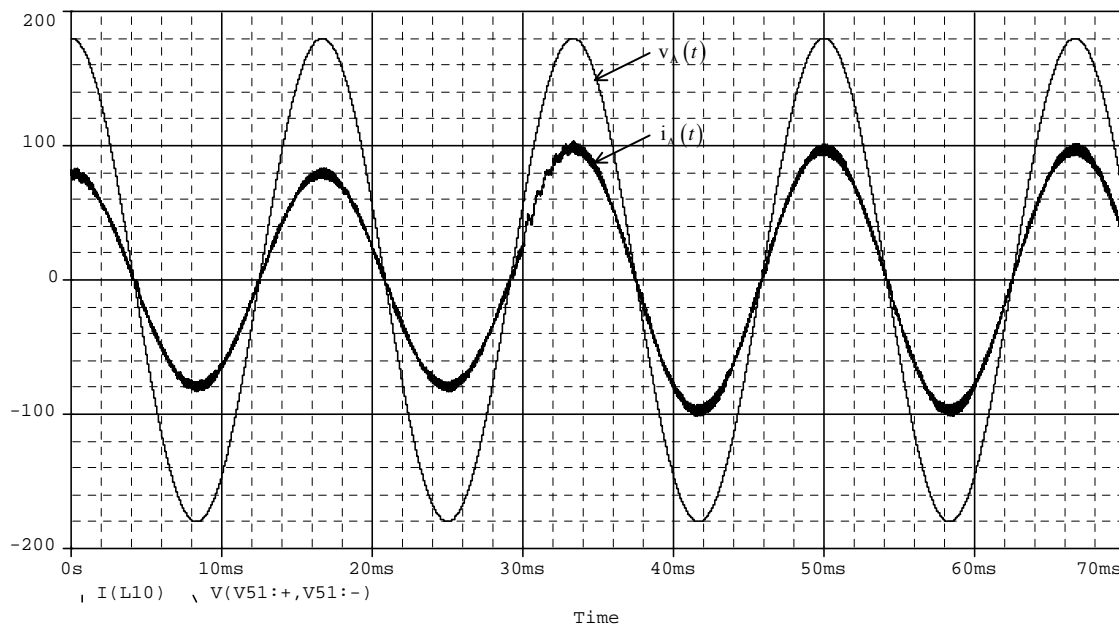


Fig. 3-31 - Tensão e corrente em uma das fases.

Na Fig. 3-32 são verificadas as amostras da corrente de eixo direto e a corrente de eixo em quadratura; a componente de eixo em quadratura tem valor regulado em zero, indicando potência reativa nula.

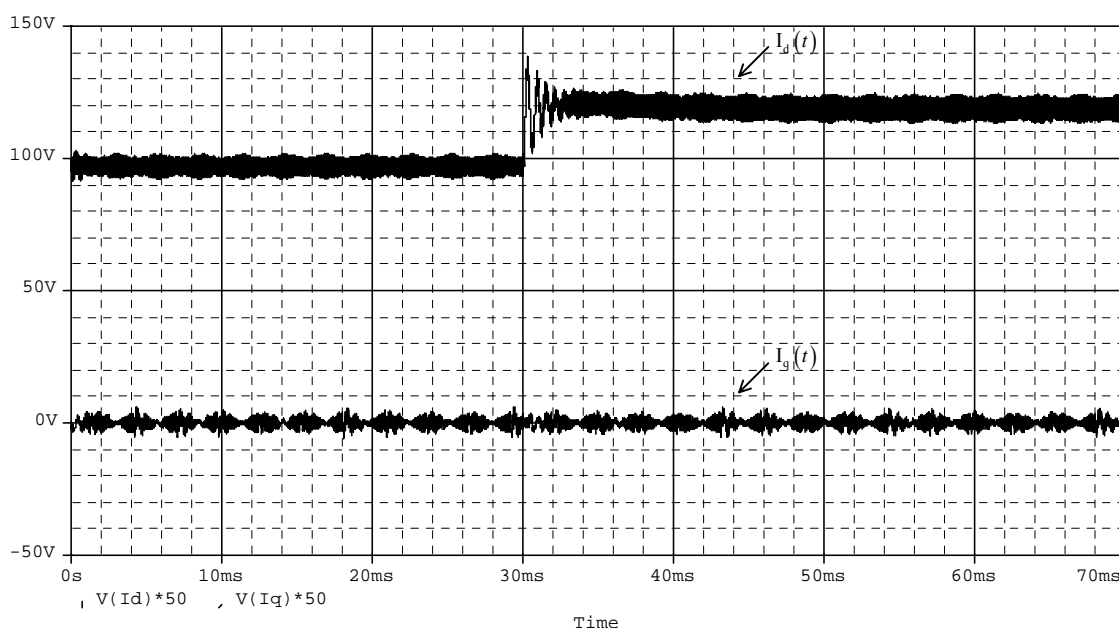


Fig. 3-32 - Corrente de eixo direto e corrente de eixo em quadratura.

Na Fig. 3-33 são mostradas a razão cíclica de eixo direto e a razão cíclica de eixo em quadratura, sinais gerados pelos controladores de corrente.

As razões cíclicas dos eixos α e β são mostradas na Fig. 3-34 e na Fig. 3-35 é mostrado o plano de fase destas variáveis.

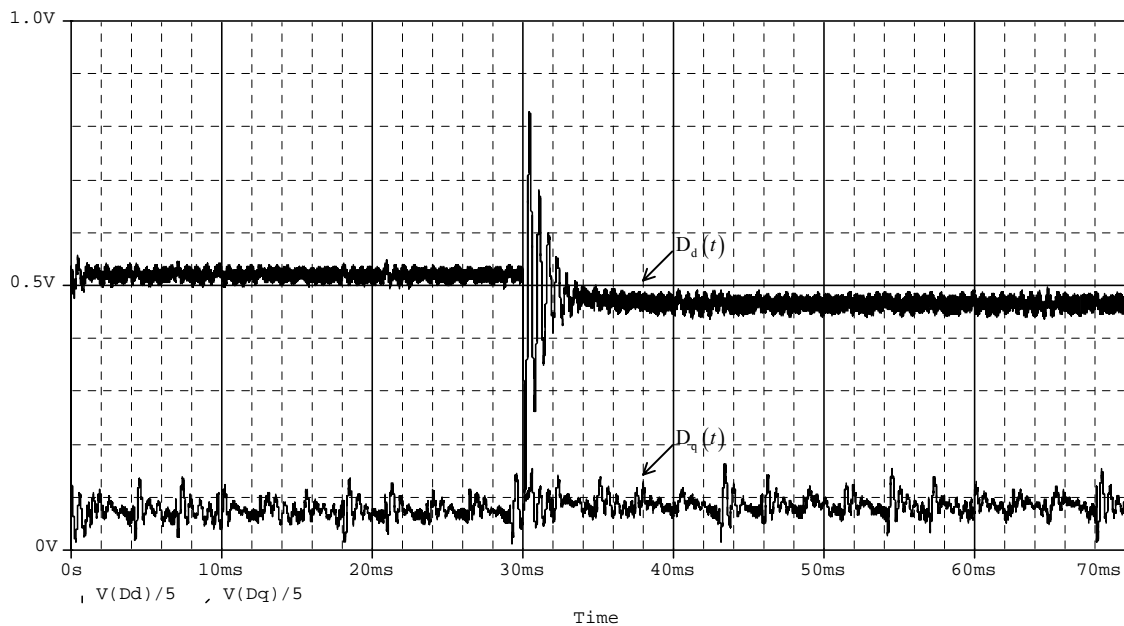


Fig. 3-33 - Razão cíclica de eixo direto e razão cíclica de eixo em quadratura.

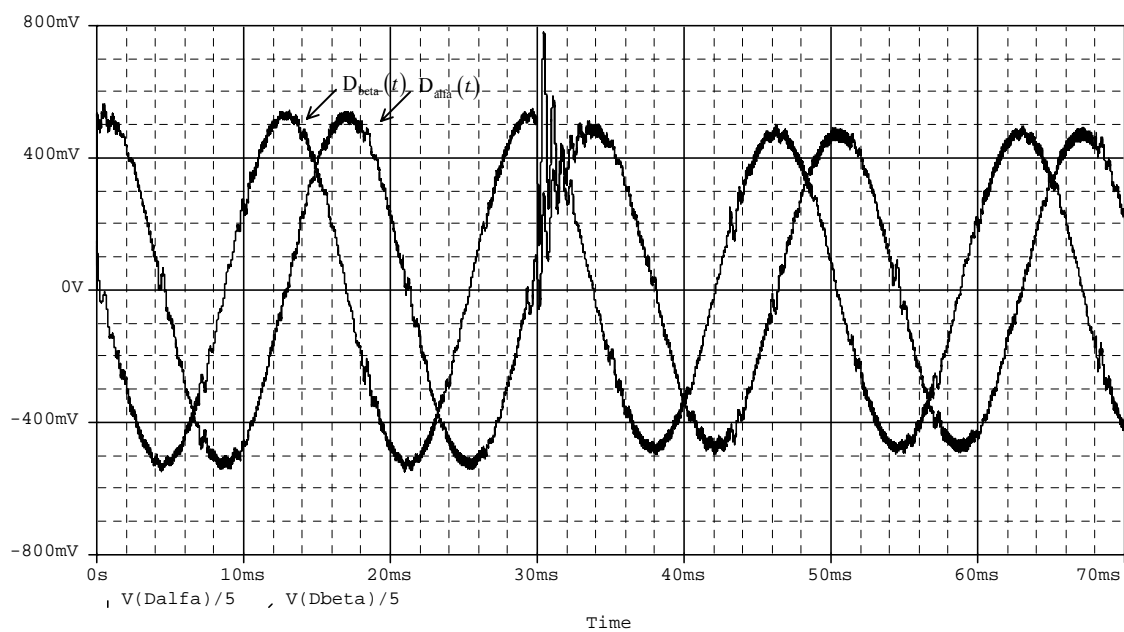


Fig. 3-34 - Razão cíclica do eixo α e razão cíclica do eixo β .

Observa-se que no plano $\alpha\beta$ estas variáveis percorrem uma trajetória circular.

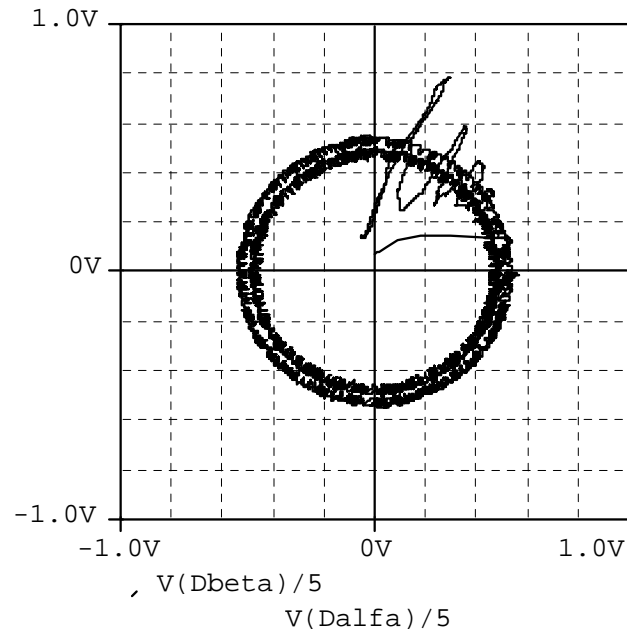


Fig. 3-35 - Plano de fase para a razão cíclica do eixo α e razão cíclica do eixo β .

As razões cíclicas das fases A, B e C são mostradas na Fig. 3-36, verificando-se o mesmo formato do sinal teórico mostrado na Fig. 3-11.

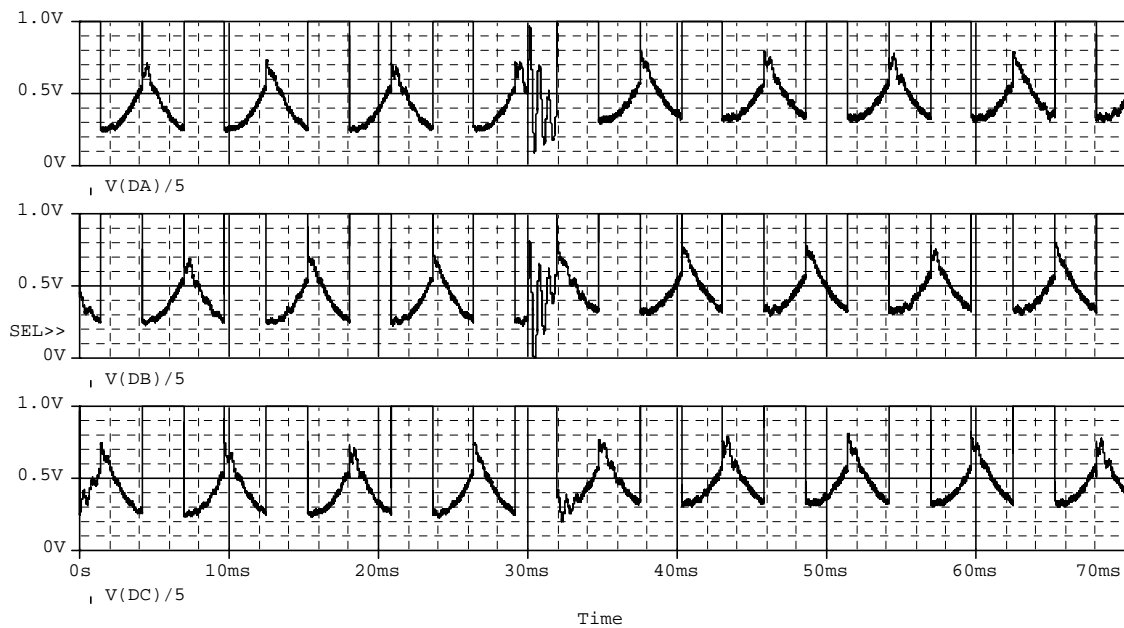
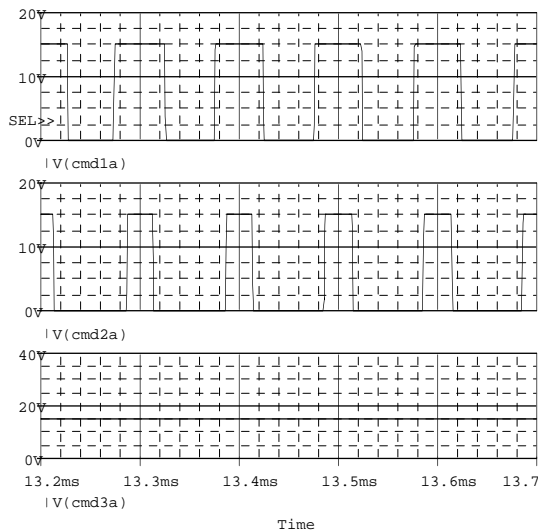
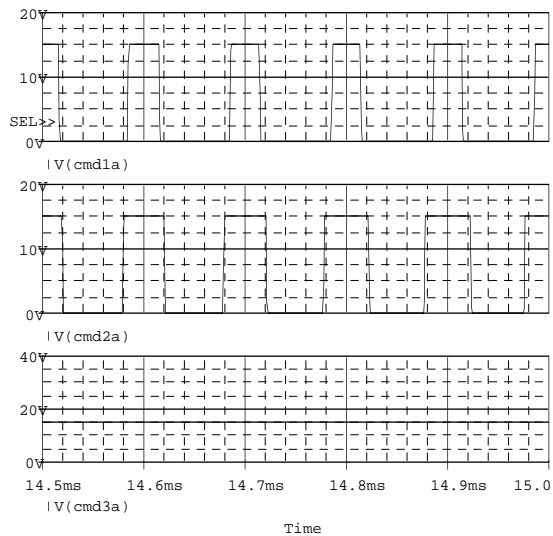


Fig. 3-36 - Razões cíclicas para as fases A, B, e C.

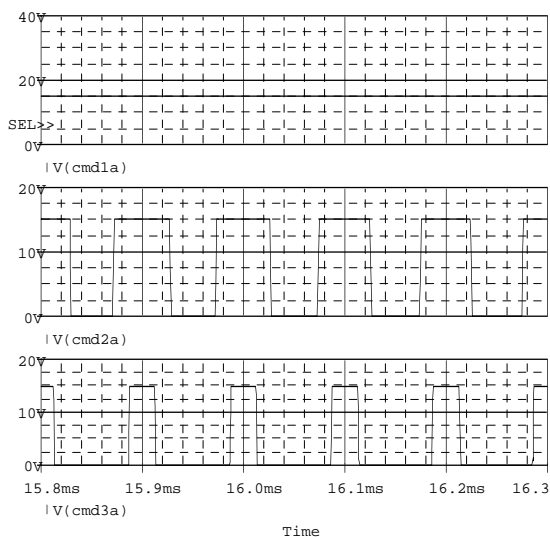
A Fig. 3-37 mostra os sinais de comando dos interruptores superiores de cada braço conectados às fases A, B e C para os setores definidos anteriormente. O formato e a evolução dos sinais de comando são semelhantes aos sinais apresentados na Tabela 3.8.



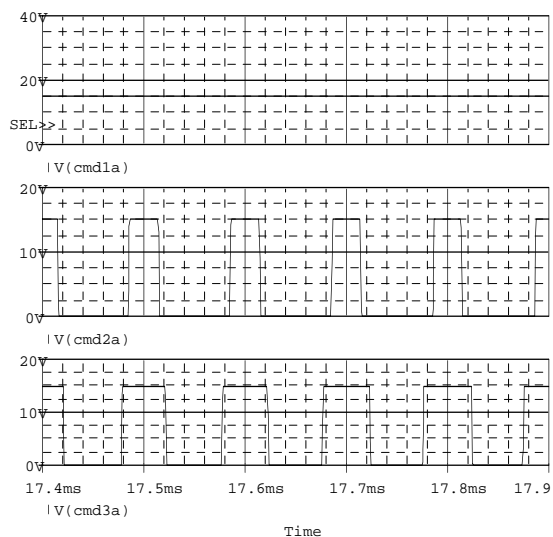
Sub-Sector 2C.



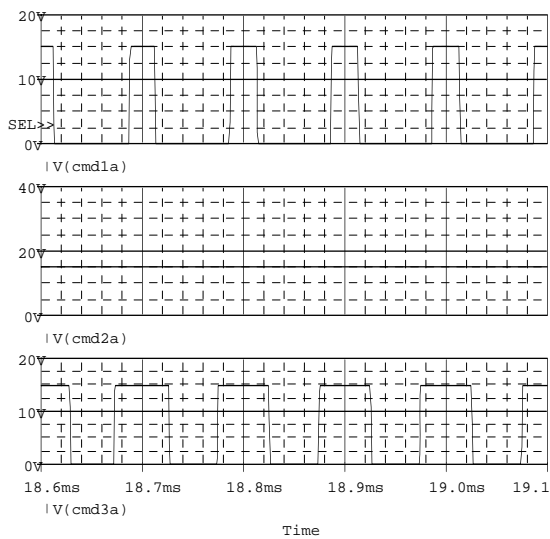
Sub-Sector 1C.



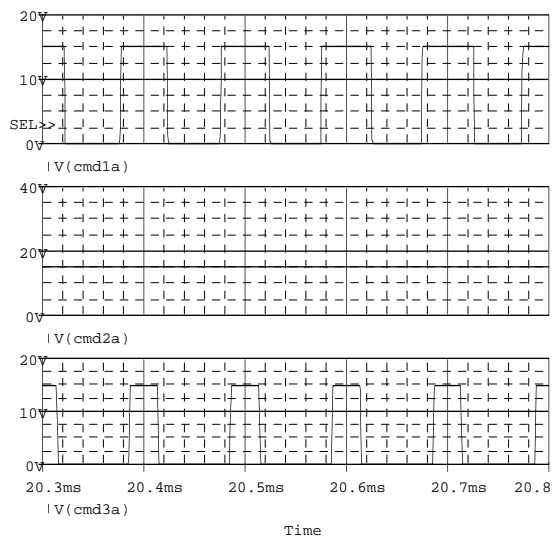
Sub-Sector 1A.



Sub-Sector 6A.



Sub-Sector 6B.



Sub-Sector 5B.

Fig. 3-37 - Sinais de comando dos interruptores em cada um dos sub-setores.

A Tabela 3.12 apresenta uma comparação entre resultados teóricos e de simulação para as grandezas relacionadas com o projeto do estágio de potência.

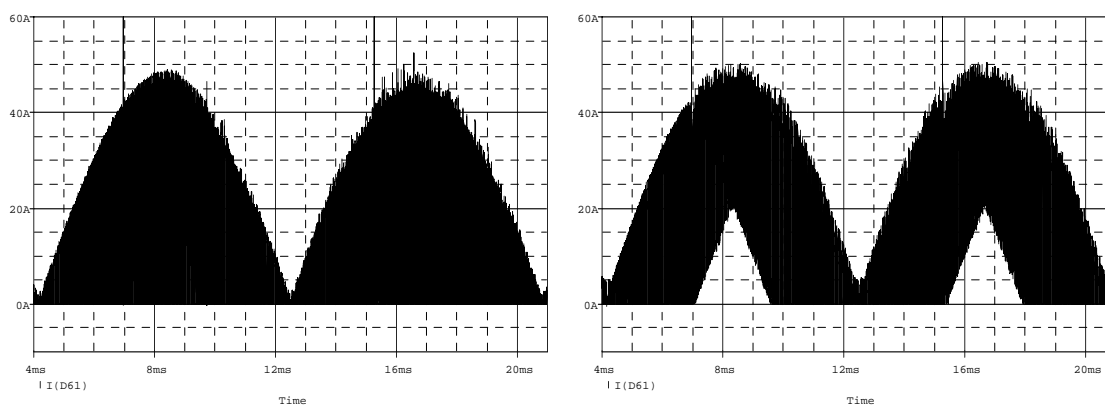
Tabela 3.12 – Comparação entre resultados teóricos e de simulação.

		Valores Teóricos	Valores Obtidos por Simulação
Tensão de saída $\Rightarrow V_O$		400 V	400 V
Potência de saída $\Rightarrow P_O$		20 kW	20 kW
Rendimento do conversor $\Rightarrow \eta$		95%	93,5%
Ondulação na tensão de saída (porcentagem da tensão de saída nominal) $\Rightarrow \Delta V_O\%$		0,5%	0,5%
Corrente eficaz no capacitor $\Rightarrow I_{CO_{EF}}$		31,9 A	33,39 A
Corrente de pico no capacitor $\Rightarrow I_{CO_P}$		50 A	50 A
Ondulação na corrente de fase (porcentagem da corrente de pico) $\Rightarrow \Delta I\%$		10%	9,1%
Corrente média no interruptor $\Rightarrow I_{S_{MED}}$		14,65 A	16,82 A
Corrente eficaz no interruptor $\Rightarrow I_{S_{EF}}$		25,41 A	30,82 A
Corrente de pico no interruptor $\Rightarrow I_{S_P}$		82 A	82 A
Tensão de pico no interruptor $\Rightarrow V_{S_P}$		400 V	400 V
Corrente de pico no indutor $\Rightarrow I_{L_P}$		82 A	82 A
Corrente eficaz no indutor $\Rightarrow I_{L_{EF}}$		55,25 A	56 A
Corrente média no indutor $\Rightarrow I_{L_{MED}}$		0	0
Tensão de pico no indutor $\Rightarrow V_{L_P}$		223,3 V	237 V
Diodos D_{I12}	Corrente de pico $\Rightarrow I_{DI12_P}$	82 A	85 A
	Corrente média $\Rightarrow I_{DI12_{MED}}$	17,54 A	17,28 A
	Corrente eficaz $\Rightarrow I_{DI12_{EF}}$	34,56 A	33 A
	Tensão de pico $\Rightarrow V_{DI12_P}$	400 V	400 V
Diodos D_{I34}	Corrente de pico $\Rightarrow I_{DI34_P}$	82 A	85 A
	Corrente média $\Rightarrow I_{DI34_{MED}}$	24,87 A	25,27 A
	Corrente eficaz $\Rightarrow I_{DI34_{EF}}$	39 A	39,81 A
	Tensão de pico $\Rightarrow V_{DI34_P}$	400 V	400 V
Diodos D_{I56}	Corrente de pico $\Rightarrow I_{DI56_P}$	82 A	82 A
	Corrente média $\Rightarrow I_{DI56_{MED}}$	7,32 A	8,46 A
	Corrente eficaz $\Rightarrow I_{DI56_{EF}}$	17,89 A	21,87 A
	Tensão de pico $\Rightarrow V_{DI56_P}$	400 V	400 V

Os valores apresentados na Tabela 3.12 confirmam a validade da metodologia de projeto para o estágio de potência.

A Fig. 3-38 apresenta uma comparação entre a corrente no interruptor S_A para um retificador com a aplicação da primeira seqüência de vetores proposta e da seqüência de vetores apresentada na Tabela 3.9.

Observa-se que a corrente no interruptor não se anula no intervalo em que a corrente da respectiva fase possui maior amplitude, quando é utilizada a segunda seqüência de vetores proposta.



a) Primeira seqüência de vetores.

b) Seqüência de vetores da Tabela 3.9.

Fig. 3-38 – Corrente no interruptor S_A .

3.7. Conclusão

Foi aplicada a técnica de modulação vetorial ao retificador trifásico PWM unidirecional Y_1 . Para isto, foi realizada uma análise da estrutura para verificar os possíveis vetores e os sinais de comando necessários para a implementação dos mesmos.

Foi proposta uma seqüência de vetores que minimiza o número de comutações dos interruptores e calculados os intervalos de aplicação destes vetores.

Os resultados da aplicação das técnicas de controle e modulação vetorial foram verificados por simulação, em que se observou a validade do emprego destas técnicas e da utilização da modelagem desenvolvida no Capítulo 2, para ambos os retificadores.

Como principal diferença entre a aplicação da modulação vetorial para o retificador unidirecional e para o retificador bidirecional, destaca-se o fato que para a análise dos vetores disponíveis é necessário considerar o sentido das correntes de entrada e assim definir os sinais de comando dos interruptores. Com a metodologia proposta, não é necessário a identificação dos setores dos vetores, apenas impõe-se os setores de corrente, a partir das tensões de entrada para obter-se tensões e correntes em fase.

Capítulo 4 - Modulação Vetorial Aplicada ao Retificador Trifásico PWM Unidirecional de Dois Níveis Δ_1

4.1. Introdução

Neste capítulo a modulação vetorial é aplicada ao retificador trifásico PWM unidirecional de dois níveis Δ_1 [31-32][56].

Além da modulação, será realizada a análise deste retificador apresentando suas etapas de operação, estratégia de controle e dimensionamento do estágio de potência. Esta análise é necessária, pois nas referências que tratam deste conversor, [31] e [32], não são apresentados detalhes sobre o funcionamento, controle e modulação do mesmo.

Os conceitos sobre modelagem e controle de retificadores estudados nos capítulos anteriores serão adaptados a esta estrutura.

Os resultados da aplicação das estratégias de modulação e controle serão verificados através de simulações computacionais.

A Fig. 4-1 mostra a topologia do retificador trifásico PWM unidirecional de dois níveis Δ_1 com elevado fator de potência.

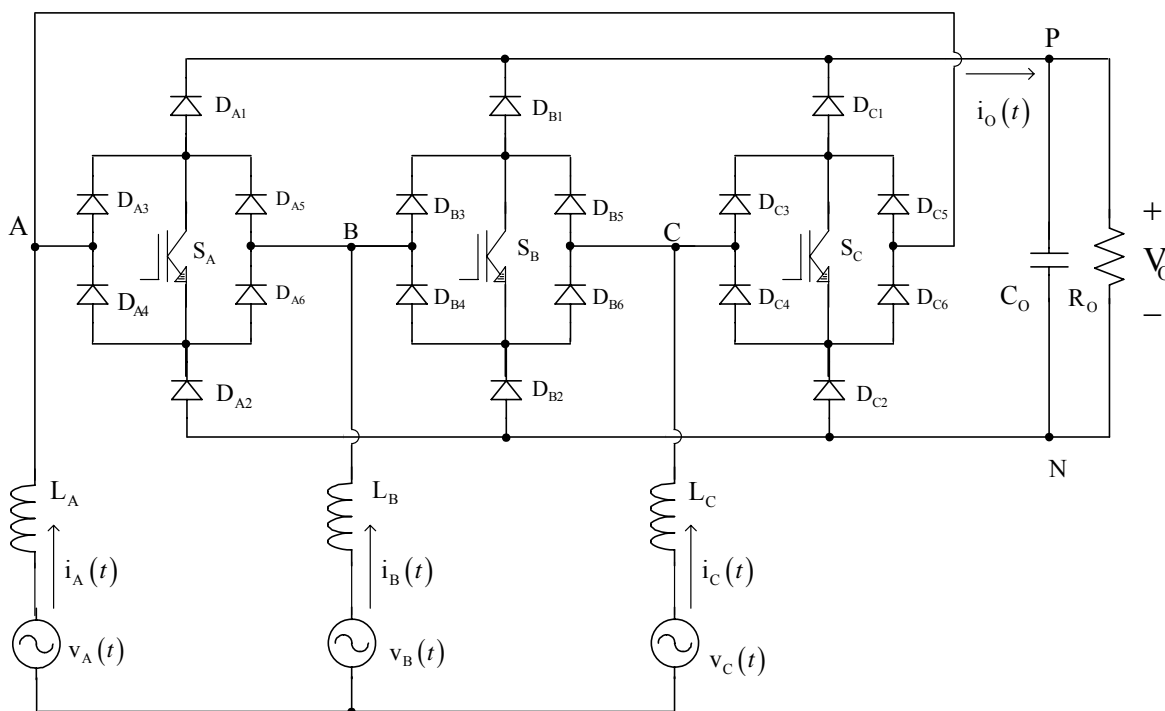


Fig. 4-1 – Retificador trifásico PWM unidirecional de dois níveis Δ_1 .

Neste caso, são definidos os mesmos seis setores simétricos A+, B-, C+, A-, B+ e C- em um período de rede, com um intervalo de duração de 60°, os quais estão caracterizados na Fig. 3.2.

Também é utilizada a simetria entre setores que permite estender a análise realizada em um setor específico para outros setores, considerando-se os sentidos das correntes em cada uma das fases.

4.2. Etapas de Operação

Este conversor apresenta três interruptores comandados com dois estados possíveis (aberto ou fechado), sendo que para um determinado setor são possíveis oito etapas de operação.

Quando os três interruptores estão bloqueados, o potencial dos pontos A, B e C depende do sentido das correntes nas respectivas fases. Para que haja circulação direta de corrente de uma fase para outra, sem circular corrente pela carga, apenas um dos três interruptores precisa ser comandado a conduzir, enquanto que no retificador Y_1 era necessário que dois interruptores estivessem conduzindo.

As etapas de operação para o Setor A+ são mostradas na figura Fig. 4-2, em que se observa a existência de quatro estados equivalentes (Etapas 1, 2, 3 e 6). Também é observada a equivalência entre as etapas 7 e 8.

Pela simetria que este conversor apresenta, é definida a equivalência entre os componentes do sistema para a análise do conversor:

- $L \Rightarrow L_A, L_B \text{ e } L_C;$
- $S \Rightarrow S_A, S_B \text{ e } S_C;$
- $D_{112} \Rightarrow D_{A1}, D_{A2}, D_{B1}, D_{B2}, D_{C1} \text{ e } D_{C2};$
- $D_{13456} \Rightarrow D_{A3}, D_{A4}, D_{B3}, D_{B4}, D_{C3}, D_{C4}, D_{A5}, D_{A6}, D_{B5}, D_{B6}, D_{C5} \text{ e } D_{C6}.$

Será utilizado um representante de cada grupo para o dimensionamento do estágio de potência que será detalhado no Anexo D e a análise das formas de onda da estrutura.

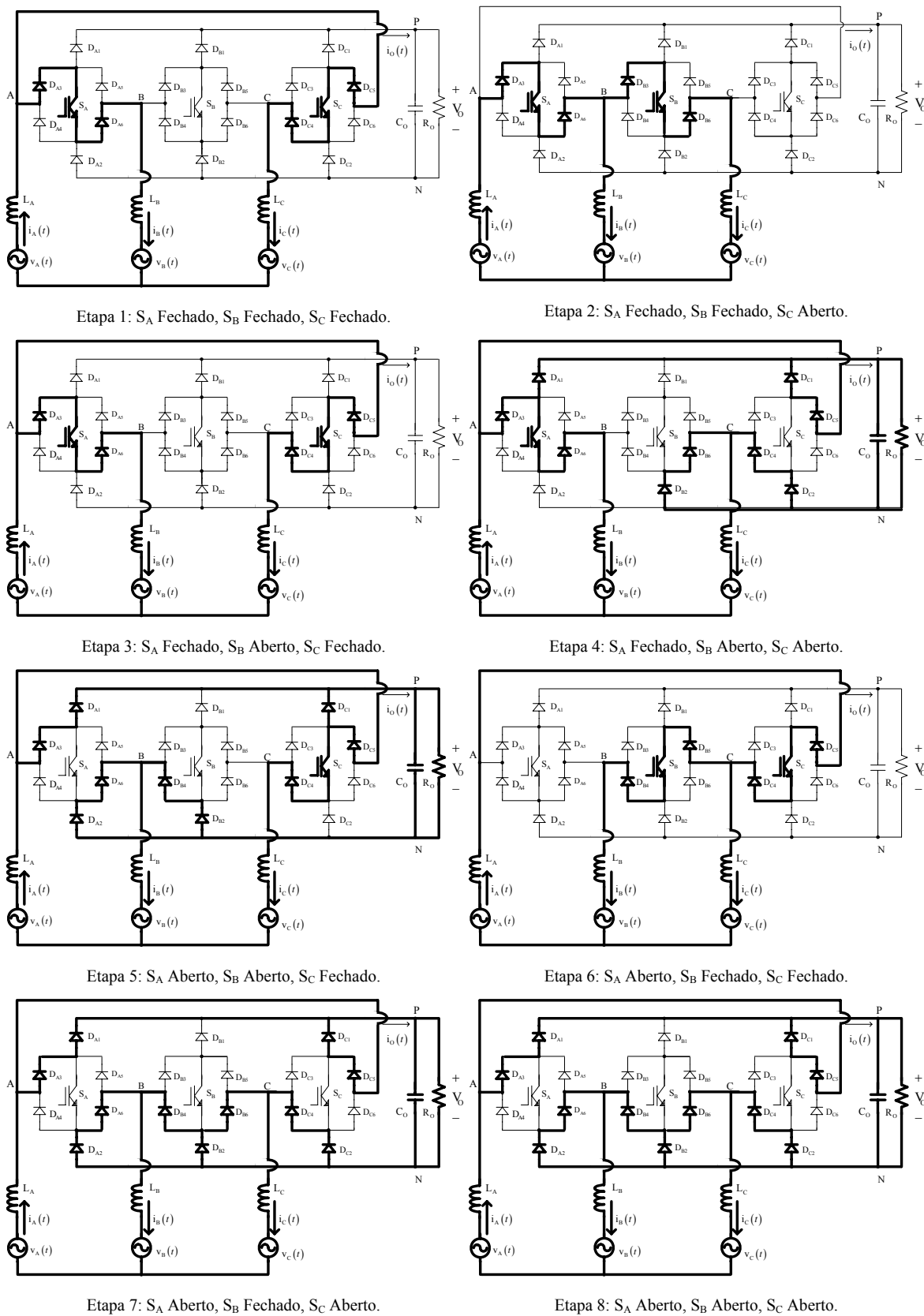


Fig. 4-2 – Etapas de operação.

4.3. Modulação Vetorial

4.3.1. Vetores Disponíveis

Da análise da estrutura da Fig. 4-1 verifica-se a possibilidade de utilização de sete vetores possíveis para representar os estados topológicos do conversor, como mostrado na Tabela 4.1.

Para este retificador, a definição dos vetores é feita de forma diferenciada dos retificadores estudados anteriormente, pois para obtenção do vetor nulo é necessário que dois dos três interruptores estejam conduzindo para que as tensões de linha sejam iguais a zero.

Tabela 4.1 - Vetores possíveis.

Vetor	Ponto A	Ponto B	Ponto C	V_{AB}	V_{BC}	V_{CA}
\vec{V}_0 (0 0 0)	A = B = C			0	0	0
\vec{V}_1 (1 0 0)	P	N	N	$+V_O$	0	$-V_O$
\vec{V}_2 (1 1 0)	P	P	N	0	$+V_O$	$-V_O$
\vec{V}_3 (0 1 0)	N	P	N	$-V_O$	$+V_O$	0
\vec{V}_4 (0 1 1)	N	P	P	$-V_O$	0	$+V_O$
\vec{V}_5 (0 0 1)	N	N	P	0	$-V_O$	$+V_O$
\vec{V}_6 (1 0 1)	P	N	P	$+V_O$	$-V_O$	0

Na implementação dos vetores disponíveis deve-se considerar os sentidos das correntes que circulam pelas fases A, B e C. Supondo que as correntes estejam em fase com as respectivas tensões, utiliza-se o mesmo diagrama usado na análise do retificador unidirecional Y₁ conforme a Fig. 4-3.

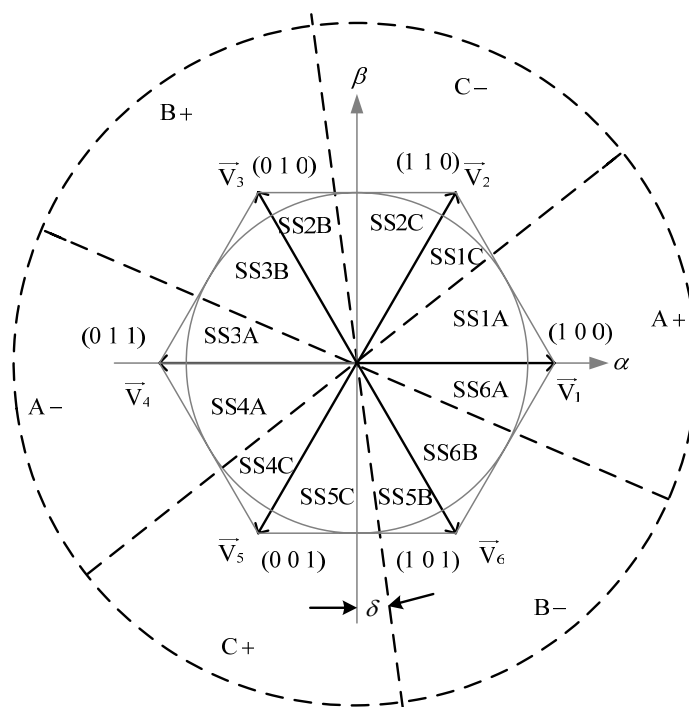


Fig. 4-3 - Representação espacial dos vetores disponíveis e definição dos sub-setores.

Analisando o sub-setor SS1A, observa-se que nesta região a corrente de maior intensidade é a da fase A, que é positiva, assim as correntes das fases B e C são negativas e os vetores a serem sintetizados são os vetores \vec{V}_0 , \vec{V}_1 e \vec{V}_2 (vetores vizinhos ao setor 1).

Para estes sentidos de corrente o vetor \vec{V}_1 pode ser realizado nas etapas 7 e 8 mostradas na Fig. 4-2. O vetor \vec{V}_2 é realizado na etapa 4 mostrada na Fig. 4-2.

O vetor nulo é obtido com a condução de dois dos três interruptores (etapas 1, 2, 3 e 6 da Fig. 4-2). Neste caso, não existe a situação em que os pontos A, B e C estão conectados ao ponto P ou ao ponto N, então a definição dos vetores nulos também é feita de forma diferenciada em relação ao retificador bidirecional, sendo utilizado apenas um vetor nulo, para o caso em que os pontos A, B e C estão conectados.

Na determinação dos sinais de comando adotou-se uma lógica que considera fechado o interruptor conectado ao braço ligado à corrente de maior intensidade para a implementação do vetor nulo, sendo que um dos outros dois interruptores fica aberto durante todo o intervalo de duração do setor.

Assim, os sinais de comando utilizados para implementação destes vetores são mostrados na Tabela 4.2

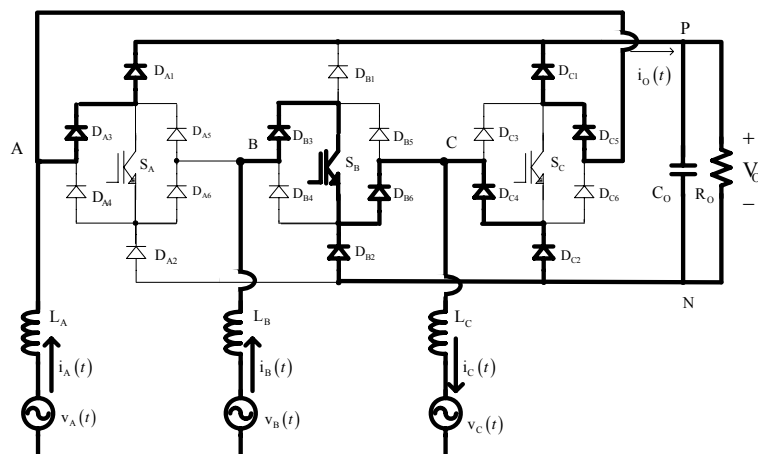
Tabela 4.2 – Sinais de comando para o sub-setor SS1A.

Vetor	S_A	S_B	S_C
\vec{V}_1 (1 0 0)	Aberto	Aberto	Aberto
\vec{V}_2 (1 1 0)	Fechado	Aberto	Aberto
\vec{V}_0 (0 0 0) *	Fechado	Aberto	Fechado

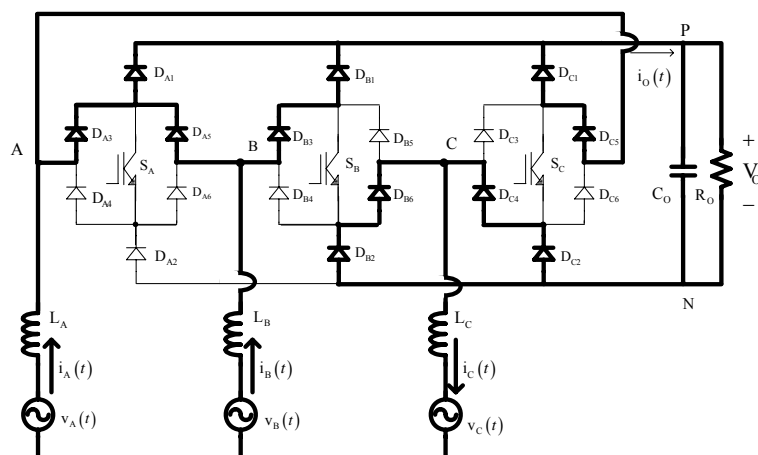
* Poderia ser utilizada outra combinação de sinais de comando em que dois interruptores estivessem fechados.

Para o sub-setor SS1C, a corrente de maior módulo é a da fase C, que é negativa, sendo as correntes da fase B e da fase C positivas. Os vetores a serem sintetizados são os mesmos do caso anterior, ou seja, os vetores \vec{V}_0 , \vec{V}_1 e \vec{V}_2 .

Para estes sinais de corrente o vetor \vec{V}_1 é realizado na etapa mostrada na Fig. 4-4.

Fig. 4-4 - Realização do vetor \vec{V}_1 para o sub-setor SS1C.

De forma semelhante, o vetor \vec{V}_2 é realizado na etapa mostrada na Fig. 4-5.

Fig. 4-5 - Realização do vetor \vec{V}_2 para o sub-setor SS1C.

O vetor nulo também é obtido com a condução de dois dos três interruptores. Assim, os sinais de comando utilizados para implementação destes vetores são mostrados na Tabela 4.3.

Tabela 4.3 – Sinais de comando para o sub-setor SS1C.

Vetor	S _A	S _B	S _C
\vec{V}_1 (1 0 0)	Aberto	Fechado	Aberto
\vec{V}_2 (1 1 0)	Aberto	Aberto	Aberto
\vec{V}_0 (0 0 0) *	Aberto	Fechado	Fechado

* Poderia ser utilizada outra combinação de sinais de comando em que dois interruptores estivessem fechados.

Estendendo este resultado para os outros sub-setores têm-se os resultados apresentados na Tabela 4.4.

Tabela 4.4 – Sinais de comando para outros sub-setores.

Sub-Setor	Vetor	S _A	S _B	S _C
SS2C	\vec{V}_3 (0 1 0)	Aberto	Aberto	Fechado
	\vec{V}_2 (1 1 0)	Aberto	Aberto	Aberto
	\vec{V}_0 (0 0 0) *	Aberto	Fechado	Fechado
SS2B	\vec{V}_3 (0 1 0)	Aberto	Aberto	Aberto
	\vec{V}_2 (1 1 0)	Fechado	Aberto	Aberto
	\vec{V}_0 (0 0 0) *	Fechado	Fechado	Aberto
SS3B	\vec{V}_4 (0 1 1)	Aberto	Fechado	Aberto
	\vec{V}_3 (0 1 0)	Aberto	Aberto	Aberto
	\vec{V}_0 (0 0 0) *	Fechado	Fechado	Aberto
SS3A	\vec{V}_4 (0 1 1)	Aberto	Aberto	Aberto
	\vec{V}_3 (0 1 0)	Aberto	Aberto	Fechado
	\vec{V}_0 (0 0 0) *	Fechado	Aberto	Fechado
SS4A	\vec{V}_5 (0 0 1)	Fechado	Aberto	Aberto
	\vec{V}_4 (0 1 1)	Aberto	Aberto	Aberto
	\vec{V}_0 (0 0 0) *	Fechado	Aberto	Fechado

Tabela 4.4 - Sinais de comando para outros sub-setores (Continuação).

Sub-Setor	Vetor	S _A	S _B	S _C
SS4C	$\overline{V}_5 (0 0 1)$	Aberto	Aberto	Aberto
	$\overline{V}_4 (0 1 1)$	Aberto	Fechado	Aberto
	$\overline{V}_0 (0 0 0) *$	Aberto	Fechado	Fechado
SS5C	$\overline{V}_6 (1 0 1)$	Aberto	Aberto	Fechado
	$\overline{V}_5 (0 0 1)$	Aberto	Aberto	Aberto
	$\overline{V}_0 (0 0 0) *$	Aberto	Fechado	Fechado
SS5B	$\overline{V}_6 (1 0 1)$	Aberto	Aberto	Aberto
	$\overline{V}_5 (0 0 1)$	Fechado	Aberto	Aberto
	$\overline{V}_0 (0 0 0) *$	Fechado	Fechado	Aberto
SS6B	$\overline{V}_1 (1 0 0)$	Aberto	Fechado	Aberto
	$\overline{V}_6 (1 0 1)$	Aberto	Aberto	Aberto
	$\overline{V}_0 (0 0 0) *$	Fechado	Fechado	Aberto
SS6A	$\overline{V}_1 (1 0 0)$	Aberto	Aberto	Aberto
	$\overline{V}_6 (1 0 1)$	Aberto	Aberto	Fechado
	$\overline{V}_0 (0 0 0) *$	Fechado	Aberto	Fechado

* Poderiam ser utilizadas outras combinações de sinais de comando em que dois interruptores estivessem fechados.

4.3.2. Seqüência de Vetores e Sinais de Comando para os Sub-Setores

A partir dos resultados da Tabela 4.4 foram determinadas as seqüências dos vetores a serem utilizados e as respectivas razões cíclicas de cada uma das fases para cada um dos sub-setores.

As seqüências de vetores foram escolhidas de forma que, nos três interruptores, o nível do sinal de comando no início do período de comutação fosse o mesmo do final deste período, objetivando minimizar o número de comutações nos interruptores.

Para o Sub-Setor SS1A a seqüência de vetores proposta é $\overline{V}_1 \overline{V}_2 \overline{V}_0 \overline{V}_2 \overline{V}_1$, resultando nos sinais de comando mostrados na Fig. 4-6.

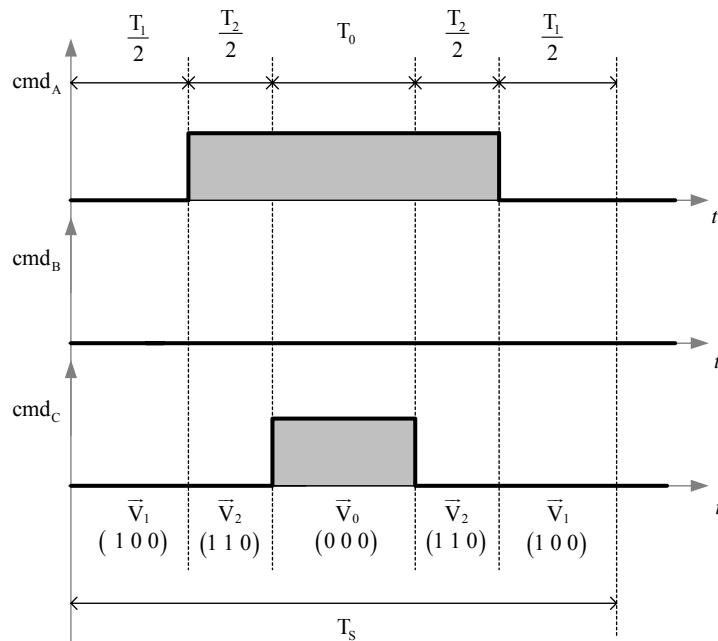


Fig. 4-6 - Sinais de comando para o sub-setor SS1A.

Com isso, os intervalos para os comandos dos interruptores são dados pela expressão (4.1).

$$\begin{cases} T_A = T_0 + T_2 \\ T_B = 0 \\ T_C = T_0 \end{cases} \quad (4.1)$$

Utilizando as projeções dos vetores (capítulo 2) para o respectivo setor, determina-se o valor das razões cíclicas das três fases em função das razões D_α e D_β (4.2).

$$\begin{cases} D_A = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \\ D_B = 0 \\ D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \end{cases} \quad (4.2)$$

Considerando o Sub-Sector SS1C, a seqüência de vetores proposta para este sub-setor é $\overline{V_2} \overline{V_1} \overline{V_0} \overline{V_1} \overline{V_2}$, resultando nos sinais de comando mostrados na Fig. 4-7.

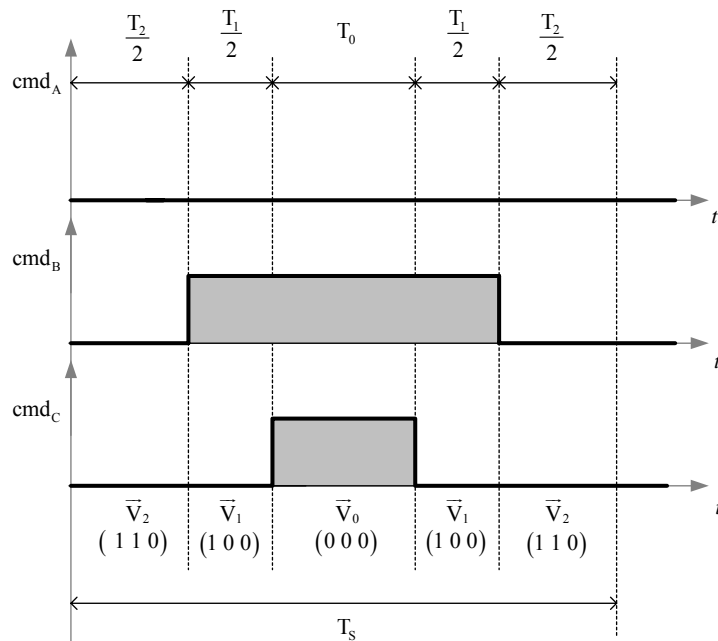


Fig. 4-7 - Sinais de comando para o sub-setor SS1C.

Assim, os intervalos para os comandos dos interruptores para este sub-setor são dados pela expressão (4.3).

$$\begin{cases} T_A = 0 \\ T_B = T_0 + T_1 \\ T_C = T_0 \end{cases} \quad (4.3)$$

As razões cíclicas das três fases em função das razões D_α e D_β são dadas por (4.4).

$$\begin{cases} D_A = 0 \\ D_B = 1 - \sqrt{2} \cdot D_\beta \\ D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \end{cases} \quad (4.4)$$

Para os outros sub-setores têm-se as seqüências de vetores mostradas na Tabela 4.5.

Tabela 4.5 – Seqüência de vetores para outros Sub-Sectores.

Sub-Sector SS2C	$\vec{V}_2 \vec{V}_3 \vec{V}_0 \vec{V}_3 \vec{V}_2$
Sub-Sector SS2B	$\vec{V}_3 \vec{V}_2 \vec{V}_0 \vec{V}_2 \vec{V}_3$
Sub-Sector SS3B	$\vec{V}_3 \vec{V}_4 \vec{V}_0 \vec{V}_4 \vec{V}_3$
Sub-Sector SS3A	$\vec{V}_4 \vec{V}_3 \vec{V}_0 \vec{V}_3 \vec{V}_4$
Sub-Sector SS4A	$\vec{V}_4 \vec{V}_5 \vec{V}_0 \vec{V}_5 \vec{V}_4$
Sub-Sector SS4C	$\vec{V}_5 \vec{V}_4 \vec{V}_0 \vec{V}_4 \vec{V}_5$

Tabela 4.5 - Sequência de vetores para outros sub-setores (Continuação).

Sub-Setor SS5C	$\overline{V_5 V_6 V_0 V_6 V_5}$
Sub-Setor SS5B	$\overline{V_6 V_5 V_0 V_5 V_6}$
Sub-Setor SS6B	$\overline{V_6 V_1 V_0 V_1 V_6}$
Sub-Setor SS6A	$\overline{V_1 V_6 V_0 V_6 V_1}$

Para os outros sub-setores têm-se as expressões para as razões cíclicas das três fases em função das razões D_α e D_β mostradas na Tabela 4.6.

Tabela 4.6 – Razões cíclicas das três fases em função das razões D_α e D_β para os sub-setores.

Sub-Setor SS6A e Sub-Setor SS1A	$D_A = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 0$ $D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS1C e Sub-Setor SS2C	$D_A = 0$ $D_B = 1 - \sqrt{2} \cdot D_\beta$ $D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS2B e Sub-Setor SS3B	$D_A = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 1 - \sqrt{2} \cdot D_\beta$ $D_C = 0$
Sub-Setor SS3A e Sub-Setor SS4A	$D_A = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 0$ $D_C = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS4C e Sub-Setor SS5C	$D_A = 0$ $D_B = 1 + \sqrt{2} \cdot D_\beta$ $D_C = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS5B e Sub-Setor SS6B	$D_A = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_B = 1 + \sqrt{2} \cdot D_\beta$ $D_C = 0$

Neste caso, também se observa que as expressões que caracterizam as razões cíclicas dentro de um determinado setor de corrente são as mesmas para ambos os setores dos vetores, assim, não há a necessidade de se identificar os setores dos vetores.

A Fig. 4-8 mostra a razão cíclica para a fase A em um período de rede, sendo que para as outras fases, as razões cíclicas têm o mesmo formato e estão defasadas de $\pm 120^\circ$. Neste caso, considerou-se $D_d = 0,359$ e $D_q = 0,076$.

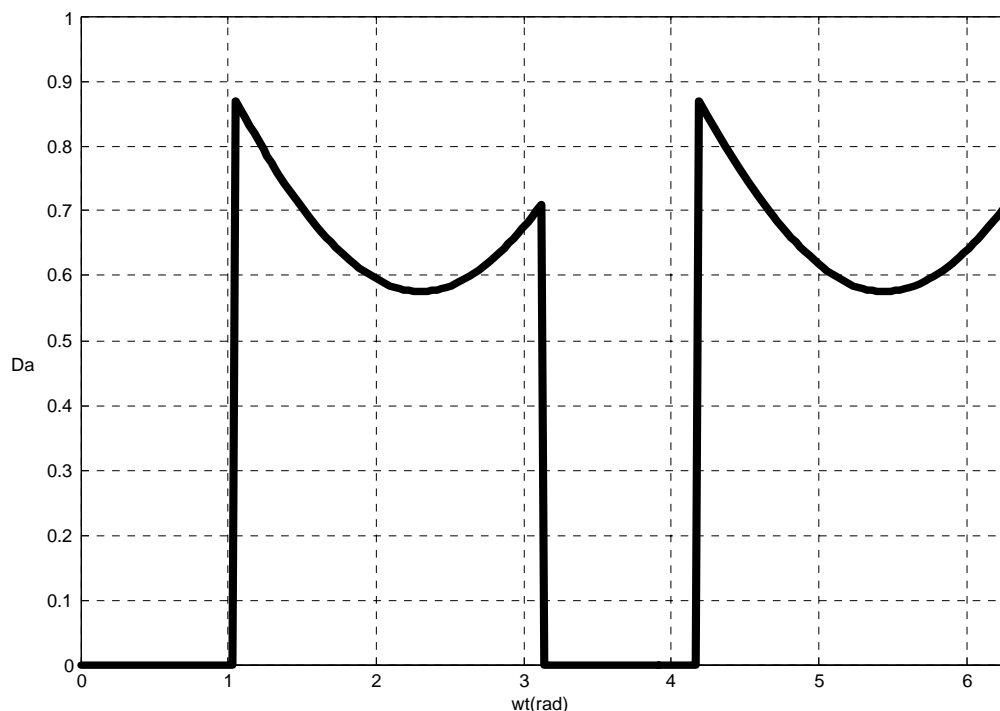


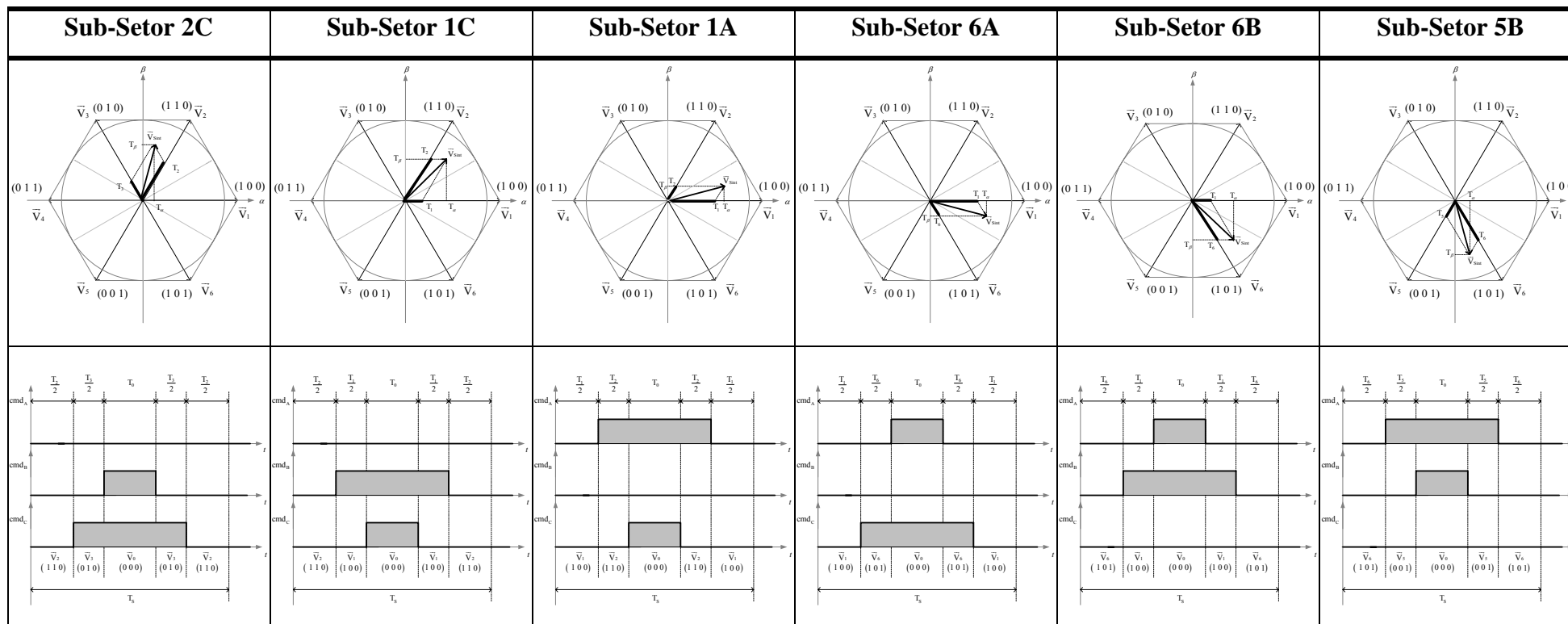
Fig. 4-8 - Razão cíclica para a fase A.

A Tabela 4.7 mostra a evolução dos sinais de comando em um período de chaveamento para cada um dos sub-setores em um semi-período da rede, quando se utiliza a modulação vetorial com o equacionamento desenvolvido nesta seção. São mostrados os sinais de comando para a seqüência de sub-setores 2C, 1C, 1A, 6A, 6B e 5B, sendo que os mesmos se repetem para a seqüência 5C, 4C, 4A, 3A, 3B e 2B.

Observa-se que um dos interruptores está sempre bloqueado e que cada um dos outros dois interruptores é comandado a conduzir e bloquear apenas uma vez em cada período de comutação. Desta forma, o número de comutações dos interruptores para a implementação destes vetores é mínimo.

Neste caso, a distribuição dos sinais de comando e dos vetores também é simétrica em relação à metade do período de comutação e no início e fim da cada período de comutação, os interruptores estão bloqueados.

Tabela 4.7 - Evolução dos sinais de comando em cada um dos sub-setores em meio período da rede.



4.4. Dimensionamento do Estágio de Potência

O dimensionamento do estágio de potência será desenvolvido considerando a estratégia de modulação da seção 4.3 e as expressões desenvolvidas no Anexo D.

Apresentam-se nas seções que seguem, os cálculos para o dimensionamento dos indutores de entrada, do capacitor de saída e dos esforços de tensão e corrente nos semicondutores, considerando-se as especificações de projeto apresentadas na Tabela 3.9.

4.4.1. Dimensionamento dos Indutores de Entrada

- Valor da indutância:

$$L = \frac{3 \cdot \eta \cdot V_p^2 \cdot (2 \cdot V_o - 3 \cdot V_p)}{f_s \cdot \Delta I \% \cdot 4 \cdot P_o \cdot V_o} = 790 \mu\text{H} \quad (4.5)$$

- Corrente eficaz no indutor:

$$I_{L_{\text{EF}}} = \frac{\sqrt{2} \cdot P_o}{3 \cdot \eta \cdot V_p} = 55,25 \text{ A} \quad (4.6)$$

- Corrente de pico no indutor:

$$I_{L_p} = \frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I \%}{2}\right) = 82 \text{ A} \quad (4.7)$$

- Corrente média no indutor:

$$I_{L_{\text{MED}}} = 0 \quad (4.8)$$

- Tensão de pico no indutor:

$$V_{L_p} = \frac{V_p}{2} + \frac{V_o}{3} = 223,3 \text{ V} \quad (4.9)$$

4.4.2. Dimensionamento do Capacitor de Saída

- Valor da capacitância:

$$C_o = \frac{P_o \cdot (2 \cdot V_o - 3 \cdot V_p)}{2 \cdot f_s \cdot V_o^3 \cdot \Delta V_o \%} = 816 \mu\text{F} \quad (4.10)$$

- Corrente eficaz no capacitor:

$$I_{CO_{EF}} = \frac{P_O}{V_O} \cdot \sqrt{\frac{0,613 \cdot V_O - 2 \cdot \eta \cdot V_P}{\eta^2 \cdot V_P} + 1} = 31,9 \text{ A} \quad (4.11)$$

- Corrente de pico no capacitor:

$$I_{CO_P} = \frac{P_O}{V_O} = 50 \text{ A} \quad (4.12)$$

- Corrente média no capacitor:

$$I_{CO_{MED}} = 0 \quad (4.13)$$

- Tensão no capacitor:

$$V_{CO_{EF}} \cong V_{CO_{MED}} = 400 \text{ V} \quad (4.14)$$

4.4.3. Dimensionamento dos Interruptores

- Corrente eficaz no interruptor:

$$I_{S_{EF}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{0,087 \cdot V_O - 0,141 \cdot V_P}{V_O}} = 17,95 \text{ A} \quad (4.15)$$

- Corrente de pico no interruptor:

$$I_{S_P} = \frac{\sqrt{3}}{2} \cdot I_P = 67,5 \text{ A} \quad (4.16)$$

- Corrente média no interruptor:

$$I_{S_{MED}} = \frac{P_O}{\eta \cdot V_P} \cdot \left(\frac{0,212 \cdot V_O - 0,333 \cdot V_P}{V_O} \right) = 7,27 \text{ A} \quad (4.17)$$

- Tensão de pico no interruptor:

$$V_{S_P} \cong V_O = 400 \text{ V} \quad V_{S_P} \cong V_O = 400 \text{ V} \quad (4.18)$$

4.4.4. Dimensionamento dos Diodos D₁₃₄₅₆

- Corrente eficaz nos diodos D₁₃₄₅₆:

$$I_{DI3456_{EF}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{0,043 \cdot V_O - 0,027 \cdot V_P}{V_O}} = 20,45 \text{ A} \quad (4.19)$$

- Corrente de pico nos diodos D₁₃₄₅₆:

$$I_{DI3456_P} = \frac{\sqrt{3}}{2} \cdot I_P = 67,5 \text{ A} \quad (4.20)$$

- Corrente média nos diodos D_{I3456} :

$$I_{D_{I3456,MED}} = \frac{P_O}{\eta \cdot V_P} \cdot \left(\frac{0,106 \cdot V_O + 0,004 \cdot V_P}{V_O} \right) = 12,18 \text{ A} \quad (4.21)$$

- Tensão de pico nos diodos D_{I3456} :

$$V_{D_{I3456,p}} \cong V_O = 400 \text{ V} \quad (4.22)$$

4.4.5. Dimensionamento dos Diodos D_{I12}

- Corrente eficaz nos diodos D_{I12} :

$$I_{D_{I12,EF}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{0,085 \cdot V_P}{V_O}} = 22,87 \text{ A} \quad (4.23)$$

- Corrente de pico nos diodos D_{I12} :

$$I_{D_{I12,p}} = \frac{I_P}{2} = 41 \text{ A} \quad (4.24)$$

- Corrente média nos diodos D_{I12} :

$$I_{D_{I12,MED}} = \frac{P_O}{\eta \cdot 3 \cdot V_O} = 17,54 \text{ A} \quad (4.25)$$

- Tensão de pico nos diodos D_{I12} :

$$V_{D_{I12,p}} \cong V_O = 400 \text{ V} \quad (4.26)$$

4.5. Modelagem e Controle

4.5.1. Modelagem do Retificador

Para a obtenção dos modelos do retificador, o retificador unidirecional Δ_1 será representado através da estrutura da Fig. 4-9, que é a mesma utilizada nos casos anteriores.

Os sinais de comando apropriados para os interruptores possibilitam a obtenção dos estados topológicos relacionados com as diferenças de potencial verificadas na Tabela 4.1.

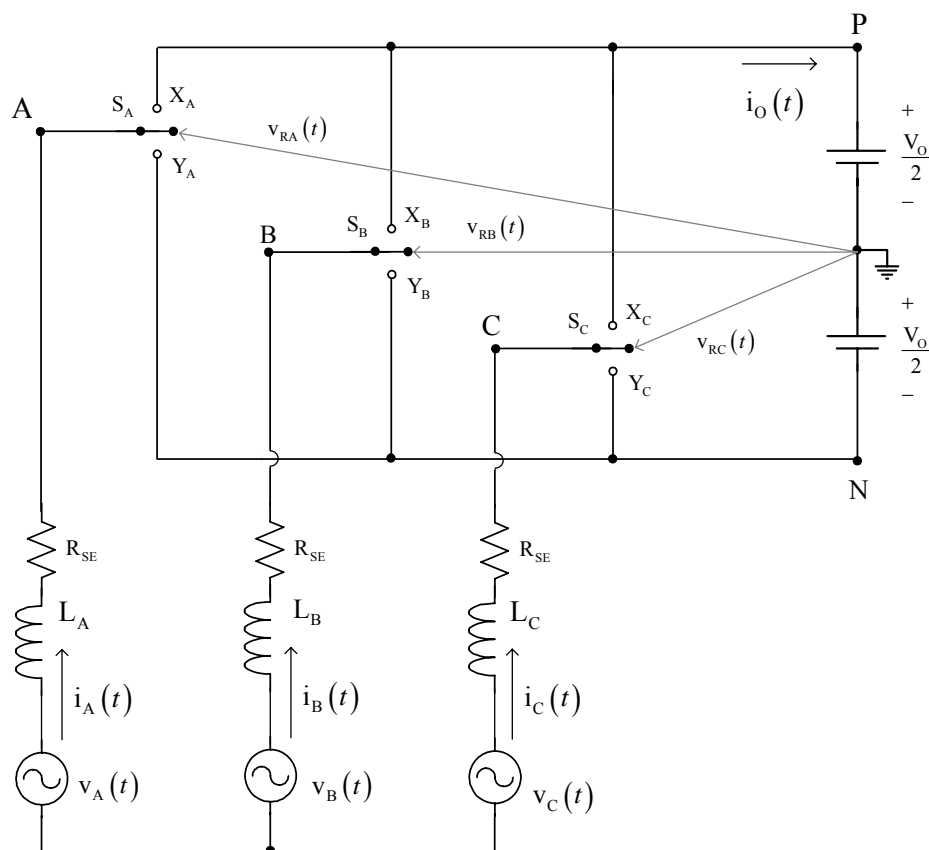


Fig. 4-9 - Circuito simplificado do conversor CA-CC trifásico.

Para o retificador trifásico unidirecional Δ_1 , os estados topológicos do conversor também dependem dos sentidos das correntes de entrada. As relações entre os comandos para obtenção dos estados topológicos equivalentes da estrutura da Fig. 4-1 e da estrutura da Fig. 4-9 são mostrados na Tabela 4.8 para os sub-setores SS1A e SS1C.

Tabela 4.8 - Relações entre os comandos da estrutura da Fig. 4-9 e da estrutura da Fig. 4-1.

Estrutura da Fig. 4-9		Estrutura da Fig. 4-1		
		S_A	S_B	S_C
Sub-Sector SS1A	$D_A(t) = 1, D_B(t) = 0$ e $D_C(t) = 0$	Aberto	Aberto ou Fechado	Aberto
	$D_A(t) = 1, D_B(t) = 1$ e $D_C(t) = 0$	Fechado	Aberto	Aberto
	$D_A(t) = D_B(t) = D_C(t)$	Dois ou Três Interruptores Fechado		
Sub-Sector SS1C	$D_A(t) = 1, D_B(t) = 0$ e $D_C(t) = 0$	Aberto	Fechado	Aberto
	$D_A(t) = 1, D_B(t) = 1$ e $D_C(t) = 0$	Aberto ou Fechado	Aberto	Aberto
	$D_A(t) = D_B(t) = D_C(t)$	Dois ou Três Interruptores Fechados		

As relações para outros sub-setores podem ser obtidas através dos resultados da Tabela 4.4.

Utilizando a estratégia de modulação da seção 4.3, que permite a equivalência entre as estruturas, consideram-se os mesmos modelos desenvolvidos no Capítulo 2, aplicando as mesmas transformações de variáveis e desacoplamento.

Para os retificadores unidirecionais devem ser consideradas restrições para a aplicação destes modelos, como por exemplo, a operação com valores de I_d negativo (modo inversor) e faixa de variação de I_q .

4.5.2. Estratégia de Controle e Projeto dos Controladores

A estrutura de controle vetorial é a mesma apresentada no capítulo 2, sendo o sistema de controle representado pelo diagrama da Fig. 4-10.

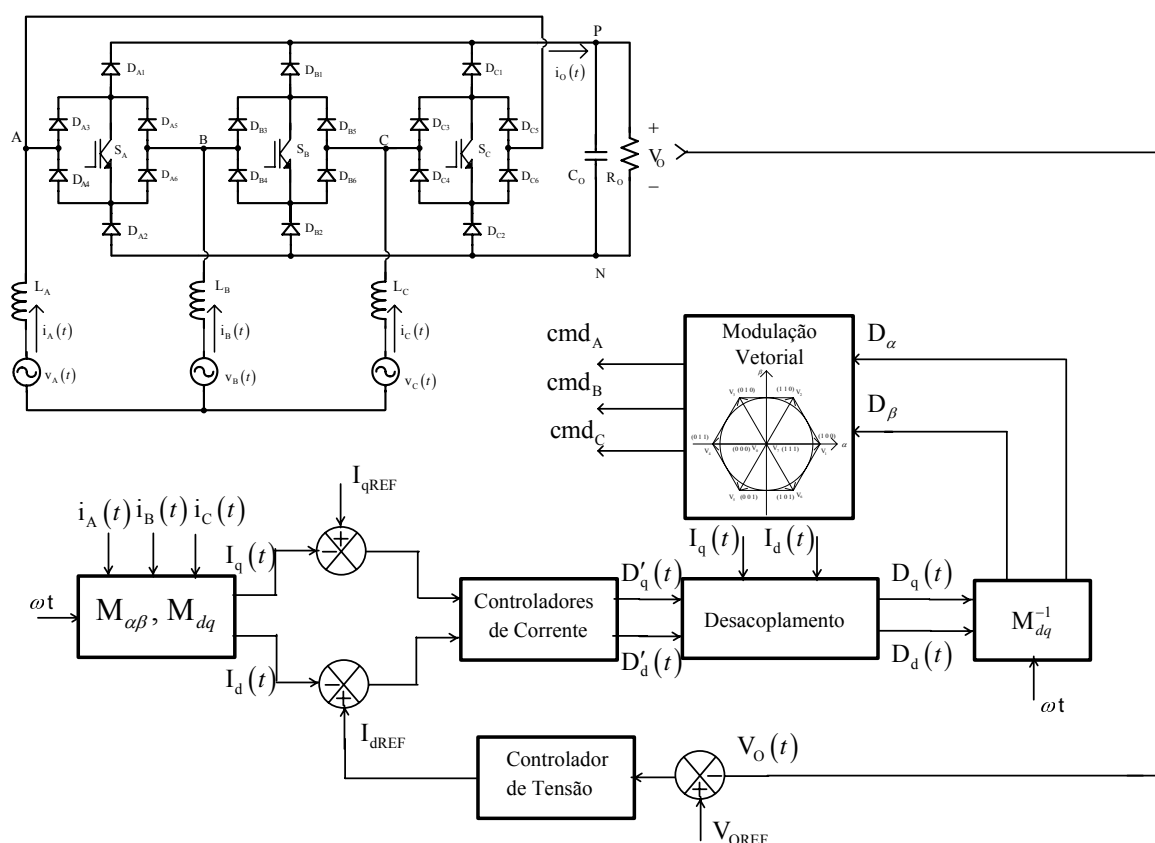


Fig. 4-10 - Diagrama do controle utilizado.

O projeto dos controladores para este conversor será feito utilizando-se os parâmetros apresentados na Tabela 2.10.

Como se consideram os mesmos parâmetros e os mesmos modelos utilizados para o retificador Y_1, utiliza-se os mesmos controladores projetados no capítulo 3.

4.6. Resultados de Simulação

A verificação da aplicação da modulação vetorial ao retificador trifásico PWM unidirecional conectado em Δ foi realizada através de simulação digital. Os parâmetros utilizados nesta simulação são apresentados na Tabela 2.9.

4.6.1. Simulações em Malha Aberta

Foram realizadas simulações em malha aberta com o objetivo de validar a modelagem apresentada na seção 2.3.1.

De forma semelhante ao que foi realizado nos capítulos 2 e 3, foi aplicado um degrau em D_d' de 0,518 a 0,53 e $D_q' = 0$ considerando o desacoplamento das variáveis e observado o comportamento da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 4-11.

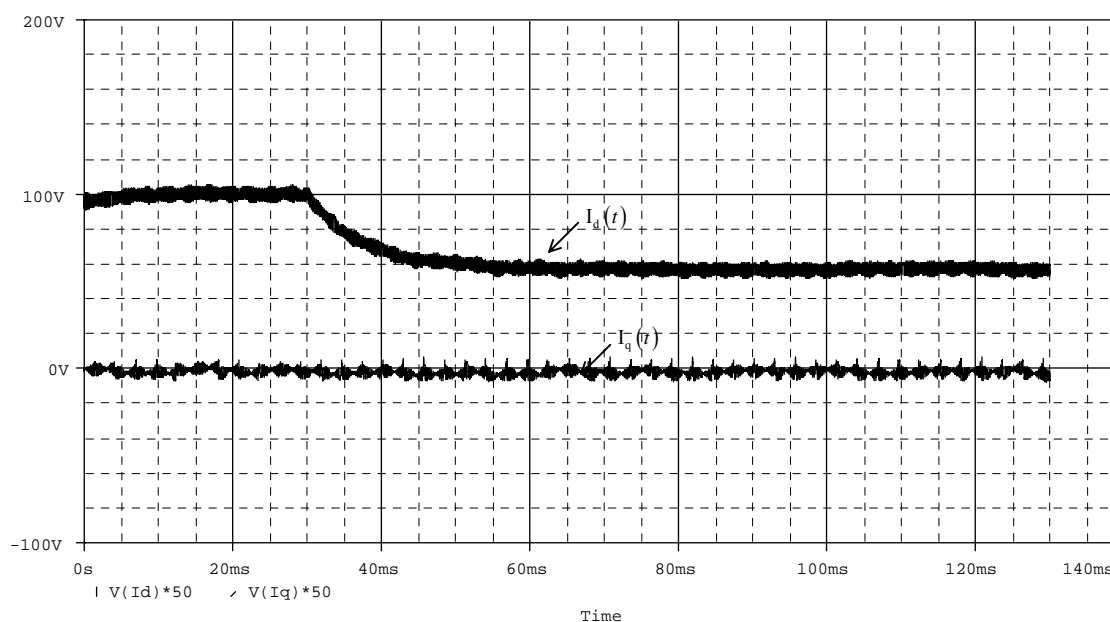
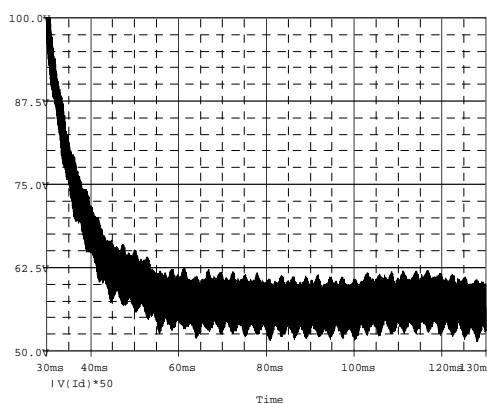


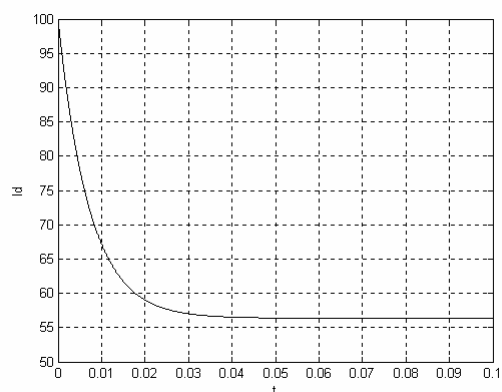
Fig. 4-11 - Corrente de eixo direto e corrente de eixo em quadratura com desacoplamento.

Os resultados da Fig. 4-11 mostram a eficiência do desacoplamento implementado e a mesma dinâmica e ganho apresentados quando da aplicação do degrau para o retificador bidirecional e para o retificador unidirecional Y_1 .

No detalhe da Fig. 4-12 observa-se a mesma dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.44).



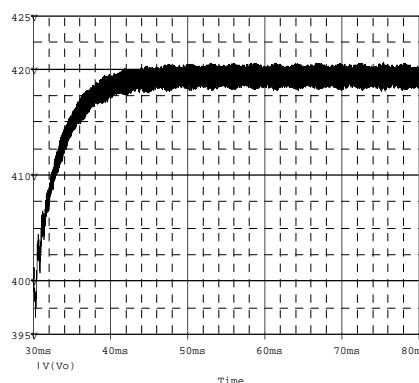
a) Simulação do retificador.



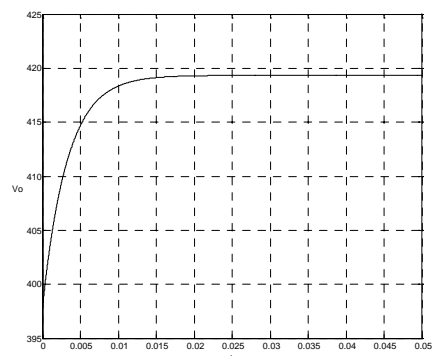
b) Modelo matemático.

Fig. 4-12 - Corrente de eixo direto para aplicação de degrau em D_q' .

Para a análise da malha de tensão foi aplicado um degrau em I_d de 97 A para 106,7 A no instante $t = 30$ ms e observado o comportamento da tensão de saída como mostrado na Fig. 4-13 (a), observa-se na Fig. 4-13 (b) a mesma resposta dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.60), para o retificador bidirecional e para o retificador unidirecional Y_1.



a) Simulação do retificador.



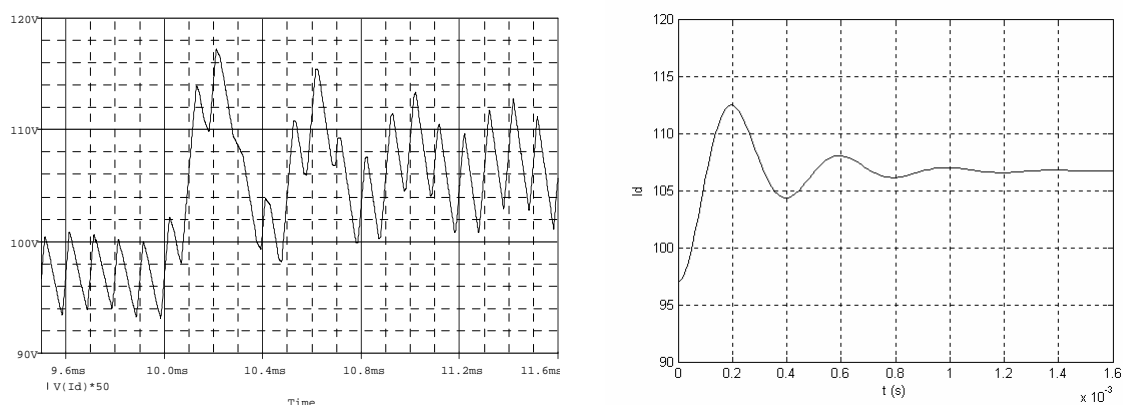
b) Modelo matemático.

Fig. 4-13 - Tensão de saída para aplicação de degrau em I_d .

Desta forma justificam-se a utilização dos mesmos modelos para os projetos dos controladores das malhas de corrente e tensão para o retificador bidirecional, o retificador unidirecional Y_1 e o retificador unidirecional Δ_1 .

4.6.2. Simulações em Malha Fechada

A Fig. 4-14 mostra a resposta do sistema operando apenas com a malha de corrente e a aplicação de um degrau de referência na corrente de eixo direto de 97 A para 106,7 A no instante $t = 10$ ms. Verifica-se a mesma dinâmica apresentada quando se considera o sistema com os modelos matemáticos da planta e do controlador.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 4-14 - Resposta ao de degrau de referência em I_d .

Os principais sinais relacionados com o funcionamento do sistema de controle completo a e modulação vetorial para o retificador trifásico PWM unidirecional Δ_1 são mostrados a seguir. O diagrama esquemático do circuito utilizado para a simulação e o “netlist” estão no Anexo C.

Na Fig. 4-15 observa-se tensão de saída regulada em um valor de 400 V com uma pequena ondulação de alta frequência e a aplicação de um degrau de referência para 440 V em $t = 30$ ms. A Fig. 4-16 mostra a comparação desta resposta ao degrau com a resposta do modelo caracterizado pelas expressões (3.42) e (3.43).

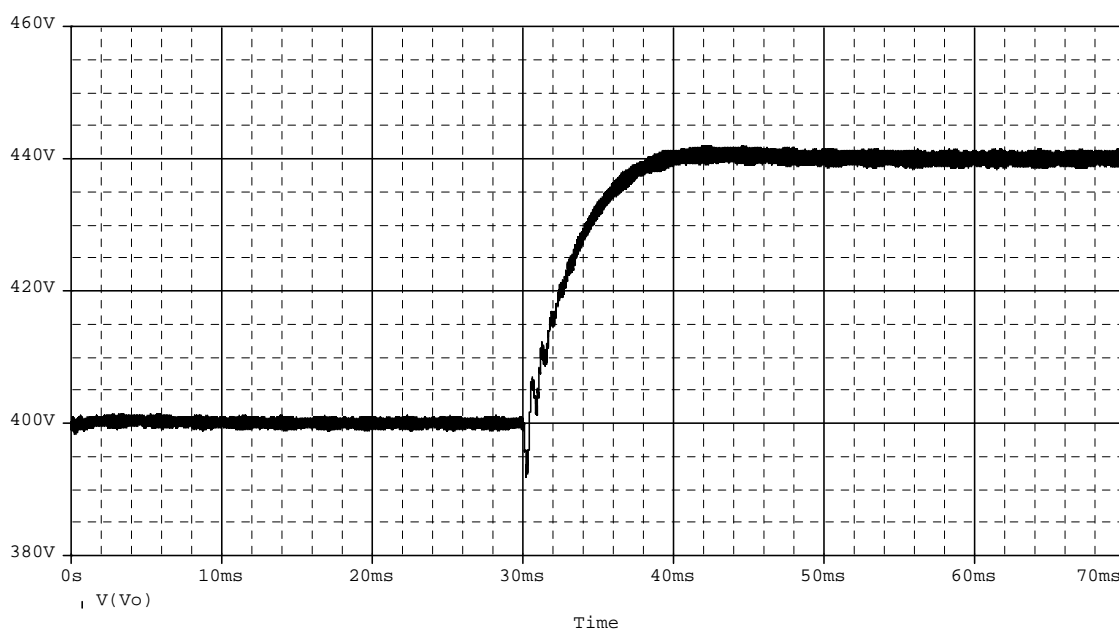
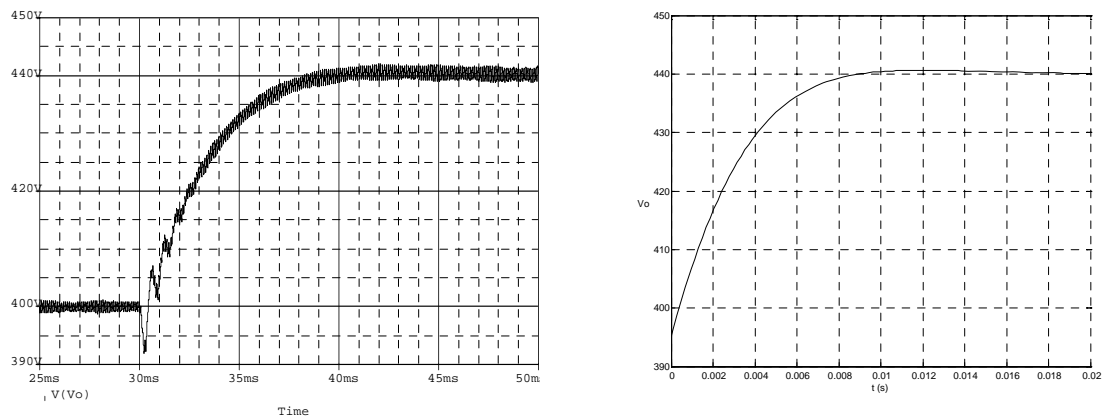


Fig. 4-15 - Tensão de saída.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 4-16 - Resposta ao degrau de referência em V_0 .

A Fig. 4-17 mostra correntes de entrada do retificador trifásico PWM unidirecional Δ_1 e a Fig. 4-18 mostra a tensão e a corrente em uma das fases, verificando-se a característica de um sistema com elevado fator de potência.

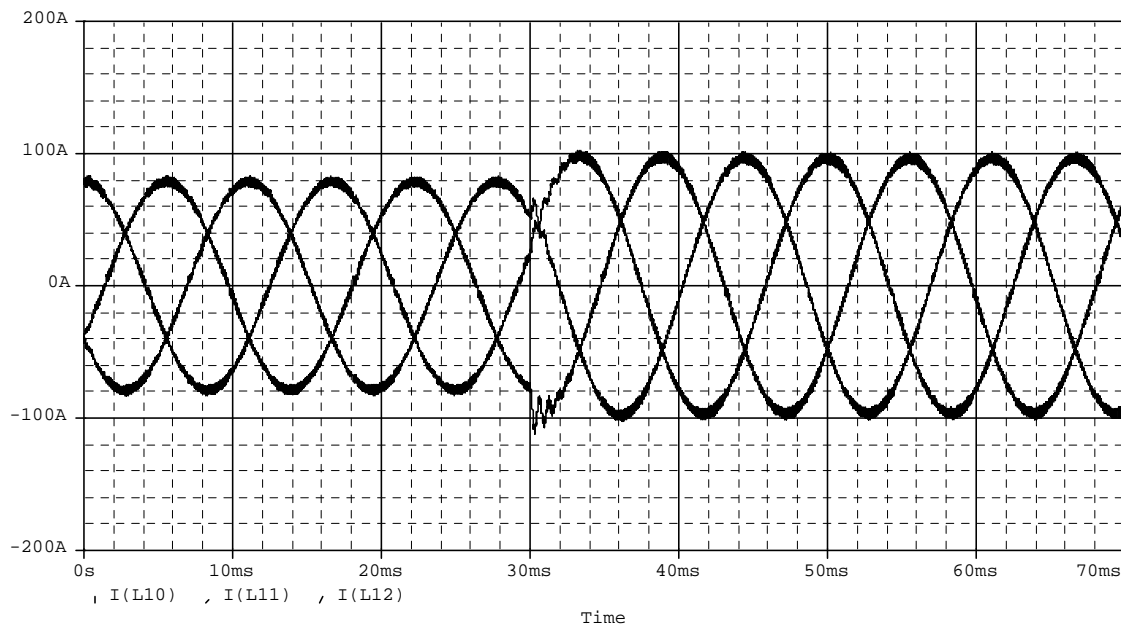


Fig. 4-17 - Correntes nas fases A, B e C.

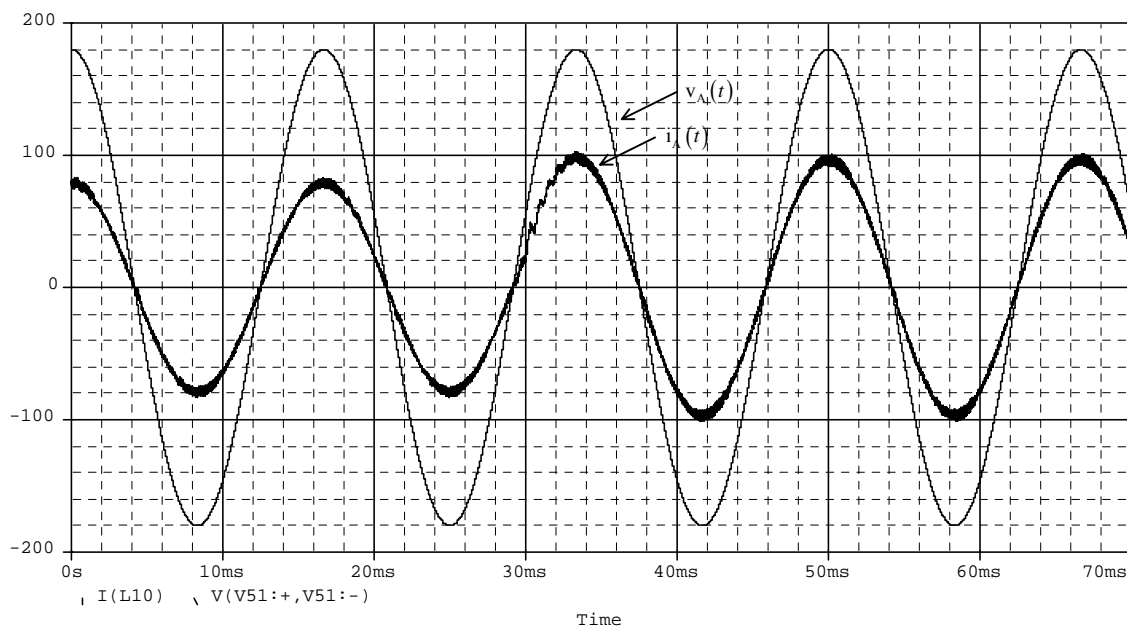


Fig. 4-18 - Tensão e corrente em uma das fases.

Na Fig. 4-19 são verificadas as amostras da corrente de eixo direto e a corrente de eixo em quadratura, em que a componente de eixo em quadratura tem valor regulado em zero, indicando potência reativa nula.

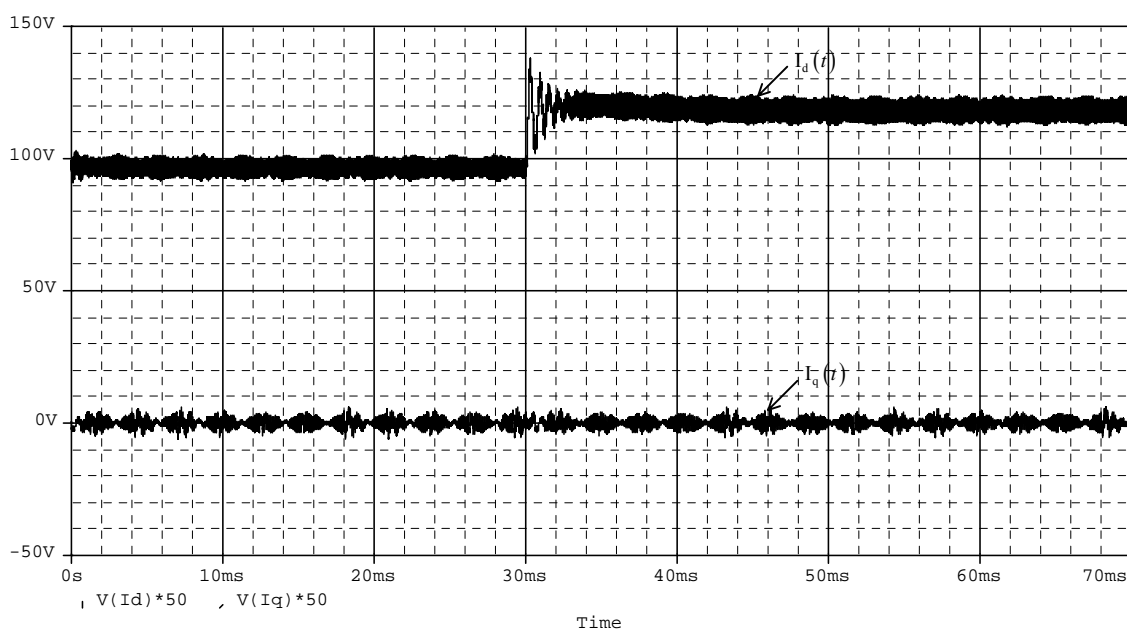


Fig. 4-19 - Corrente de eixo direto e corrente de eixo em quadratura.

Na Fig. 4-20 são mostradas a razão cíclica de eixo direto e a razão cíclica de eixo em quadratura, sinais gerados pelos controladores de corrente.

As razões cíclicas dos eixos α e β são mostradas na Fig. 4-21 e na Fig. 4-22 é mostrado o plano de fase destas variáveis.

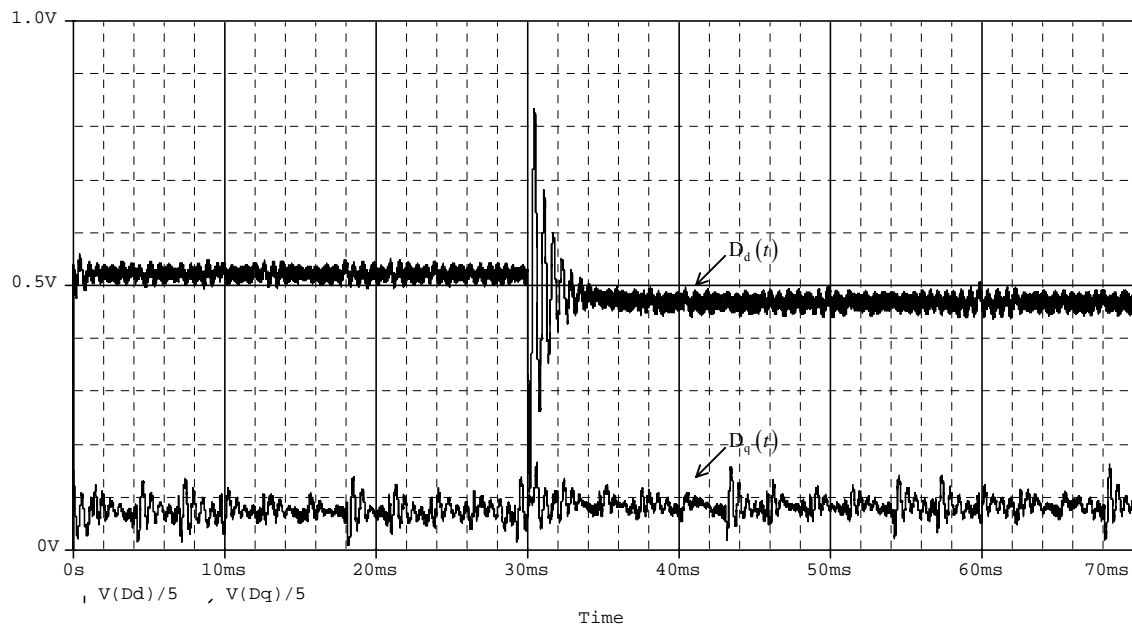


Fig. 4-20 - Razão cíclica de eixo direto e razão cíclica de eixo em quadratura.

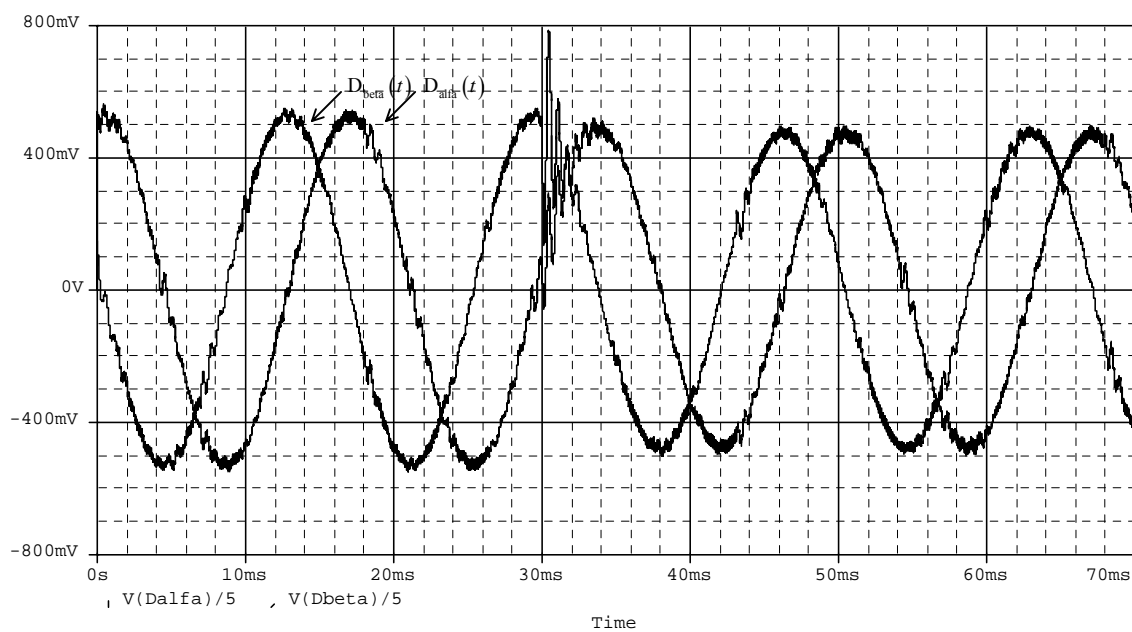


Fig. 4-21 - Razão cíclica do eixo α e razão cíclica do eixo β .

Observa-se que no plano $\alpha\beta$ estas variáveis percorrem uma trajetória circular.

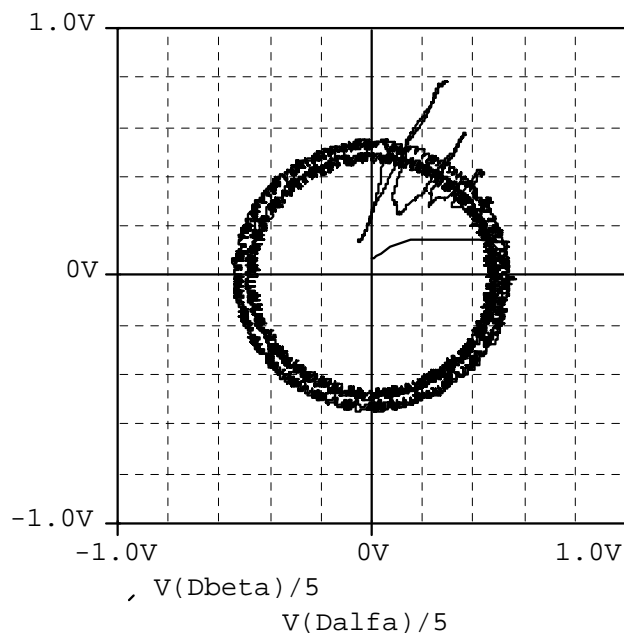


Fig. 4-22 - Plano de fase para a razão cíclica do eixo α e razão cíclica do eixo β .

As razões cíclicas das fases A, B e C são mostradas na Fig. 4-23, verificando o mesmo formato do sinal teórico mostrado na Fig. 4-8.

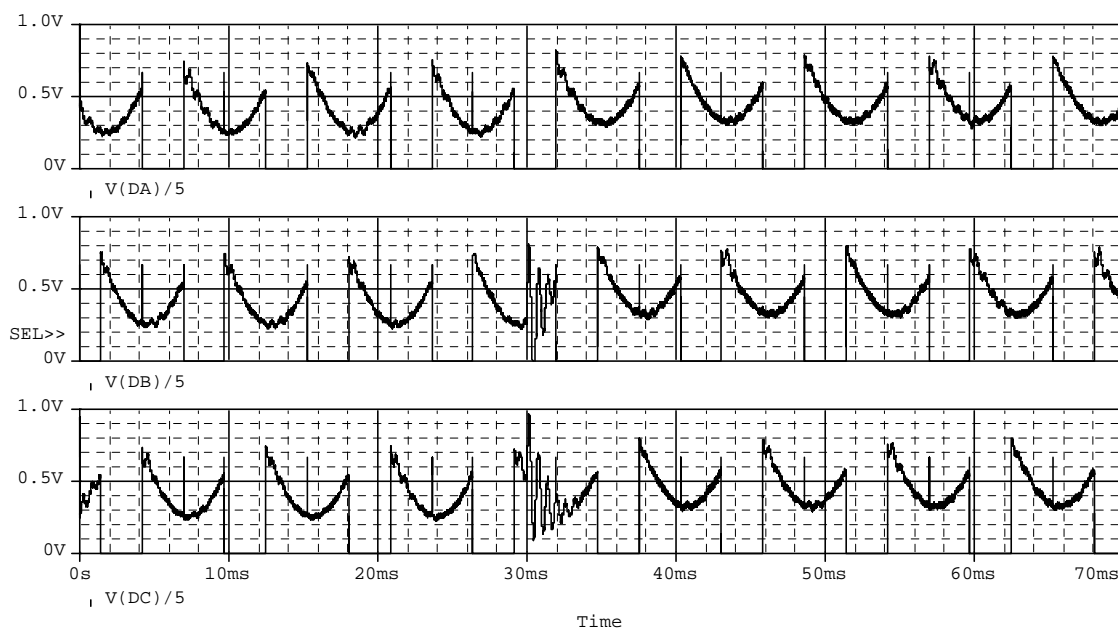
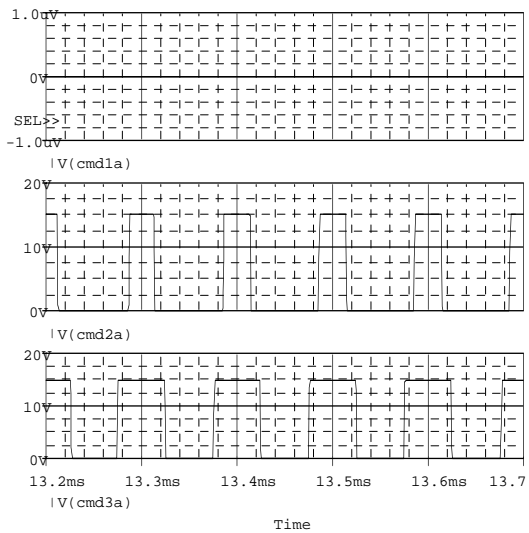
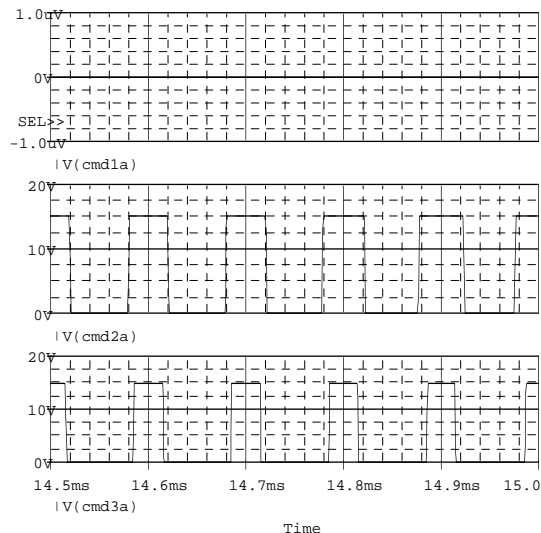


Fig. 4-23 - Razões cíclicas para as fases A, B, e C.

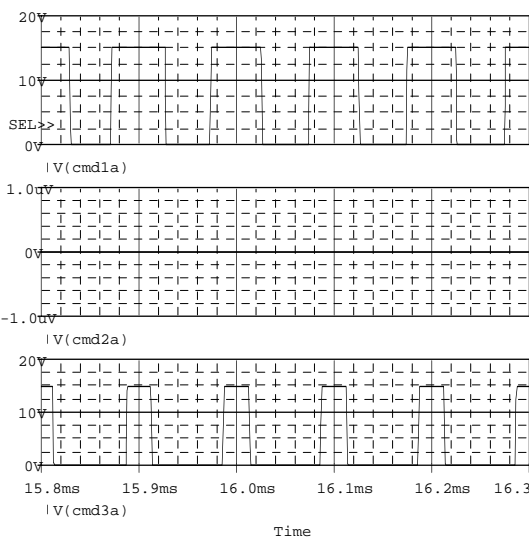
A Fig. 4-24 mostra os sinais de comando dos interruptores superiores de cada braço conectados às fases A, B e C para os setores definidos anteriormente. O formato e a evolução dos sinais de comando são semelhantes aos apresentados na Tabela 4.7.



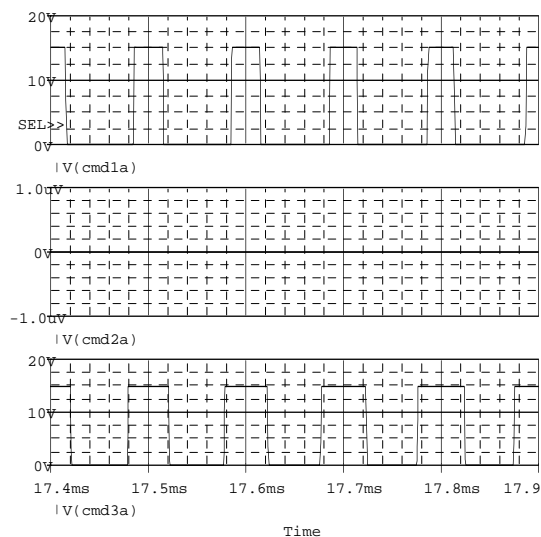
Sub-Sector 2C.



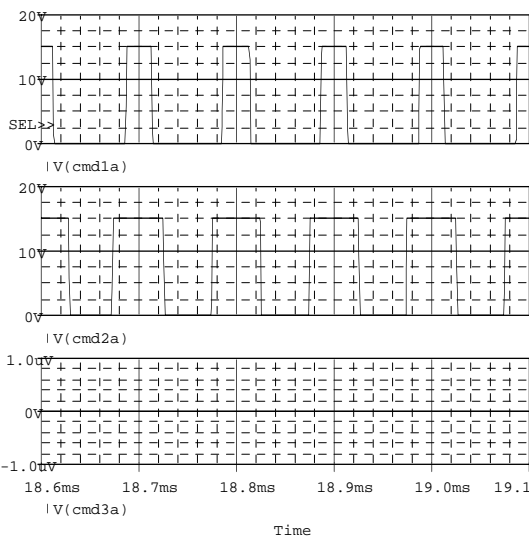
Sub-Sector 1C.



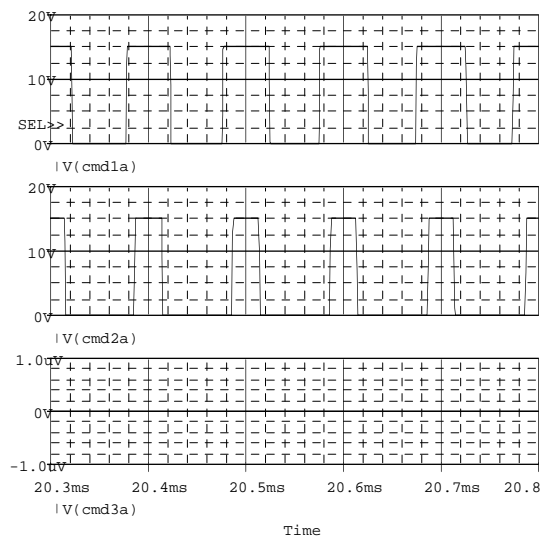
Sub-Sector 1A.



Sub-Sector 6A.



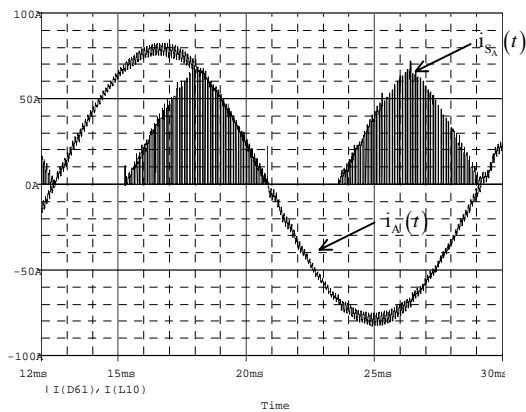
Sub-Sector 6B.



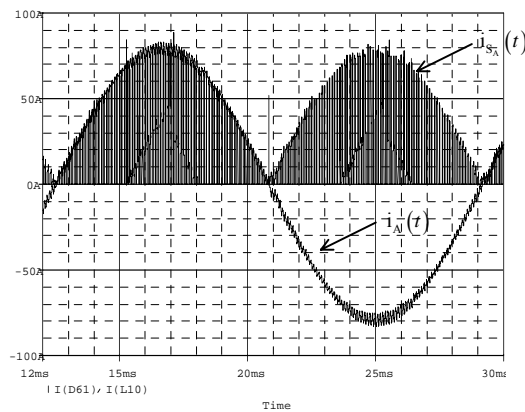
Sub-Sector 5B.

Fig. 4-24 - Sinais de comando dos interruptores em cada um dos sub-setores.

A Fig. 4-25 mostra as correntes na fase A e no interruptor S_A para o retificador unidirecional Δ_1 e para o retificador unidirecional Y_1 , onde se observa que o primeiro apresenta menor intervalo de condução para os interruptores.



a) Retificador unidirecional Δ_1 .



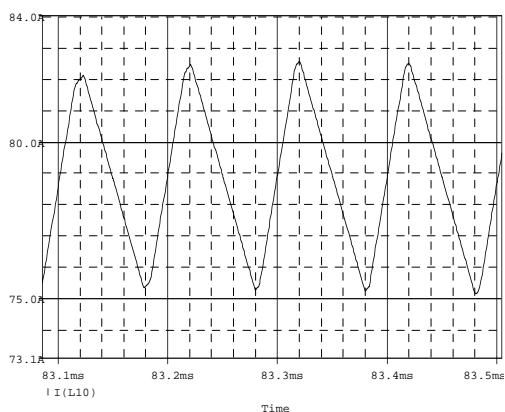
b) Retificador unidirecional Y_1 .

Fig. 4-25 - Corrente na fase A e no interruptor S_A para os retificadores unidirecionais.

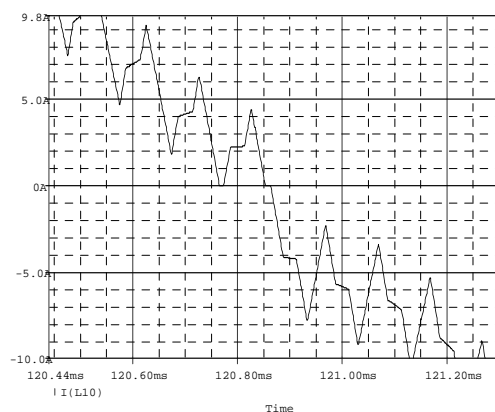
4.6.3. Estágio de Potência

Nesta seção serão apresentados sinais relativos ao funcionamento do estágio de potência, para uma simulação com referência de tensão de saída constante.

A Fig. 4-26 mostra os detalhes do pico corrente indutor e do seu cruzamento por zero, a ondulação máxima apresentada é de 9,3%.



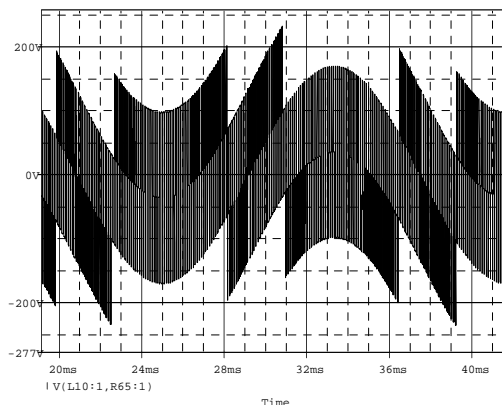
a) Pico de corrente no indutor.



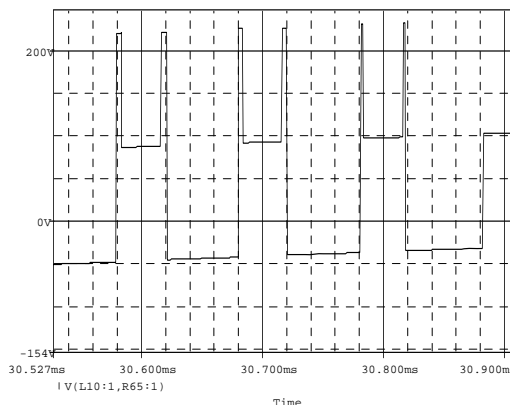
b) Cruzamento por zero para a corrente no indutor.

Fig. 4-26 – Formas de onda de corrente para os indutores de entrada.

A Fig. 4-27 mostra a forma de tensão sobre o indutor e seu detalhe no pico com um valor de 239 V.



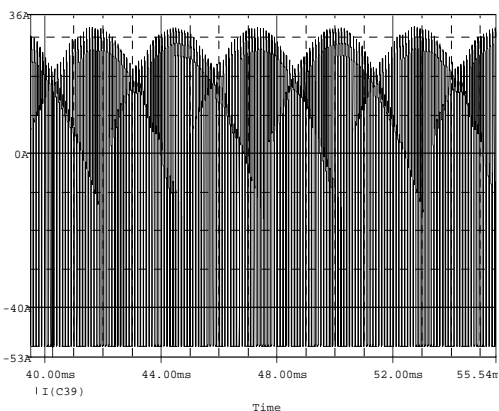
a) Tensão no indutor.



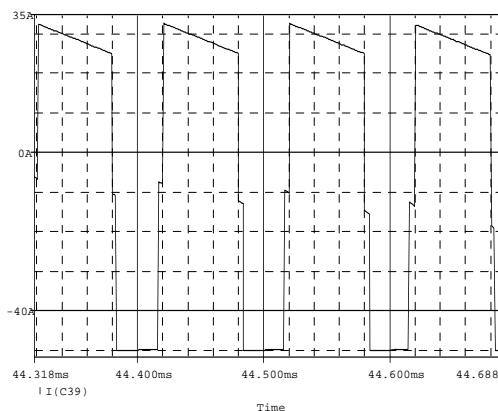
b) Pico de tensão no indutor.

Fig. 4-27 - Formas de onda de tensão para os indutores de entrada.

A Fig. 4-28 mostra a forma de corrente no capacitor de saída e seu detalhe no pico, com um valor máximo de 50 A.



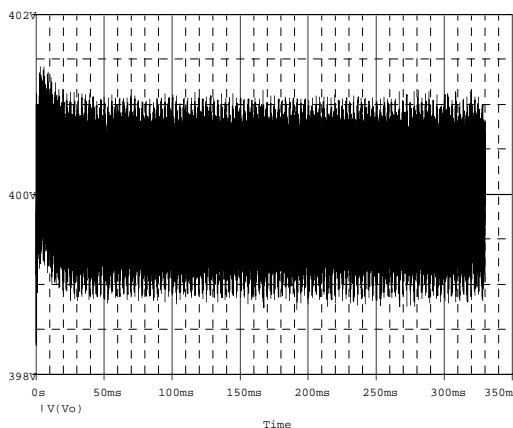
a) Corrente no capacitor de saída.



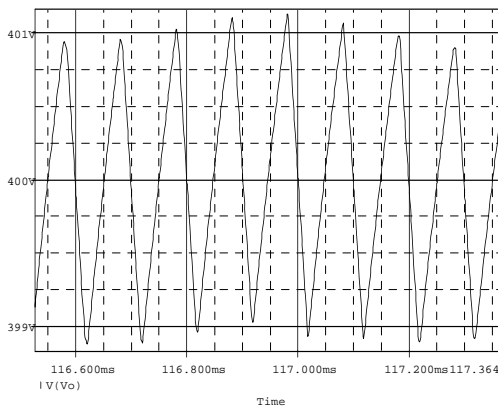
b) Detalhe da corrente no capacitor.

Fig. 4-28 – Formas de onda de corrente para o capacitor de saída.

A Fig. 4-29 mostra a forma de tensão sobre o capacitor de saída e o detalhe da ondulação em alta frequência de 0,5% da tensão de saída (2 V).



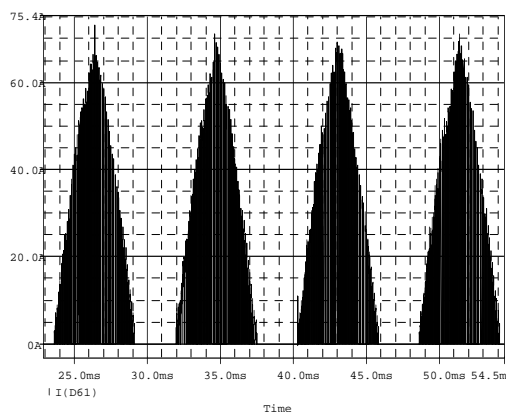
a) Tensão no capacitor de saída.



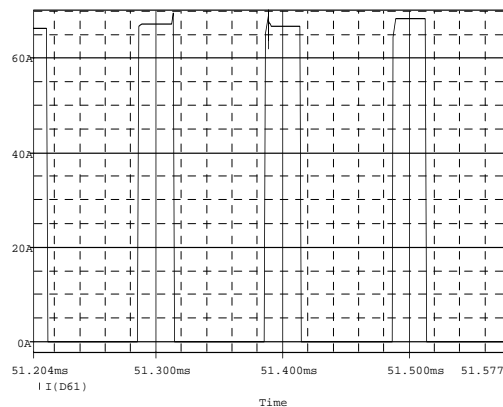
b) Detalhe da tensão no capacitor.

Fig. 4-29 – Formas de onda de tensão para o capacitor de saída.

A Fig. 4-30 mostra a forma de corrente no Interruptor S_A e seu detalhe no pico, com um valor máximo de 67,3 A.



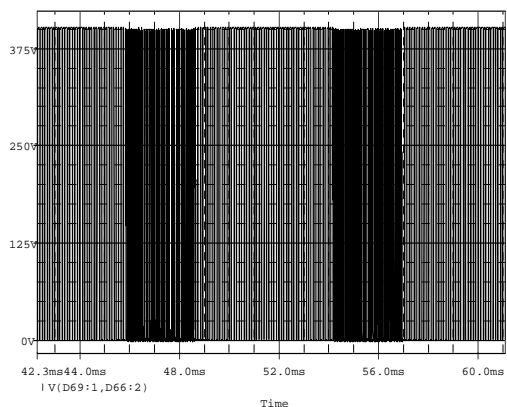
a) Corrente no interruptor S_A .



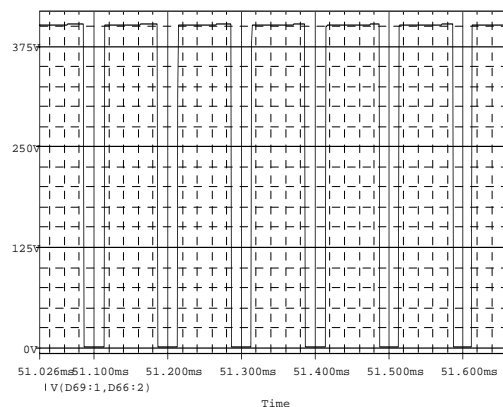
b) Detalhe da Corrente no interruptor S_A .

Fig. 4-30 – Formas de onda de corrente para interruptor S_A .

A Fig. 4-31 mostra a forma de tensão sobre o Interruptor S_A e seu detalhe com um valor máximo de aproximadamente 400 V.



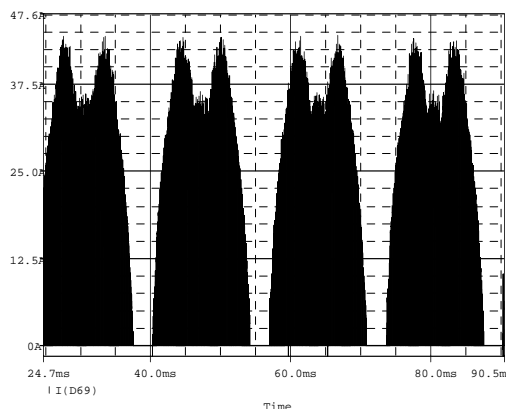
a) Tensão no interruptor S_A .



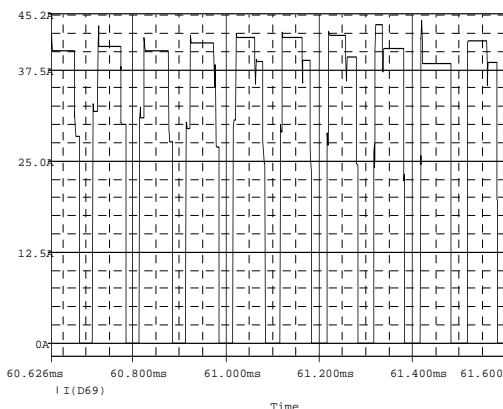
b) Detalhe da tensão interruptor S_A .

Fig. 4-31 – Formas de onda de tensão para o interruptor S_A .

A Fig. 4-32 mostra a forma de corrente no Diodo D_{A1} e seu detalhe no pico, em que o valor máximo atingido é 42 A.



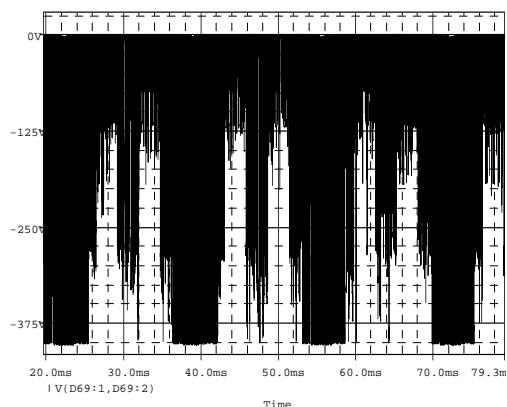
a) Corrente no diodo D_{A1} .



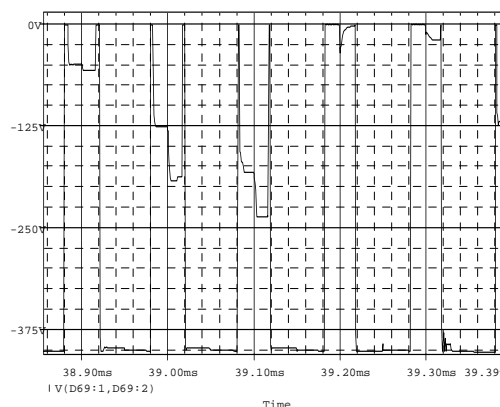
b) Detalhe da corrente diodo D_{A1} .

Fig. 4-32 – Formas de onda de corrente para o diodo D_{A1} .

A Fig. 4-33 mostra a forma de tensão sobre Diodo D_{A1} e seu detalhe na região em que atinge o valor reverso máximo de 400 V.



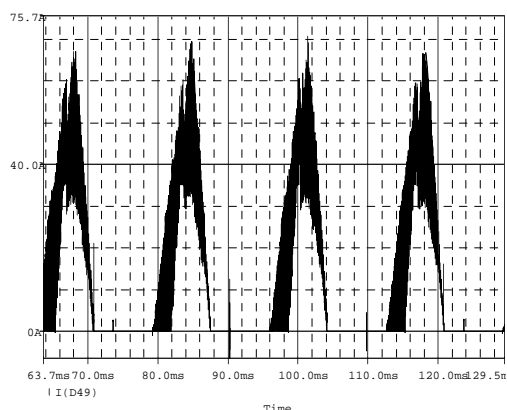
a) Tensão no diodo D_{A1} .



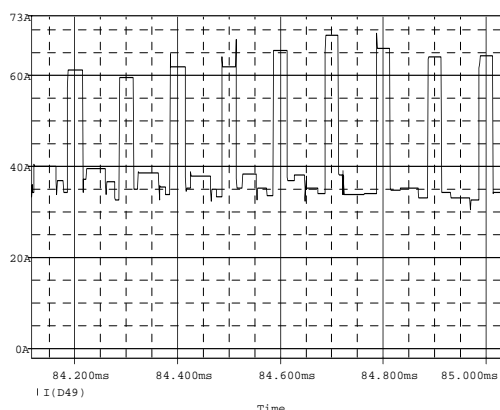
b) Detalhe da tensão no diodo D_{A1} .

Fig. 4-33 – Formas de onda de tensão para o diodo D_{A1} .

A Fig. 4-34 mostra a forma de corrente no Diodo D_{A3} e seu detalhe no pico, o valor máximo apresentado é de 68,3 A.



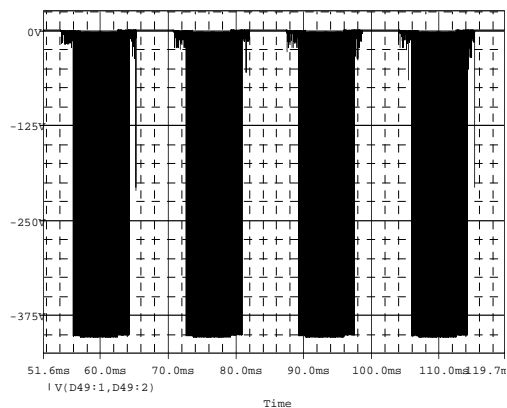
a) Corrente no diodo D_{A3} .



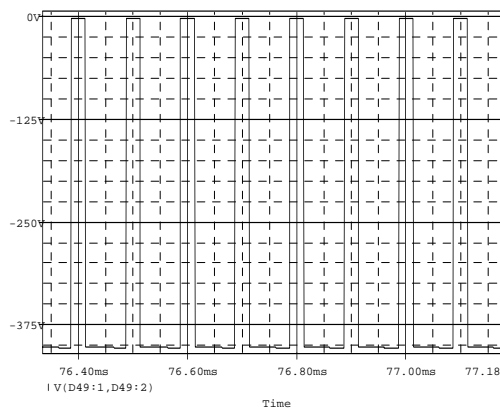
b) Detalhe da corrente no diodo D_{A3} .

Fig. 4-34 – Formas de onda de corrente para o diodo D_{A3} .

A Fig. 4-35 mostra a forma de tensão sobre o Diodo D_{A3} e seu detalhe na região em que atinge o valor reverso máximo de 400 V.



a) Tensão no diodo D_{A3} .



b) Detalhe da tensão no diodo D_{A3} .

Fig. 4-35 – Formas de onda de tensão para o diodo D_{A3} .

A Tabela 4.9 apresenta uma comparação entre resultados teóricos e de simulação para as grandezas relacionadas com o projeto do estágio de potência.

Tabela 4.9 – Comparação entre resultados teóricos e de simulação.

		Valores Teóricos	Valores Obtidos por Simulação
Tensão de saída $\Rightarrow V_O$		400 V	400 V
Potência de saída $\Rightarrow P_O$		20 kW	20 kW
Rendimento do conversor $\Rightarrow \eta$		95%	94%
Ondulação na tensão de saída (porcentagem da tensão de saída nominal) $\Rightarrow \Delta V_O\%$		0,5%	0,5%
Corrente eficaz no capacitor $\Rightarrow I_{CO_{EF}}$		31,9 A	33,19 A
Corrente de pico no capacitor $\Rightarrow I_{CO_P}$		50 A	50 A
Ondulação na corrente de fase (porcentagem da corrente de pico) $\Rightarrow \Delta I\%$		10%	9,3%
Corrente média no interruptor $\Rightarrow I_{S_{MED}}$		7,27 A	8,41 A
Corrente eficaz no interruptor $\Rightarrow I_{S_{EF}}$		17,95 A	19,29 A
Corrente de pico no interruptor $\Rightarrow I_{S_P}$		67,5 A	67,3 A
Tensão de pico no interruptor $\Rightarrow V_{S_P}$		400 V	400 V
Corrente de pico no indutor $\Rightarrow I_{L_P}$		82 A	82 A
Corrente eficaz no indutor $\Rightarrow I_{L_{EF}}$		55,25 A	55,8 A
Corrente média no indutor $\Rightarrow I_{L_{MED}}$		0	0
Tensão de pico no indutor $\Rightarrow V_{L_P}$		223,3 V	239 V
Diodos D_{I3456}	Corrente de pico $\Rightarrow I_{DI3456_P}$	67,5 A	68,3 A
	Corrente média $\Rightarrow I_{DI3456_{MED}}$	12,18 A	12,7 A
	Corrente eficaz $\Rightarrow I_{DI3456_{EF}}$	20,54 A	21,7 A
	Tensão de pico $\Rightarrow V_{DI3456_P}$	400 V	400 V
Diodos D_{I12}	Corrente de pico $\Rightarrow I_{DI12_P}$	41 A	42 A
	Corrente média $\Rightarrow I_{DI12_{MED}}$	17,54 A	17,0 A
	Corrente eficaz $\Rightarrow I_{DI12_{EF}}$	22,84 A	23 A
	Tensão de pico $\Rightarrow V_{DI12_P}$	400 V	400 V

Os valores apresentados na Tabela 4.9 confirmam a validade da metodologia de projeto para o estágio de potência.

4.7. Conclusão

O retificador trifásico PWM unidirecional Δ_1 foi analisado e a ele foi aplicada a técnica de modulação vetorial.

Para isto, foi realizada uma análise da estrutura para verificar os possíveis vetores e os sinais de comando necessários para a implementação dos mesmos.

Foi proposta uma seqüência de vetores que minimiza o número de comutações dos interruptores e foram calculados os intervalos de aplicação destes vetores.

Os resultados da aplicação das técnicas de controle e modulação vetorial foram verificados por simulação, em que se observou a validade do emprego destas técnicas e da utilização da modelagem desenvolvida no Capítulo 2 para os três retificadores estudados.

Como principal diferença entre a aplicação da modulação vetorial para o retificador unidirecional Δ_1 e para o retificador unidirecional Y_1 , destaca-se o fato que no primeiro caso, é possível escolher uma seqüência de vetores de forma que um dos interruptores fique aberto durante o intervalo de duração de um setor. Com isto, têm-se uma diminuição das perdas de condução e de chaveamento para este interruptor.

A metodologia utilizada para aplicação da modulação vetorial ao retificador Δ_1 é a mesma empregada no retificador Y_1 .

Capítulo 5 - Modulação Vetorial Aplicada a Outros Retificadores Unidirecionais e Análise dos Resultados

5.1. Introdução

Neste capítulo a modulação vetorial é aplicada a outros retificadores trifásicos PWM unidirecionais de dois níveis.

Os conceitos sobre modelagem e controle de retificadores estudados nos capítulos anteriores serão adaptados a estas estruturas. Os resultados da aplicação das estratégias de modulação e controle serão verificados através de simulações computacionais.

É realizada uma generalização sobre a metodologia de aplicação da modulação vetorial a estes retificadores e das seqüências de vetores propostas. É feita uma análise dos resultados da aplicação da modulação vetorial e do controle vetorial aos diversos retificadores unidirecionais estudados.

O efeito da aplicação de diferentes técnicas de modulação é verificado através da análise de rendimento dos retificadores.

5.2. Aplicação da Modulação Vetorial ao Retificador Unidirecional Y₂

A Fig. 5-1 mostra a topologia do retificador trifásico PWM unidirecional de dois níveis Y₂ [29]-[30] com elevado fator de potência.

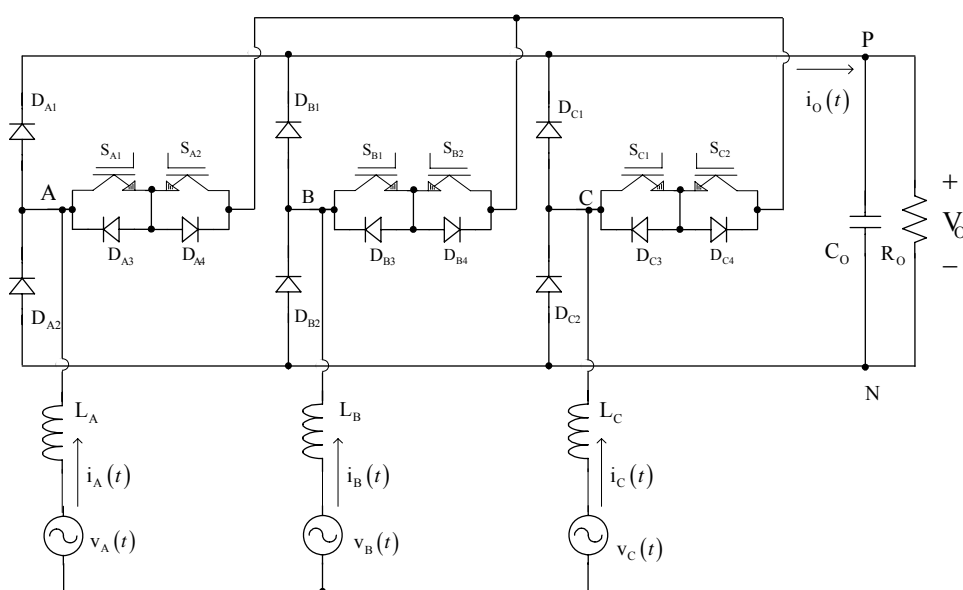


Fig. 5-1 – Retificador unidirecional de dois níveis Y₂.

Neste caso, são consideradas mesmas características e regras de análise utilizadas no Capítulo 3. A estratégia de modulação e os controladores utilizados são os mesmos aplicados ao retificador unidirecional Y_1 apresentado no Capítulo 3.

A verificação da aplicação da modulação vetorial ao retificador trifásico PWM unidirecional Y_2 foi realizada através de simulação digital. Os parâmetros utilizados nesta simulação são apresentados na Tabela 2.11.

5.2.1. Simulações em Malha Aberta

Foram realizadas simulações em malha aberta com o objetivo de validar a modelagem apresentada na seção 2.3.1.

Foi aplicado um degrau em D_d' de 0,518 a 0,53 e $D_q' = 0$ no instante $t = 30$ ms, considerando o desacoplamento das variáveis e observado o comportamento da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 5-2.

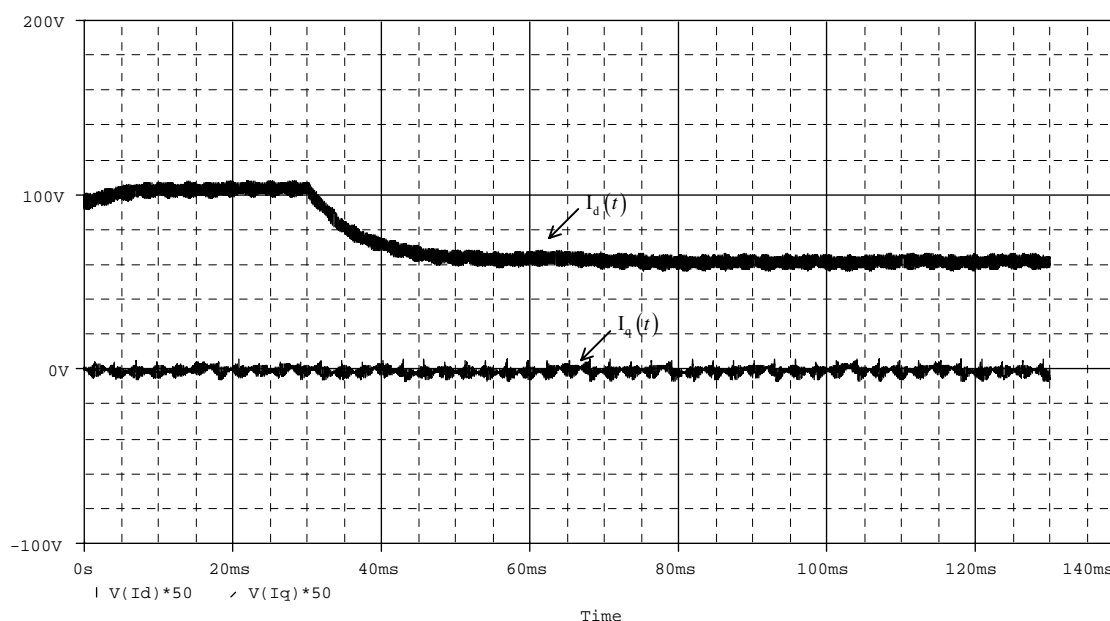
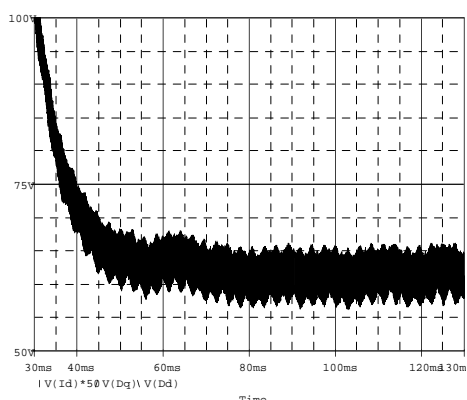


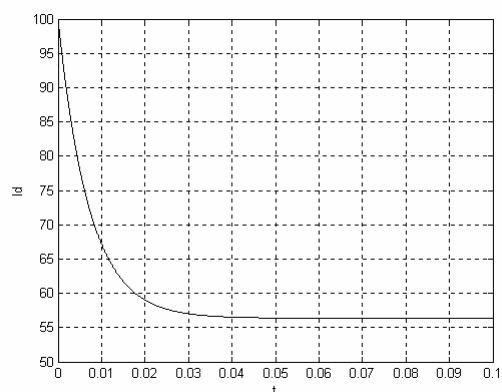
Fig. 5-2 - Corrente de eixo direto e corrente de eixo em quadratura com desacoplamento.

Os resultados da Fig. 5-2 mostram que a estratégia de desacoplamento proposta nos capítulos anteriores também é válida para este retificador.

No detalhe da Fig. 5-3 observa-se a mesma dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.44).



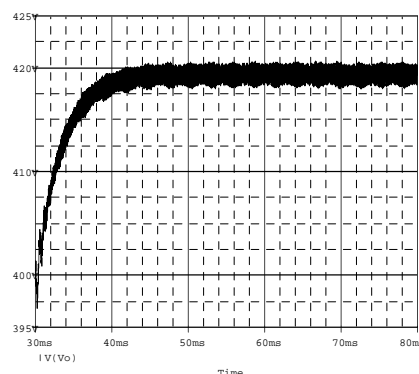
a) Simulação do retificador.



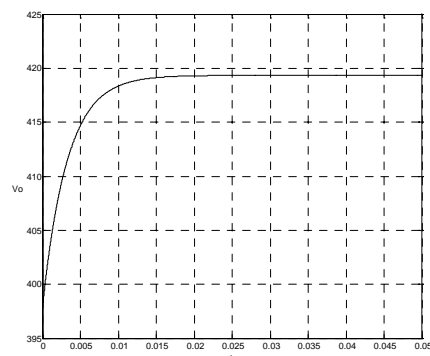
b) Modelo matemático.

Fig. 5-3 - Corrente de eixo direto para aplicação de degrau em D_q' .

Para a análise da malha de tensão foi aplicado um degrau em I_d de 97 A para 106,7 A no instante $t = 30$ ms e observado o comportamento da tensão de saída como mostrado na Fig. 5-4 (a), onde se observa na Fig. 5-4 (b) a mesma resposta dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.60), para o retificador bidirecional e para outros retificadores unidirecionais.



a) Simulação do retificador.



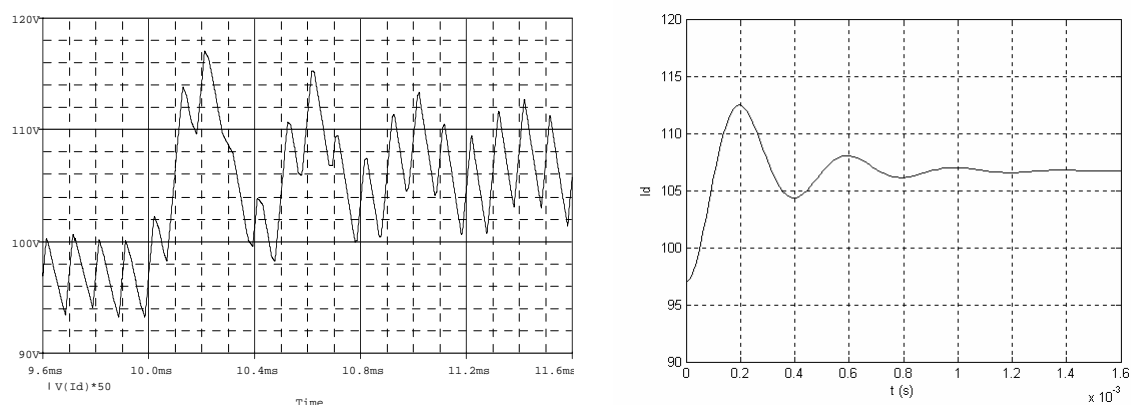
b) Modelo matemático.

Fig. 5-4 - Tensão de saída para aplicação de degrau em I_d .

Desta forma, justificam-se a utilização dos mesmos modelos e da mesma estratégia de modulação para ambos retificadores conectados em Y.

5.2.2. Simulações em Malha Fechada

A Fig. 5-5 mostra a resposta do sistema operando apenas com a malha de corrente e a aplicação de um degrau de referência na corrente de eixo direto de 97 A para 106,7 A no instante $t = 10$ ms. Verifica-se a mesma dinâmica apresentada quando se considera o sistema com os modelos matemáticos da planta e do controlador.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 5-5 - Resposta ao degrau de referência em I_d .

Os principais sinais relacionados com o funcionamento do sistema de controle completo a e modulação vetorial para o retificador trifásico PWM unidirecional Y_2 são mostrados a seguir.

Na Fig. 5-6 observa-se tensão de saída regulada em um valor de 400 V com uma pequena ondulação de alta frequência e a aplicação de um degrau de referência para 440 V em $t = 30$ ms. A Fig. 5-7 mostra a comparação desta resposta ao degrau com a resposta do modelo caracterizado pelas expressões (3.42) e (3.43).

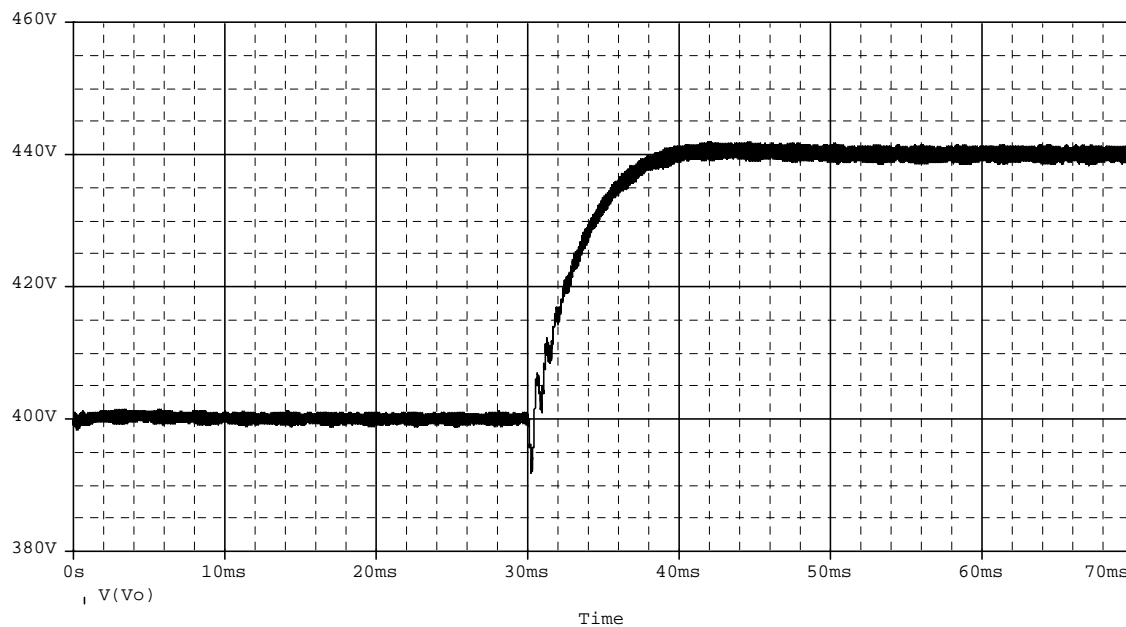


Fig. 5-6 - Tensão de saída.

A Fig. 5-8 mostra correntes de entrada do retificador trifásico PWM unidirecional Y_2 e a Fig. 5-9 mostra a tensão e a corrente em uma das fases, verificando-se a característica de um sistema com elevado fator de potência.

A Fig. 5-10 apresenta as razões cíclicas das fases A, B e C, verificando o mesmo formato do sinal teórico mostrado na Fig. 3.11, utilizado para o conversor do Capítulo 3.

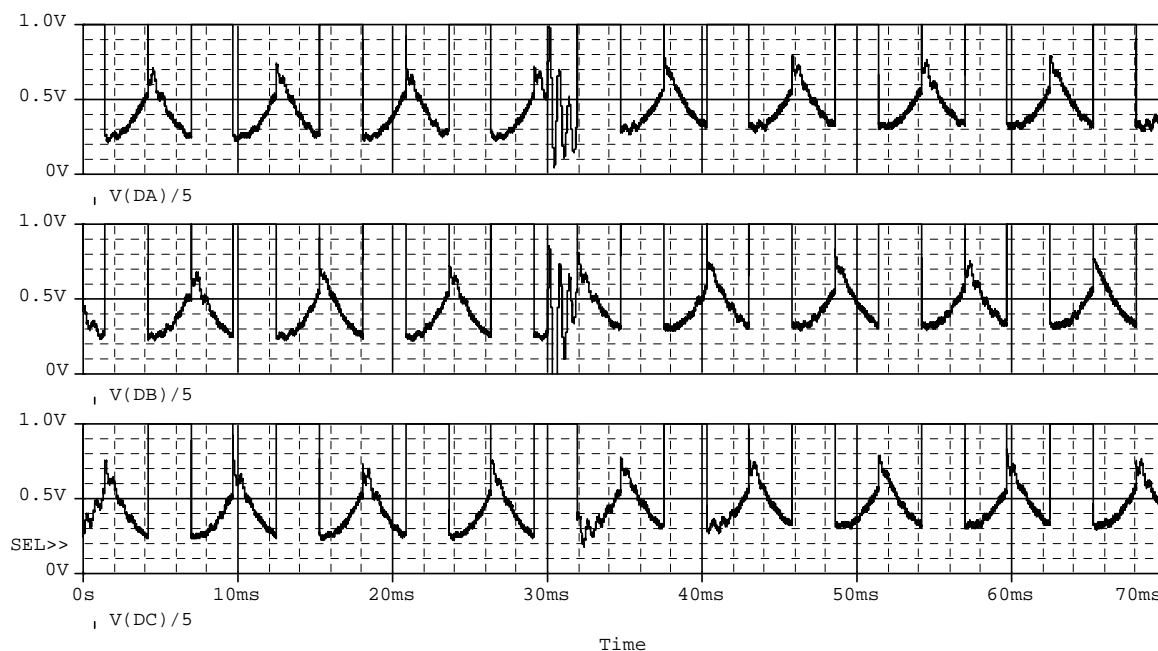


Fig. 5-10 - Razão cíclica para as fases A, B e C.

5.3. Aplicação da Modulação Vetorial ao Retificador Unidirecional Δ_2

A Fig. 5.11 mostra a topologia do retificador trifásico PWM unidirecional de dois níveis Δ_2 [29]-[30] com elevado fator de potência.

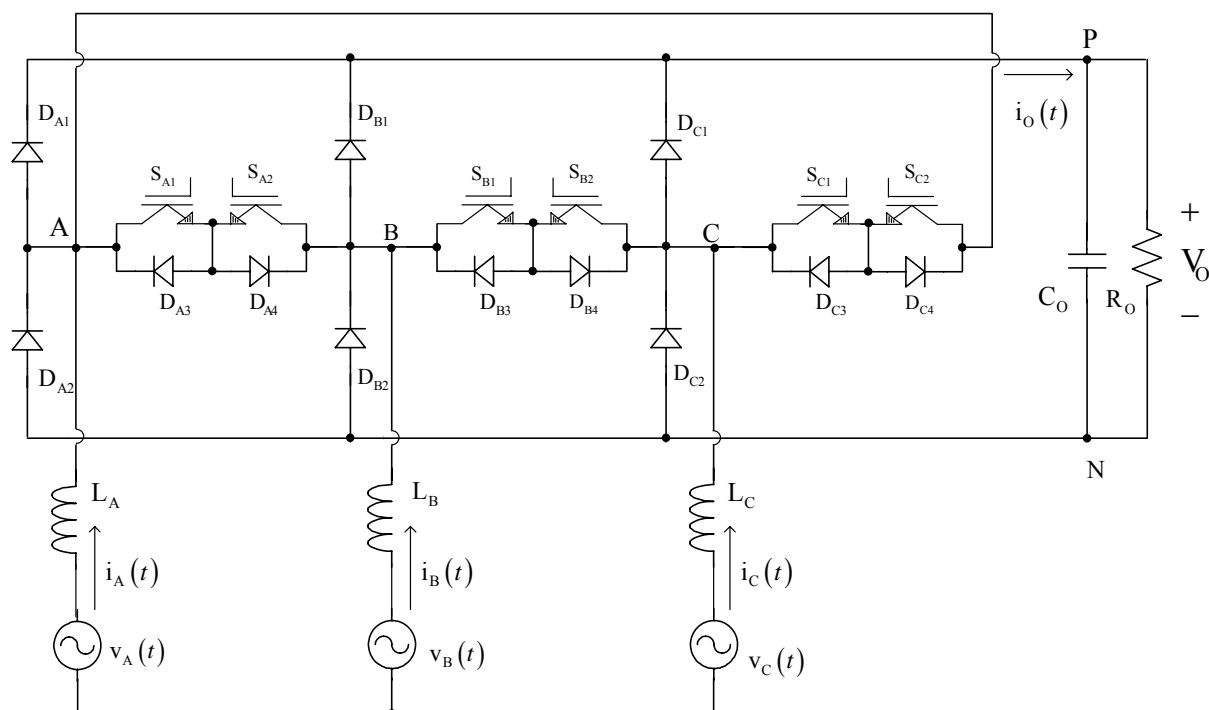


Fig. 5-11 – Retificador unidirecional de dois níveis Δ_2 .

Neste caso, são consideradas mesmas características e regras de análise utilizadas no Capítulo 4. A estratégia de modulação e os controladores utilizados são os mesmos aplicados ao retificador unidirecional Δ_1 apresentado no Capítulo 4.

A verificação da aplicação da modulação vetorial ao retificador trifásico PWM unidirecional Δ_2 foi realizada através de simulação digital. Os parâmetros utilizados nesta simulação são apresentados na Tabela 2.11.

5.3.1. Simulações em Malha Aberta

Foram realizadas simulações em malha aberta com o objetivo de validar a modelagem apresentada na seção 2.3.1.

Foi aplicado um degrau em D_d' de 0,518 a 0,53 e $D_q' = 0$ no instante $t = 30$ ms, considerando o desacoplamento das variáveis e observado o comportamento da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 5-12.

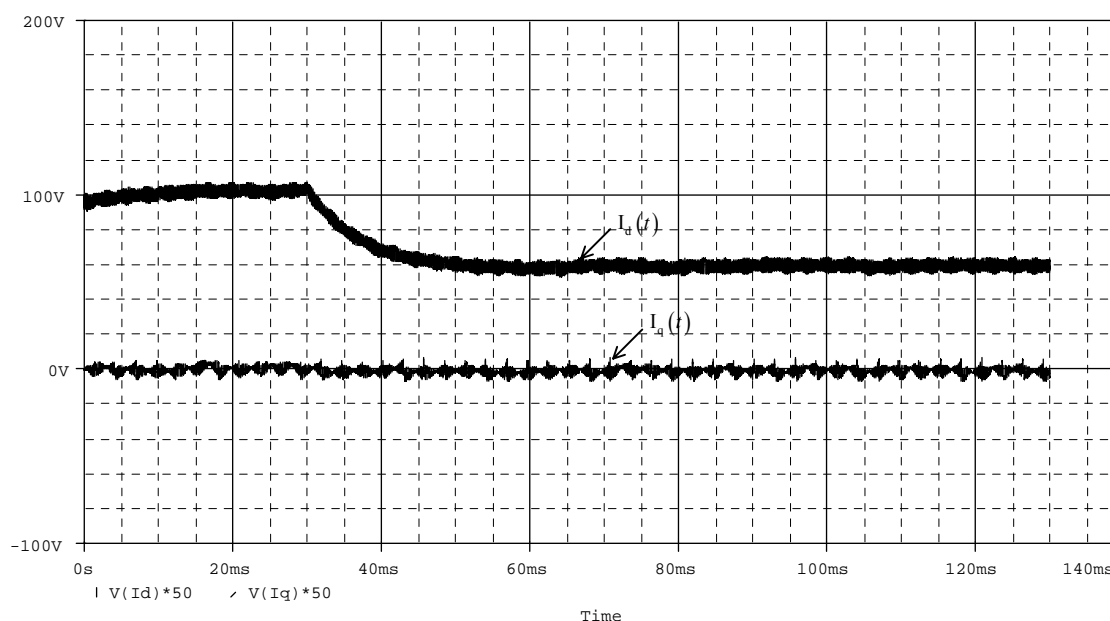
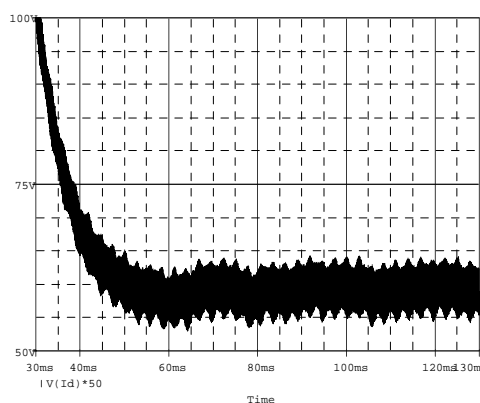


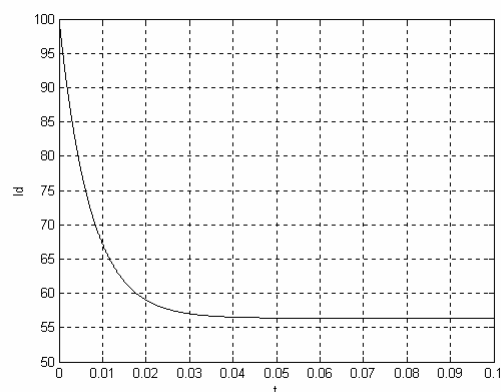
Fig. 5-12 - Corrente de eixo direto e corrente de eixo em quadratura com desacoplamento.

Os resultados da Fig. 5-12 mostram que o desacoplamento proposto também pode ser aplicado a este retificador.

No detalhe da Fig. 5-13 observa-se a mesma dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.44).



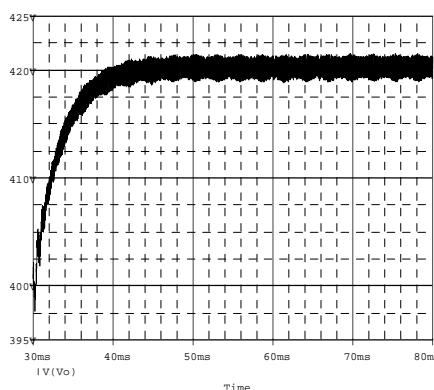
a) Simulação do retificador.



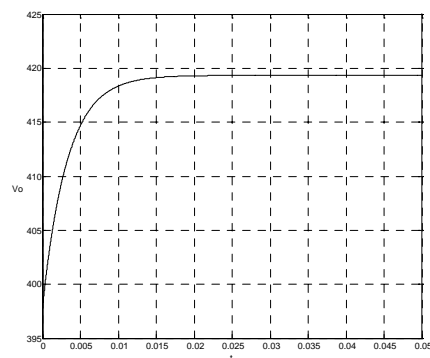
b) Modelo matemático.

Fig. 5-13 - Corrente de eixo direto para aplicação de degrau em D_q' .

Para a análise da malha de tensão foi aplicado um degrau em I_d de 97 A para 106,7 A no instante $t = 30$ ms e observado o comportamento da tensão de saída como mostrado na Fig. 5-14 (a), onde se observa na Fig. 5-14 (b) a mesma resposta dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.60), para o retificador bidirecional e para outros retificadores unidirecionais.



a) Simulação do retificador.



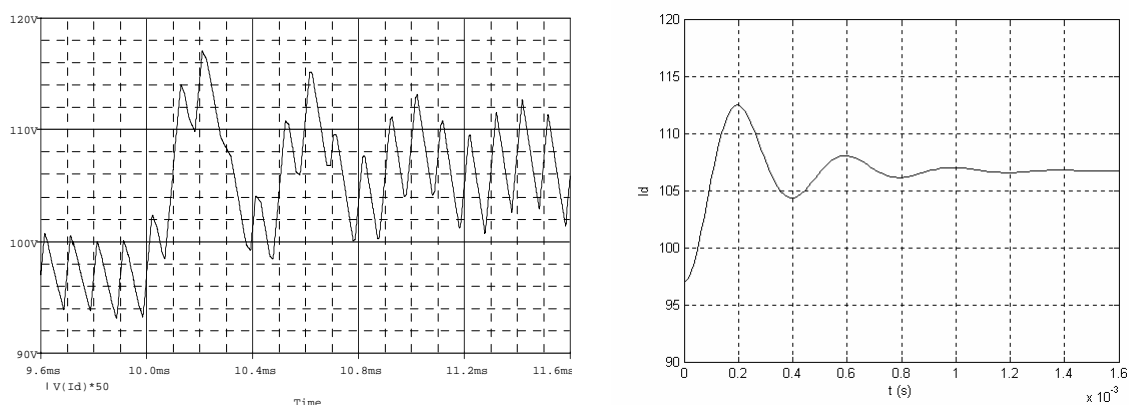
b) Modelo matemático.

Fig. 5-14 - Tensão de saída para aplicação de degrau em I_d .

Desta forma, justifica-se a utilização dos mesmos modelos e da mesma estratégia de modulação para ambos retificadores conectados em Δ .

5.3.2. Simulações em Malha Fechada

A Fig. 5-15 mostra a resposta do sistema operando apenas com a malha de corrente e a aplicação de um degrau de referência na corrente de eixo direto de 97 A para 106,7 A no instante $t = 10$ ms. Verifica-se a mesma dinâmica apresentada quando se considera o sistema com os modelos matemáticos da planta e do controlador.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 5-15 - Resposta ao degrau de referência em I_d .

Os principais sinais relacionados com o funcionamento do sistema de controle completo a e modulação vetorial para o retificador trifásico PWM unidirecional Δ_2 são mostrados a seguir.

Na Fig. 5-16 observa-se tensão de saída regulada em um valor de 400 V com uma pequena ondulação de alta frequência e a aplicação de um degrau de referência para 440 V em $t = 30$ ms. A Fig. 5-17 mostra a comparação desta resposta ao degrau com a resposta do modelo caracterizado pelas expressões (3.42) e (3.43).

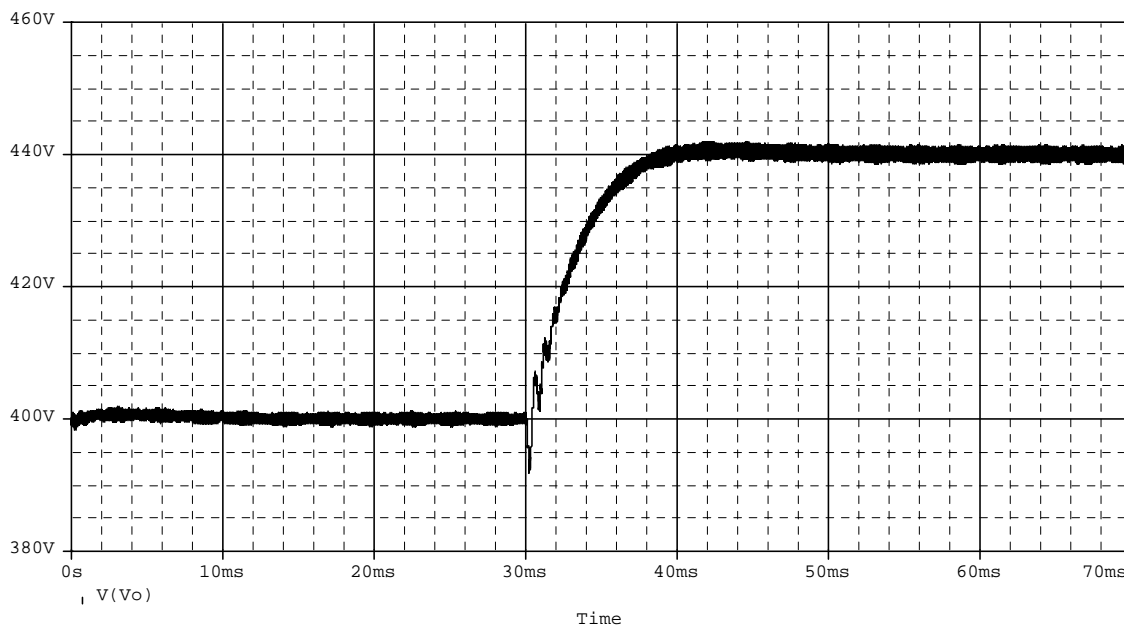


Fig. 5-16 - Tensão de saída.

A Fig. 5-18 mostra correntes de entrada do retificador trifásico PWM unidirecional Δ_2 e a Fig. 5-19 mostra a tensão e a corrente em uma das fases, verificando-se a característica de um sistema com elevado fator de potência.

A Fig. 5-20 apresenta as razões cíclicas das fases A, B e C, verificando o mesmo formato do sinal teórico mostrado na Fig. 4.8, utilizado para o conversor do Capítulo 4.

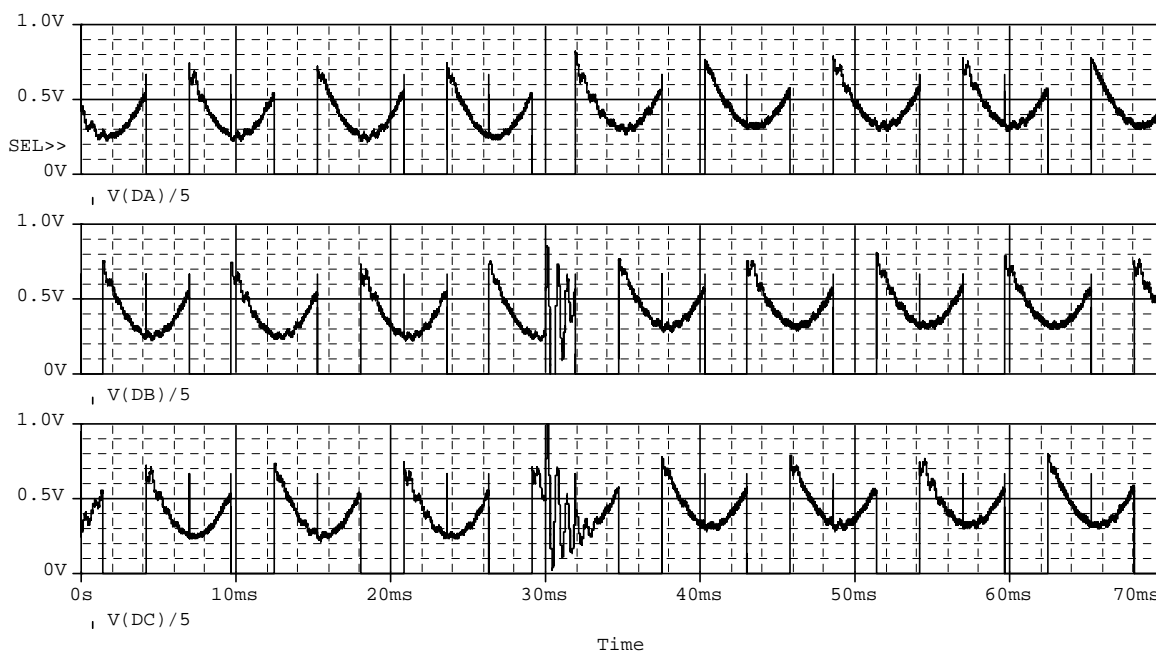


Fig. 5-20 – Razões cíclicas para as fases A, B e C.

5.4. Aplicação da Modulação Vetorial aos Retificadores Unidirecionais Ponte_1 e Ponte_2

A Fig. 5-21 mostra a topologia do retificador trifásico PWM unidirecional de dois níveis Ponte_1 [23] com elevado fator de potência.

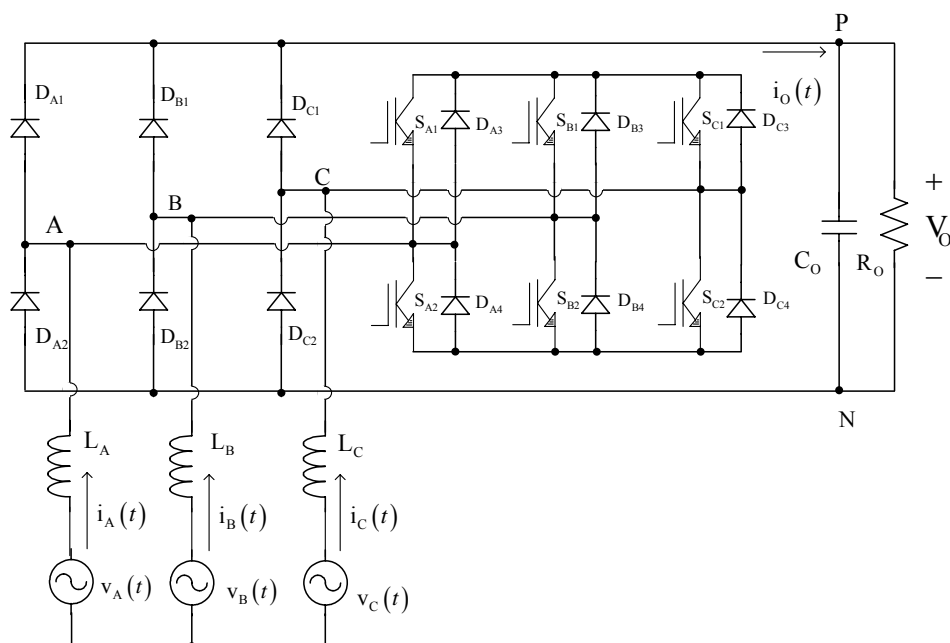


Fig. 5-21 – Retificador unidirecional de dois níveis Ponte_1.

5.4.1. Vetores Utilizados e Sinais de Comando

Para o retificador unidirecional de dois níveis Ponte_1, foram considerados os mesmos vetores disponíveis e a mesma simetria adotada para os outros retificadores já estudados.

A relação entre os sinais de comando dos interruptores e a formação dos vetores segue as seguintes regras:

1. Os interruptores do braço conectado à fase cuja corrente possui maior módulo (I_{MAX}) ficam abertos.
2. Quando $I_{MAX} > 0$ os interruptores inferiores do braço ficam abertos
3. Quando $I_{MAX} < 0$ os interruptores superiores do braço ficam abertos.
4. Quando $I_{MAX} > 0$ os interruptores superiores dos outros braços obedecem à regra de formação dos vetores em que para obter o valor um na respectiva posição, o interruptor deve estar fechado e para obter o valor zero, o interruptor deve estar aberto.
5. Quando $I_{MAX} < 0$ os interruptores inferiores dos outros braços obedecem a regra de formação dos vetores em que para obter o valor zero na respectiva posição, o interruptor deve estar fechado e para obter o valor um, o interruptor deve estar aberto.

Com isso, têm-se no máximo um interruptor conduzindo para a implementação dos vetores não nulos. Assim, as perdas de condução são reduzidas, quando comparadas com as perdas dos retificadores conectados em Y.

Para a implementação dos vetores nulos dois interruptores ficam fechados, obedecendo-se as regras 1, 2 e 3.

Os sinais de comando propostos para implementação destes vetores são mostrados na Tabela 5-1.

Tabela 5-1 – Sinais de comando para os setores.

Setor	Vetor	S _{A1}	S _{B1}	S _{C1}	S _{A2}	S _{B2}	S _{C2}
A+	\vec{V}_1 (1 0 0)	Aberto	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_2 (1 1 0)	Aberto	Fechado	Aberto	Aberto	Aberto	Aberto
	\vec{V}_6 (1 0 1)	Aberto	Aberto	Fechado	Aberto	Aberto	Aberto
	\vec{V}_0 (0 0 0)	Aberto	Fechado	Fechado	Aberto	Aberto	Aberto
C-	\vec{V}_1 (1 0 0)	Aberto	Aberto	Aberto	Aberto	Fechado	Aberto
	\vec{V}_2 (1 1 0)	Aberto	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_3 (0 1 0)	Aberto	Aberto	Aberto	Fechado	Aberto	Aberto
	\vec{V}_0 (0 0 0)	Aberto	Aberto	Aberto	Fechado	Fechado	Aberto
B+	\vec{V}_2 (1 1 0)	Fechado	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_3 (0 1 0)	Aberto	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_4 (0 1 1)	Aberto	Aberto	Fechado	Aberto	Aberto	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Aberto	Fechado	Aberto	Aberto	Aberto
A-	\vec{V}_3 (0 1 0)	Aberto	Aberto	Aberto	Aberto	Aberto	Fechado
	\vec{V}_4 (0 1 1)	Aberto	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_5 (0 0 1)	Aberto	Aberto	Aberto	Aberto	Fechado	Aberto
	\vec{V}_0 (0 0 0)	Aberto	Aberto	Aberto	Aberto	Fechado	Fechado
C+	\vec{V}_4 (0 1 1)	Aberto	Fechado	Aberto	Aberto	Aberto	Aberto
	\vec{V}_4 (0 1 1)	Aberto	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_5 (0 0 1)	Fechado	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_0 (0 0 0)	Fechado	Fechado	Aberto	Aberto	Aberto	Aberto
B-	\vec{V}_5 (0 0 1)	Aberto	Aberto	Aberto	Aberto	Aberto	Aberto
	\vec{V}_6 (1 0 1)	Aberto	Aberto	Aberto	Fechado	Aberto	Aberto
	\vec{V}_1 (1 0 0)	Aberto	Aberto	Aberto	Aberto	Aberto	Fechado
	\vec{V}_0 (0 0 0)	Aberto	Aberto	Aberto	Fechado	Aberto	Fechado

5.4.2. Seqüência de Vetores e Sinais de Comando Para os Sub-Setores

As seqüências de vetores propostas para todos os sub-setores são apresentadas na Tabela 5-2.

Tabela 5-2 – Seqüências de vetores para os sub-setores.

Sub-Setor SS1A	$\overrightarrow{V_1 V_2 V_0 V_2 V_1}$
Sub-Setor SS6A	$\overrightarrow{V_1 V_6 V_0 V_6 V_1}$
Sub-Setor SS1C	$\overrightarrow{V_2 V_1 V_0 V_1 V_2}$
Sub-Setor SS2C	$\overrightarrow{V_2 V_3 V_0 V_3 V_2}$
Sub-Setor SS2B	$\overrightarrow{V_3 V_2 V_0 V_2 V_3}$
Sub-Setor SS3B	$\overrightarrow{V_3 V_4 V_0 V_4 V_3}$
Sub-Setor SS3A	$\overrightarrow{V_4 V_3 V_0 V_3 V_4}$
Sub-Setor SS4A	$\overrightarrow{V_4 V_5 V_0 V_5 V_4}$
Sub-Setor SS4C	$\overrightarrow{V_5 V_4 V_0 V_4 V_5}$
Sub-Setor SS5C	$\overrightarrow{V_5 V_6 V_0 V_6 V_5}$
Sub-Setor SS5B	$\overrightarrow{V_6 V_5 V_0 V_5 V_6}$
Sub-Setor SS6B	$\overrightarrow{V_6 V_1 V_0 V_1 V_6}$

As expressões para as razões cíclicas das três fases em função das razões D_α e D_β são mostradas na Tabela 5-3.

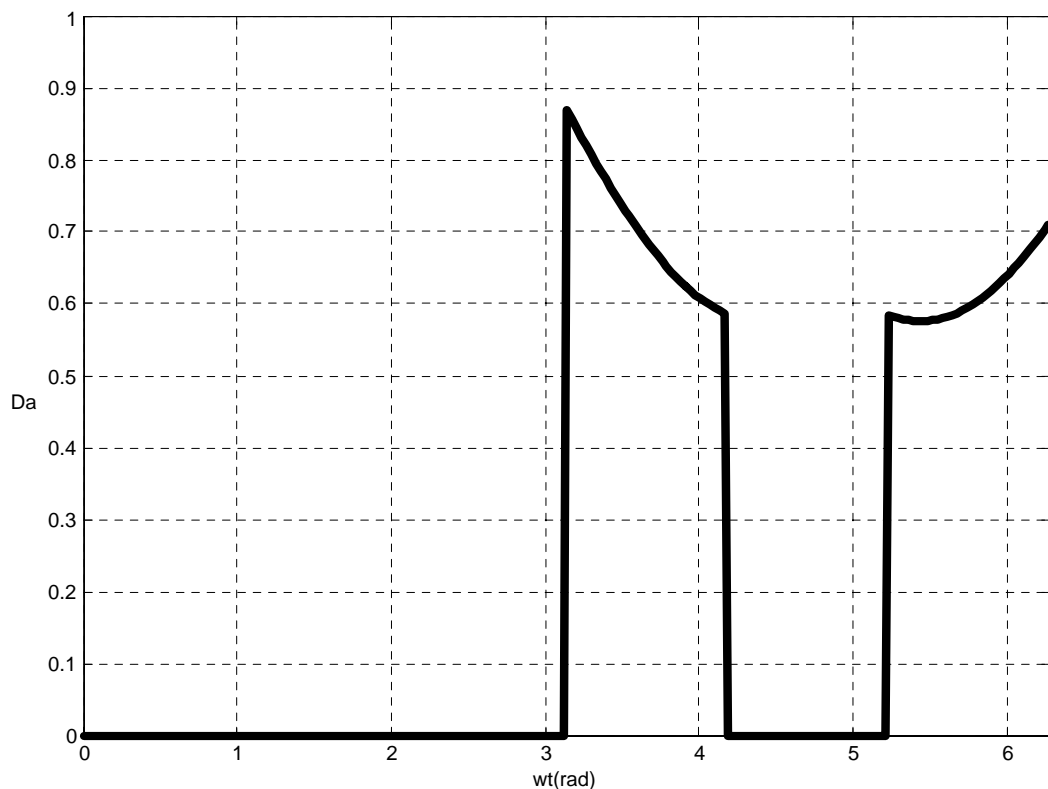
Tabela 5-3 – Razões cíclicas das três fases em função das razões D_α e D_β .

Sub-Setor SS6A e Sub-Setor SS1A	$D_{A1} = 0$ $D_{B1} = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_{C1} = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$	$D_{A2} = 0$ $D_{B2} = 0$ $D_{C2} = 0$
Sub-Setor SS1C e Sub-Setor SS2C	$D_{A1} = 0$ $D_{B1} = 0$ $D_{C1} = 0$	$D_{A2} = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_{B2} = 1 - \sqrt{2} \cdot D_\beta$ $D_{C2} = 0$
Sub-Setor SS2B e Sub-Setor SS3B	$D_{A1} = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_{B1} = 0$ $D_{C1} = 1 - \sqrt{2} \cdot D_\beta$	$D_{A2} = 0$ $D_{B2} = 0$ $D_{C2} = 0$

Tabela 5-3 - Razões cíclicas das três fases em função das razões D_α e D_β (Continuação).

Sub-Setor SS3A e Sub-Setor SS4A	$D_{A1} = 0$ $D_{B1} = 0$ $D_{C1} = 0$	$D_{A2} = 0$ $D_{B2} = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_{C2} = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$
Sub-Setor SS4C e Sub-Setor SS5C	$D_{A1} = 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_{B1} = 1 + \sqrt{2} \cdot D_\beta$ $D_{C1} = 0$	$D_{A2} = 0$ $D_{B2} = 0$ $D_{C2} = 0$
Sub-Setor SS5B e Sub-Setor SS6B	$D_{A1} = 0$ $D_{B1} = 0$ $D_{C1} = 0$	$D_{A2} = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_{B2} = 0$ $D_{C2} = 1 + \sqrt{2} \cdot D_\beta$

A Fig. 5-22 mostra a razão cíclica para a o interruptor S_{A1} em um período de rede, sendo que para as outras fases, as razões cíclicas dos interruptores superiores de cada braço têm o mesmo formato e estão defasadas de $\pm 120^\circ$. O formato das razões cíclicas dos interruptores inferiores é o mesmo, porém os sinais são aplicados em outros semiciclos.

Fig. 5-22 - Razão cíclica para o interruptor S_{A1} .

5.4.3. Modelagem do Retificador

Para a obtenção dos modelos do retificador, o conversor CA-CC unidirecional Ponte_1 será representado através da mesma estrutura utilizada para os retificadores dos capítulos anteriores, conforme a Fig. 5-23.

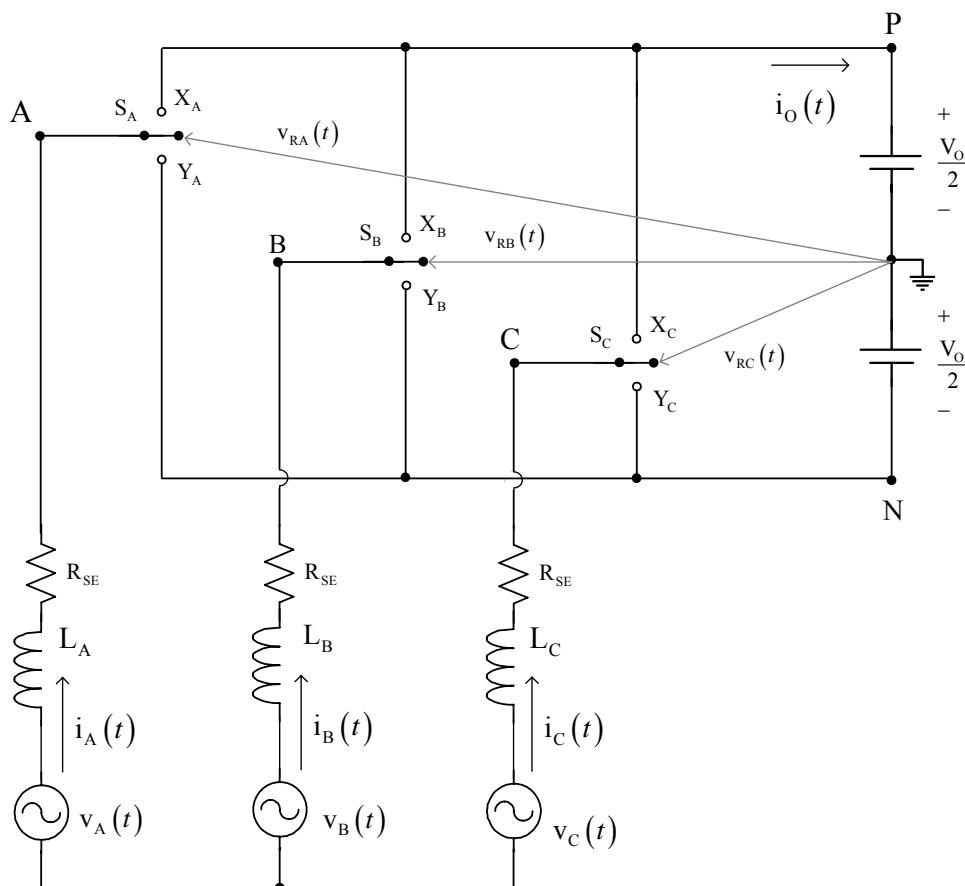


Fig. 5-23 - Circuito simplificado do conversor CA-CC trifásico.

Para o retificador trifásico unidirecional Ponte_1, os estados topológicos do conversor também dependem dos sentidos das correntes de entrada. As relações entre os comandos para obtenção dos estados topológicos equivalentes da estrutura da Fig. 5-21 e da estrutura da Fig. 5-23 são mostrados na Tabela 5-4 para os sub-setores SS1A e SS1C.

As relações para outros sub-setores podem ser obtidas através dos resultados da Tabela 5-1.

Tabela 5-4 - Relações entre os comandos da estrutura da Fig. 5-23 e da estrutura da Fig. 5-21.

Estrutura da Fig. 5-23		Estrutura da Fig. 5-21.		
		S _{A1}	S _{B1}	S _{C1}
Sub-Setor SS1A	$D_A(t) = 1, D_B(t) = 0$ e $D_C(t) = 0$	Aberto	Aberto	Aberto
	$D_A(t) = 1, D_B(t) = 1$ e $D_C(t) = 0$	Aberto	Fechado	Aberto
	$D_A(t) = D_B(t) = D_C(t)$	Dois ou três interruptores fechados		
Estrutura da Fig. 5-23		Estrutura da Fig. 5-21.		
		S _{A2}	S _{B2}	S _{C2}
Sub-Setor SS1C	$D_A(t) = 1, D_B(t) = 0$ e $D_C(t) = 0$	Aberto	Fechado	Aberto
	$D_A(t) = 1, D_B(t) = 1$ e $D_C(t) = 0$	Aberto	Aberto	Aberto
	$D_A(t) = D_B(t) = D_C(t)$	Dois ou três interruptores fechados		

Utilizando a estratégia de modulação proposta, que permite a equivalência entre as estruturas, consideram-se os mesmos modelos desenvolvidos no Capítulo 2, aplicando as mesmas transformações de variáveis e desacoplamento.

5.4.4. Estratégia de Controle e Projeto dos Controladores

A estrutura de controle vetorial é a mesma apresentada no Capítulo 2, sendo o sistema de controle representado pelo diagrama da Fig. 5-24.

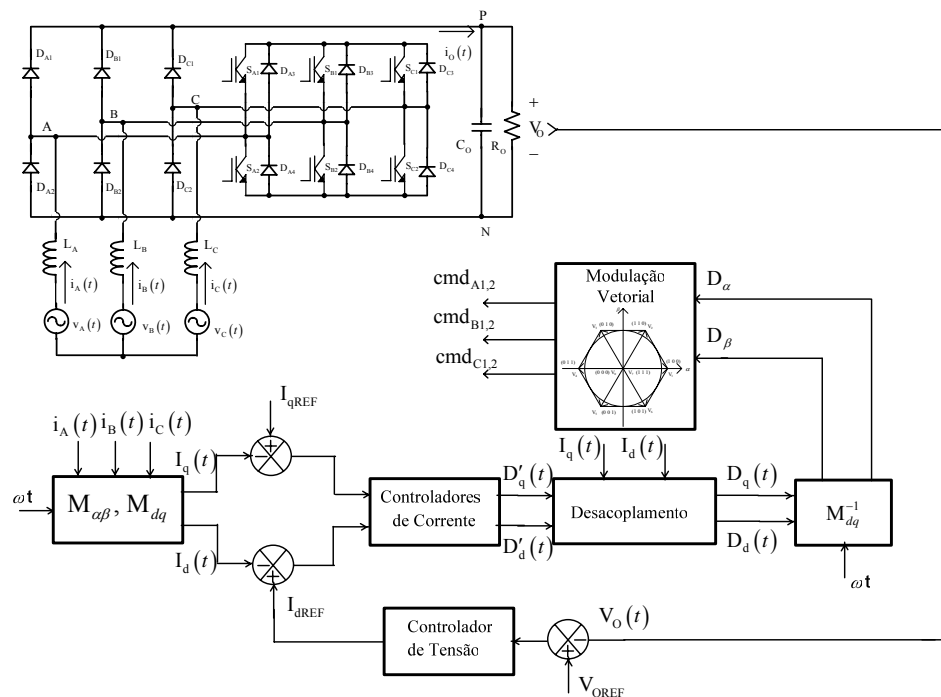


Fig. 5-24 - Diagrama do controle utilizado.

O projeto dos controladores para este conversor será feito utilizando-se os parâmetros apresentados na Tabela 2.11.

Como se considerou os mesmos parâmetros e os mesmos modelos utilizados para o retificador Y_1, utiliza-se os mesmos controladores projetados no capítulo 3.

5.4.5. Simulações em Malha Aberta

A verificação da aplicação da modulação vetorial ao retificador trifásico PWM unidirecional Ponte_1 foi realizada através de simulação digital. Os parâmetros utilizados nesta simulação são apresentados na Tabela 2.11.

Foram realizadas simulações em malha aberta com o objetivo de validar a modelagem apresentada na seção 2.3.1.

Foi aplicado um degrau em D_d' de 0,518 a 0,53 e $D_q' = 0$ no instante $t = 30$ ms, considerando o desacoplamento das variáveis e observado o comportamento da corrente de eixo direto e da corrente de eixo em quadratura como mostrado na Fig. 5-25.

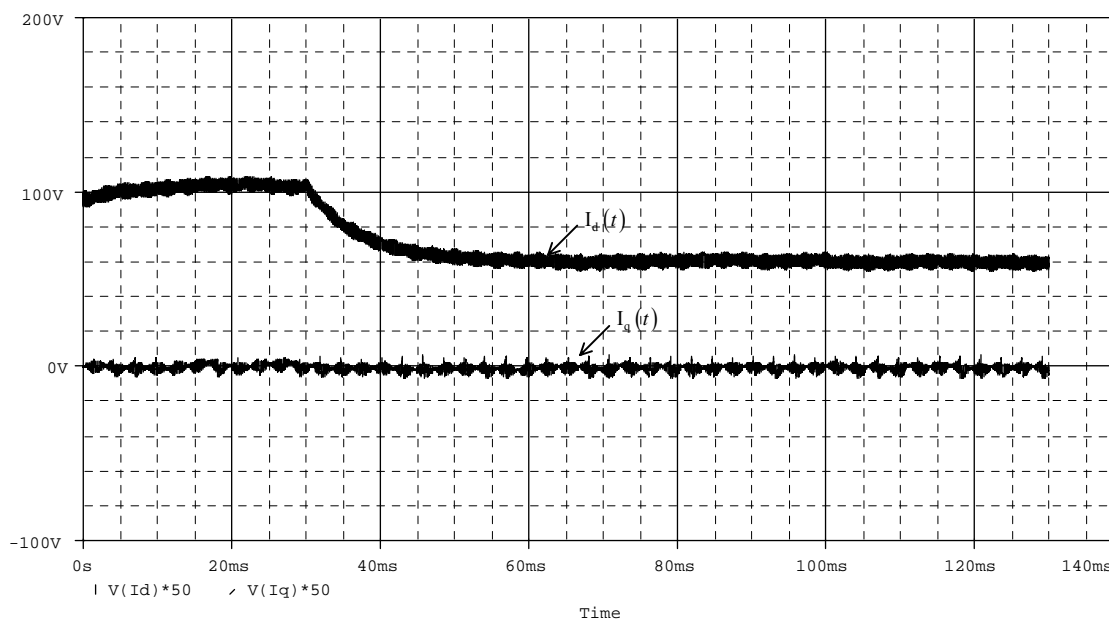
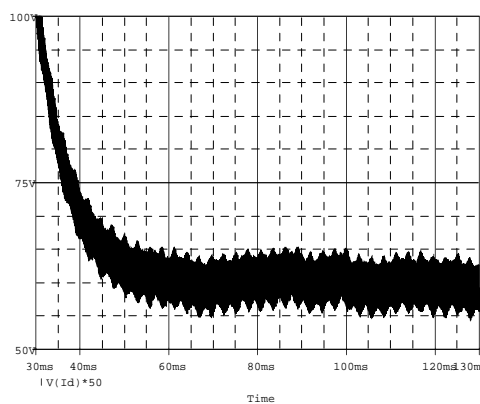


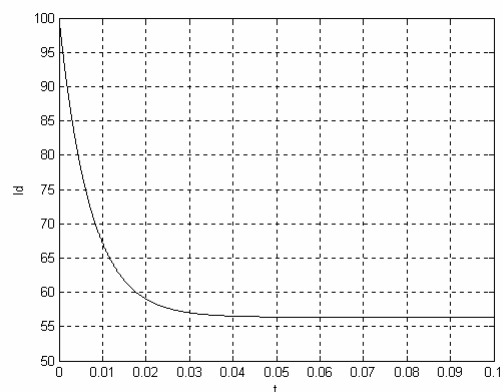
Fig. 5-25 - Corrente de eixo direto e corrente de eixo em quadratura com desacoplamento.

Os resultados da Fig. 5-25 são semelhantes aos obtidos para o retificador bidirecional e para outros retificadores unidirecionais.

No detalhe da Fig. 5-26 observa-se a mesma dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.44).



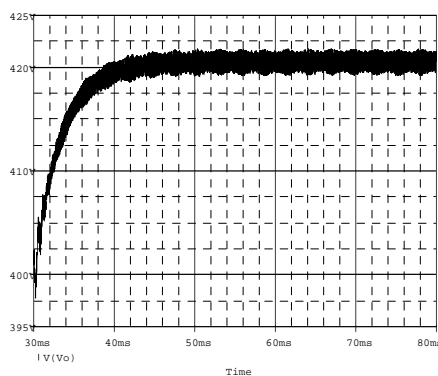
a) Simulação do retificador.



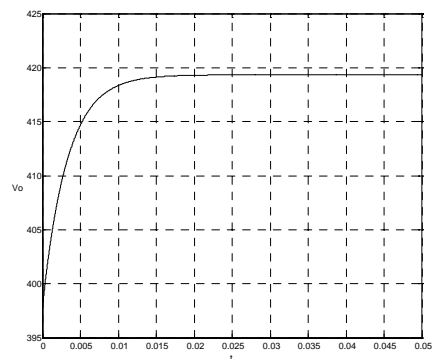
b) Modelo matemático.

Fig. 5-26 - Corrente de eixo direto para aplicação de degrau em D_q .

Para a análise da malha de tensão foi aplicado um degrau em I_d de 97 A para 106,7 A no instante $t = 30$ ms e observado o comportamento da tensão de saída como mostrado na Fig. 5-27 (a), onde se observa na Fig. 5-27 (b) a mesma resposta dinâmica obtida com a aplicação de degrau ao modelo da expressão (2.60), para o retificador bidirecional e para outros retificadores unidirecionais.



a) Simulação do retificador.



b) Modelo matemático.

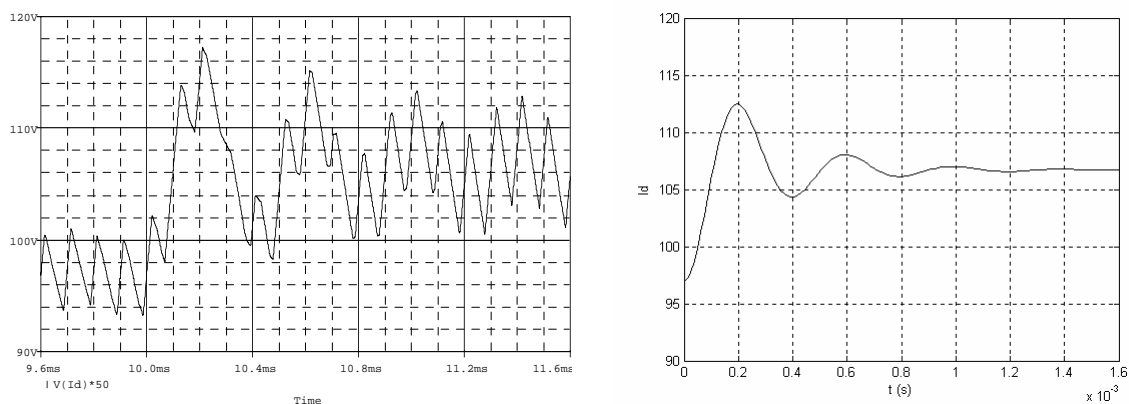
Fig. 5-27 - Tensão de saída para aplicação de degrau em I_d .

Desta forma justifica-se a utilização dos mesmos modelos para todos os retificadores estudados.

5.4.6. Simulações em Malha Fechada

A Fig. 5-28 mostra a resposta do sistema operando apenas com a malha de corrente e a aplicação de um degrau de referência na corrente de eixo direto.

Verifica-se a mesma dinâmica apresentada quando se considera o sistema com os modelos matemáticos da planta e do controlador.



a) Simulação do retificador.

b) Modelo matemático.

Fig. 5-28 - Resposta ao degrau de referência em I_d .

Os principais sinais relacionados com o funcionamento do sistema de controle completo a e modulação vetorial para o retificador trifásico PWM unidirecional Ponte_1 são mostrados a seguir.

Na Fig. 5-29 observa-se tensão de saída regulada em um valor de 400 V com uma pequena ondulação de alta frequência e a aplicação de um degrau de referência para 440 V em $t = 30$ ms. A Fig. 5-30 mostra a comparação desta resposta ao degrau com a resposta do modelo caracterizado pelas expressões (3.42) e (3.43).

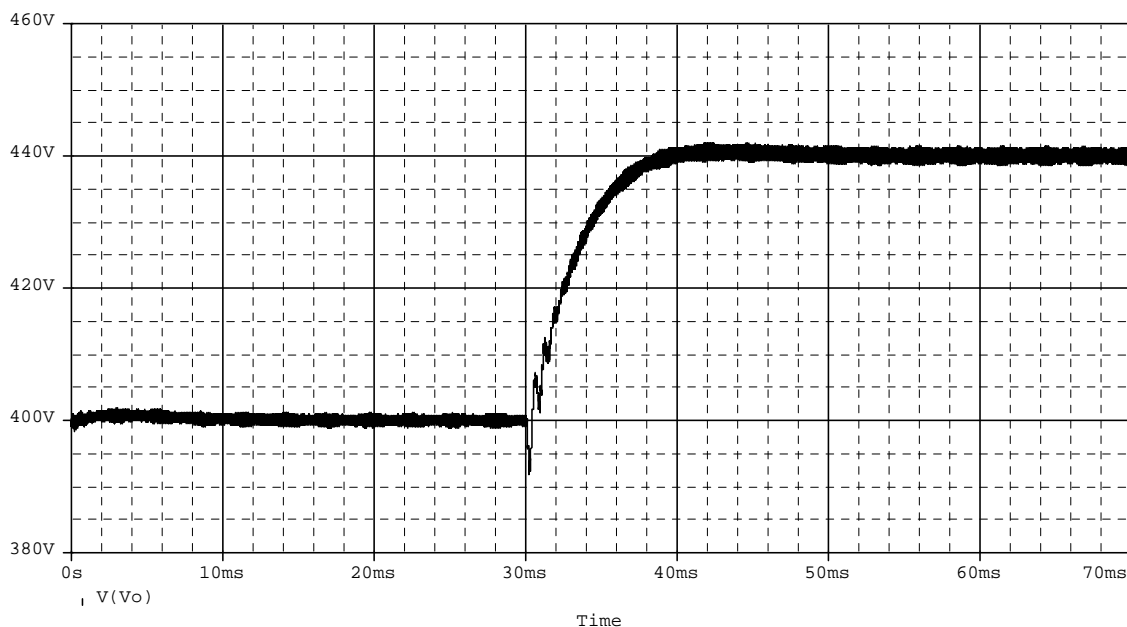
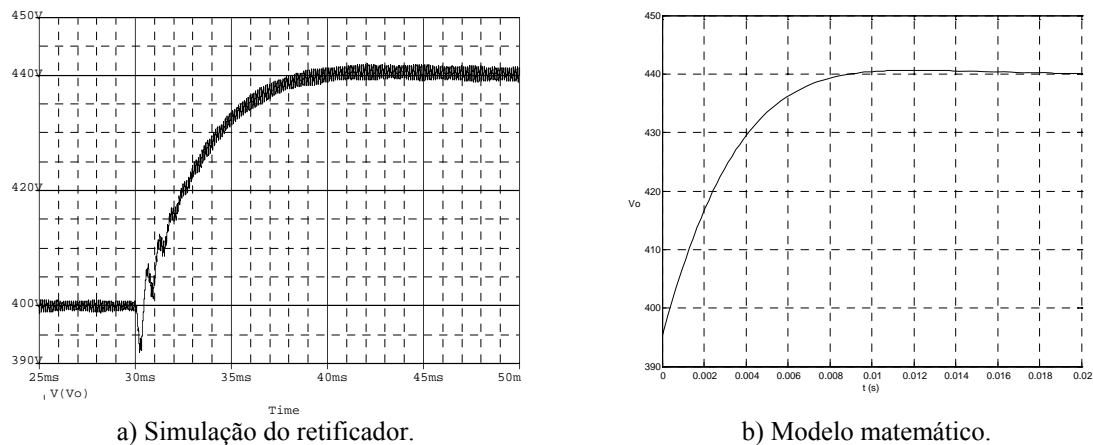


Fig. 5-29 - Tensão de saída.

Fig. 5-30 - Resposta ao degrau de referência em V_o .

A Fig. 5-31 mostra correntes de entrada do retificador trifásico PWM unidirecional Ponte_1 e a Fig. 5-32 mostra a tensão e a corrente em uma das fases, verificando-se a característica de um sistema com elevado fator de potência.

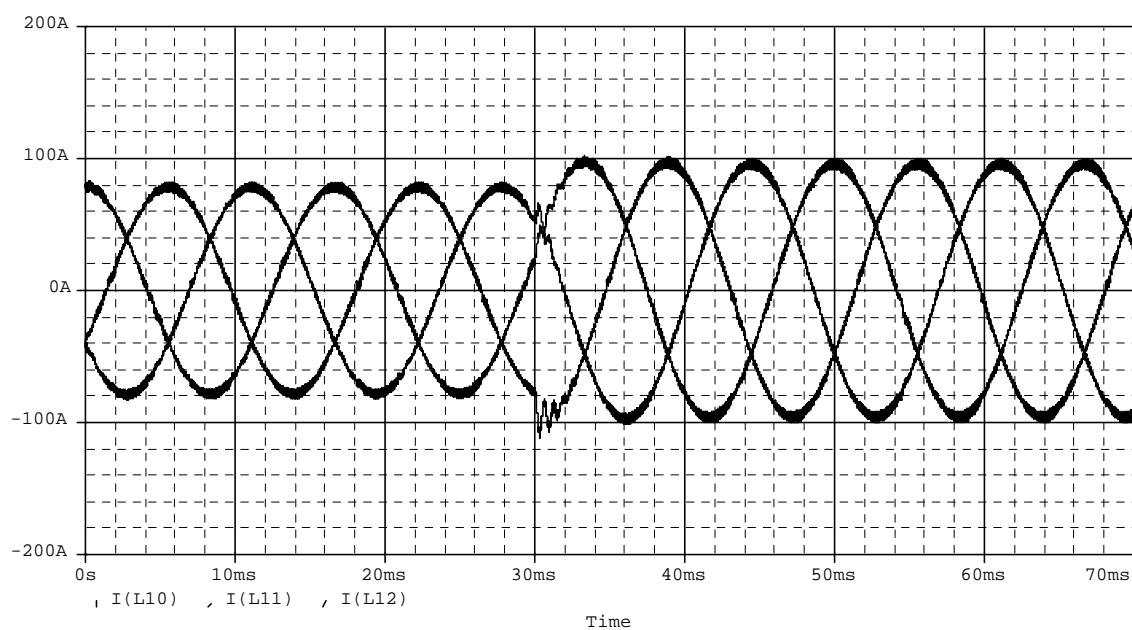


Fig. 5-31 - Correntes nas fases A, B e C.

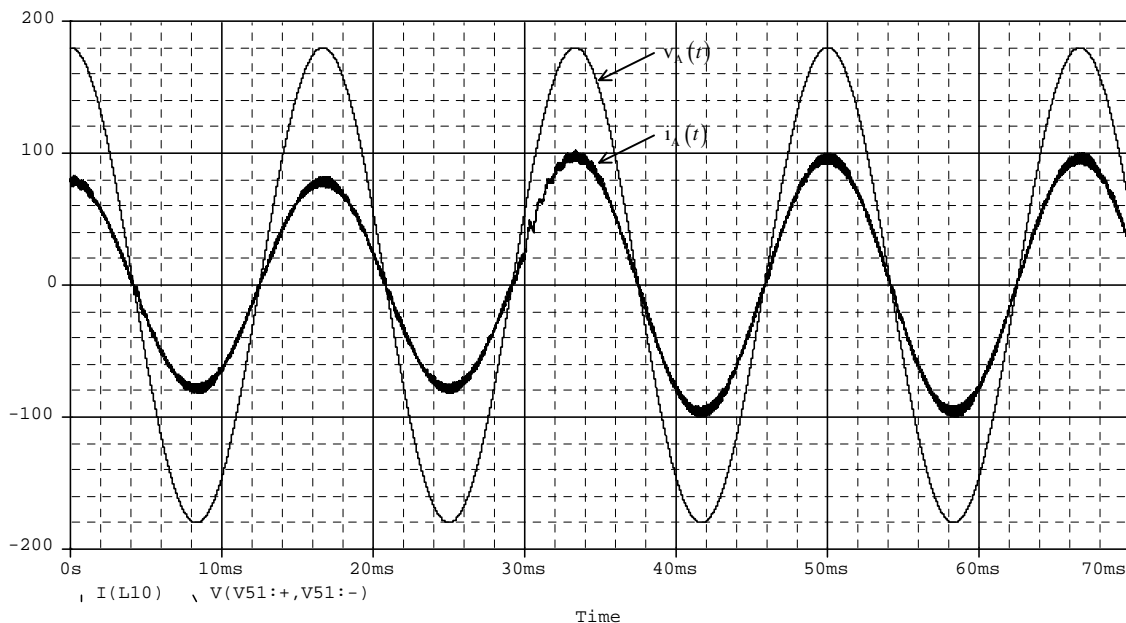


Fig. 5-32 - Tensão e corrente em uma das fases.

A Fig. 5-33 apresenta as razões cíclicas para os interruptores S_{A1} , S_{B1} e S_{C1} , verificando o mesmo formato do sinal teórico mostrado na Fig. 5-22.

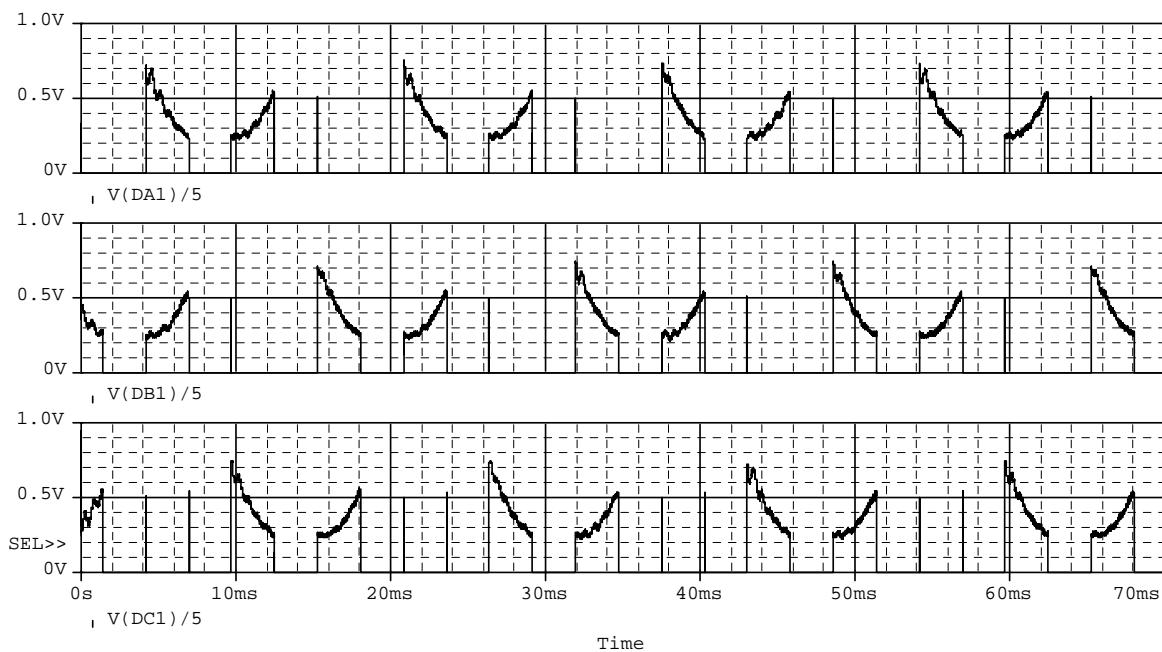


Fig. 5-33 - Razões cíclicas para os interruptores S_{A1} , S_{B1} , e S_{C1} .

Verifica-se que esta estratégia de modulação também pode ser aplicada ao retificador unidirecional Ponte_2 [33] apresentado na Fig. 5-34.

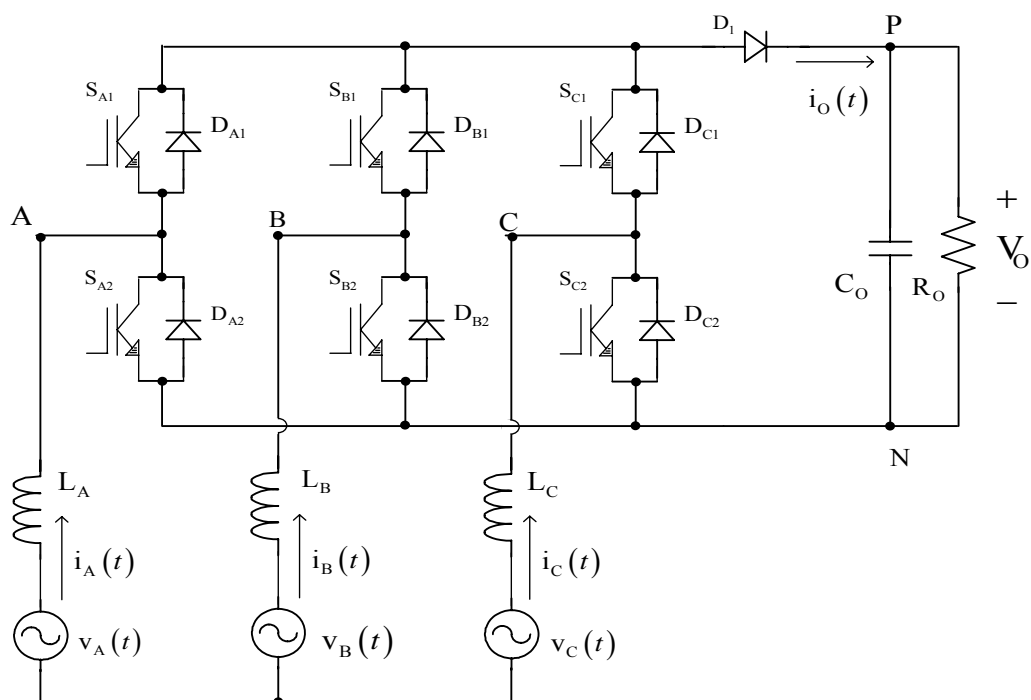


Fig. 5-34 - Retificador unidirecional de dois níveis Ponte_2.

Neste caso, foram consideradas as mesmas condições para a aplicação da modulação vetorial e do controle vetorial aos outros retificadores unidirecionais, observando-se na as correntes de entrada do retificador.

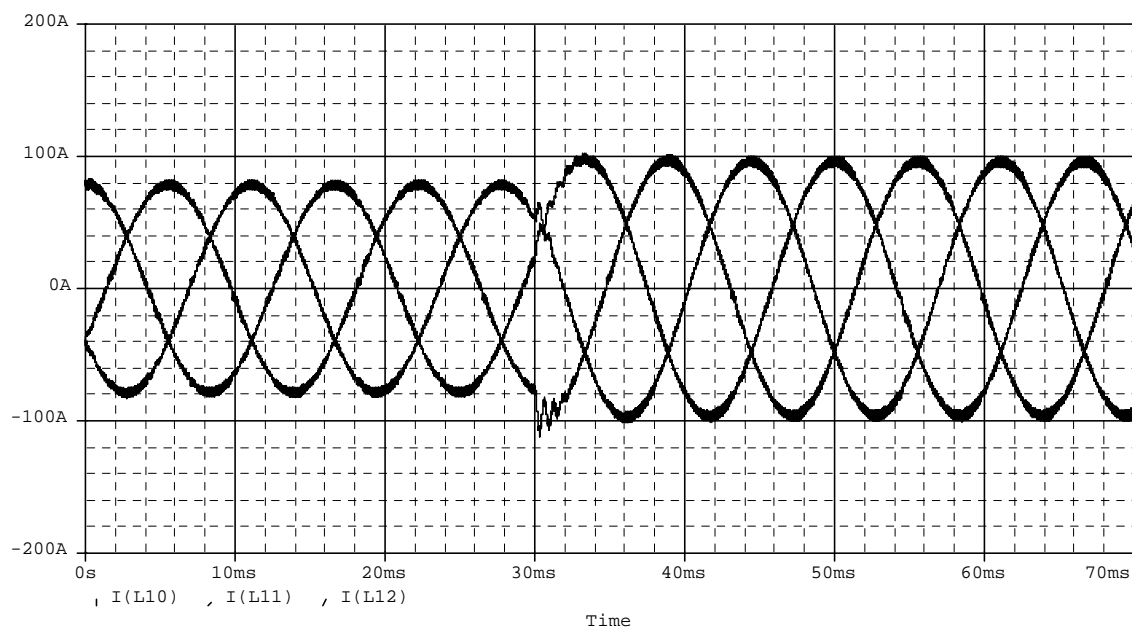


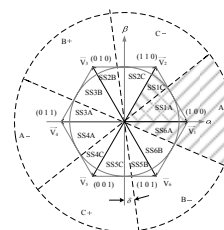
Fig. 5-35 – Correntes de entrada.

5.5. Análise dos Resultados

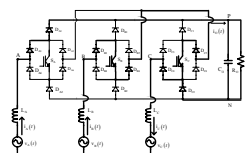
Para todos retificadores unidirecionais a metodologia utilizada para a aplicação da modulação vetorial foi a mesma. Esta metodologia pode ser resumida pelos passos apresentados na Tabela 5-5.

Tabela 5-5 – Metodologia utilizada para a aplicação da modulação vetorial aos retificadores unidirecionais.

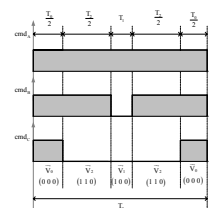
1. Identificação dos setores dos vetores e setores das correntes e definição dos sub-setores.



2. Análise dos estados topológicos do conversor, verificação dos vetores disponíveis em cada sub-setor e identificação dos sinais de comando associados à implementação dos vetores desejados.



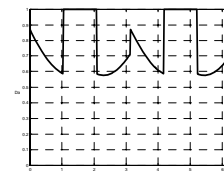
3. Definição da lógica mais adequada para disposição dos sinais de comando e como consequência, a distribuição dos vetores.



4. Determinação dos intervalos de aplicação dos vetores e cálculo das funções para as razões cíclicas em cada um dos sub-setores.

$$\begin{cases} D_A = 1 \\ D_B = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \\ D_C = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \end{cases}$$

5. Obtenção dos sinais de comando desejados através da comparação do sinal de razão cíclica com um sinal triangular.



A etapa um é comum a todos retificadores estudados, ou seja, foram utilizadas as mesmas definições de setores e sub-setores para todos os retificadores analisados.

Para os retificadores unidirecionais, a etapa dois é de grande importância, pois existe a relação dos vetores disponíveis e dos sinais de comando com os sentidos das correntes nas fases do retificador.

Na etapa três são definidas as características da modulação desejada em função do tipo de estrutura (conexão em Y, em Δ ou em ponte). As etapas dois e três são realizadas previamente, fora da operação do conversor.

O modulador PWM, permite a obtenção dos vetores desejados, nos intervalos de aplicação adequados, sem necessidade de uma lógica de temporização e cálculo dos intervalos de aplicação dos vetores, ou para a permuta vetores.

Na operação do conversor, não há necessidade de definição dos setores dos vetores, apenas a imposição dos setores de corrente (sincronizados com as tensões de entrada) e a utilização das funções de razão cíclica pré-definidas para cada um destes setores.

A Fig. 5-36 mostra o formato da razão cíclica média associada aos principais retificadores estudados.

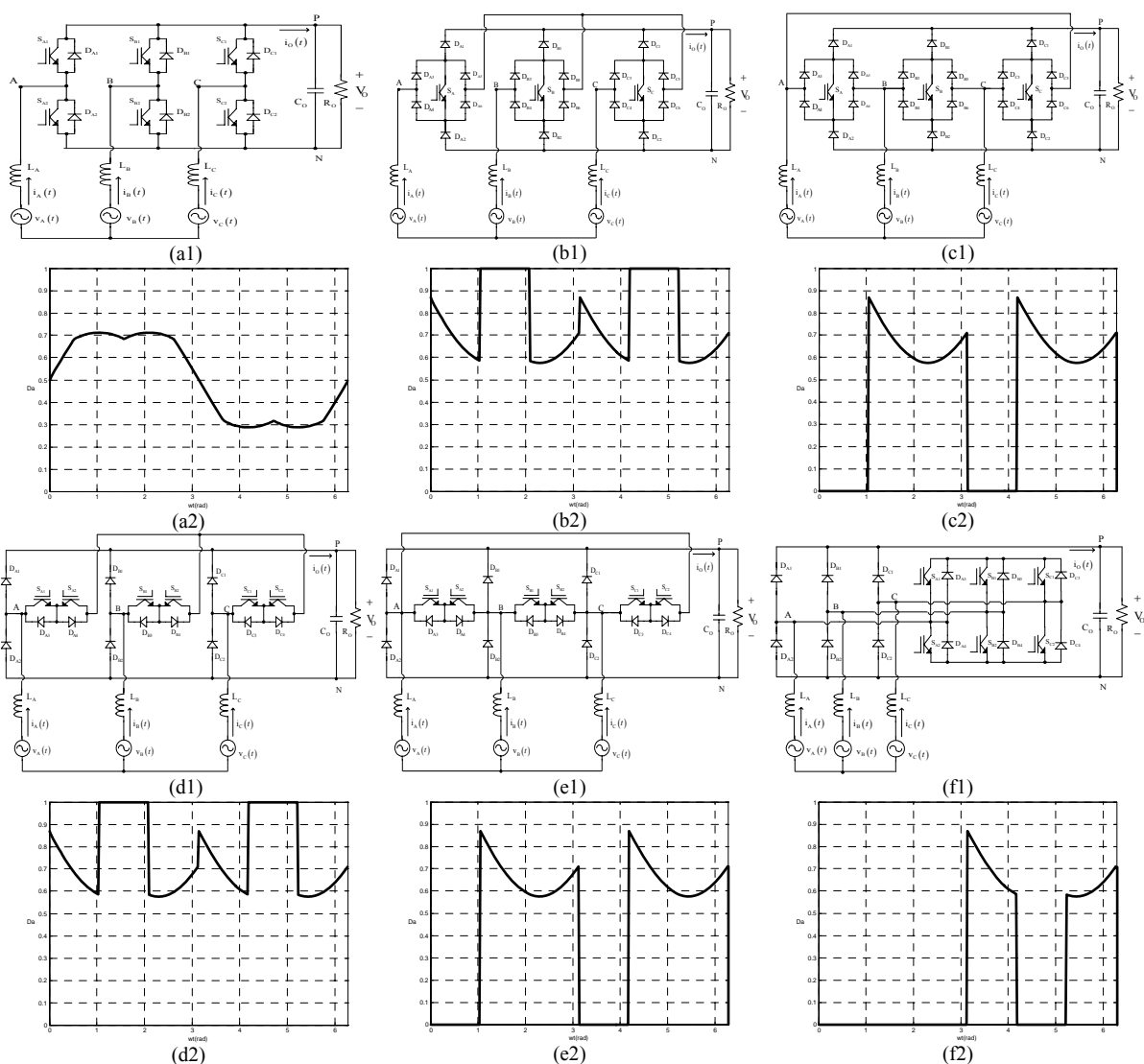


Fig. 5-36 – Razão cíclica média para diferentes retificadores utilizando modulação vetorial.

Como principal diferença entre a aplicação da modulação vetorial para os retificadores unidirecionais conectados em Δ e em ponte para os retificadores unidirecionais conectados em Y, destaca-se o fato que nestes casos, foram escolhidas seqüências de vetores de forma que um dos interruptores fique aberto durante o intervalo de duração de um setor (c2), (e2) e (f2).

Com isto, têm-se uma diminuição das perdas por condução para os interruptores.

Os seis retificadores unidirecionais estudados utilizam a mesma seqüência de vetores, e para a adaptação da seqüência utilizada no retificador bidirecional, é necessário eliminar o vetor $\overline{V_7}$ e manter a mesma seqüência para o setor quando a corrente de maior módulo é negativa.

Quando esta corrente é positiva, deve-se inverter a ordem dos vetores não nulos.

A Tabela 5-6 mostra exemplos das seqüências de vetores utilizadas nos retificadores estudados, para a verificação desta lógica em alguns setores.

Tabela 5-6 - Seqüências de vetores utilizados.

Setor	Bidirecional	Sub-Setor	Unidirecionais Y	Unidirecionais Δ	Unidirecionais em Ponte	Sinal de I
Setor 1	$\overline{V_0 V_1 V_2 V_7 V_2 V_1 V_0}$	SS1A	$\overline{V_0 V_2 V_1 V_2 V_0}$	$\overline{V_1 V_2 V_0 V_2 V_1}$	$\overline{V_1 V_2 V_0 V_2 V_1}$	+
		SS1C	$\overline{V_0 V_1 V_2 V_1 V_0}$	$\overline{V_2 V_1 V_0 V_1 V_2}$	$\overline{V_2 V_1 V_0 V_1 V_2}$	-
Setor 2	$\overline{V_0 V_3 V_2 V_7 V_2 V_3 V_0}$	SS2C	$\overline{V_0 V_3 V_2 V_3 V_0}$	$\overline{V_2 V_3 V_0 V_3 V_2}$	$\overline{V_2 V_3 V_0 V_3 V_2}$	-
		SS2B	$\overline{V_0 V_2 V_3 V_2 V_0}$	$\overline{V_3 V_2 V_0 V_2 V_3}$	$\overline{V_3 V_2 V_0 V_2 V_3}$	+

Utilizando esta mesma metodologia de análise, verifica-se que podem ser aplicadas as mesmas seqüências de vetores para outros retificadores unidirecionais de um mesmo grupo (retificadores conectados em Y, retificadores conectados em Δ e retificadores conectados em ponte).

No que se refere à modelagem dos retificadores, verifica-se que podem ser utilizados os mesmos modelos para todas as estruturas estudadas.

Esta comprovação pode ser feita através da análise dos resultados da Fig. 5-37 e da Fig. 5-38 em que são apresentadas, respectivamente, as respostas ao degrau para a malha de corrente (d), (e) e (f) e para a malha de tensão (g), (h) e (i) em seis conversores estudados (a), (b) e (c).

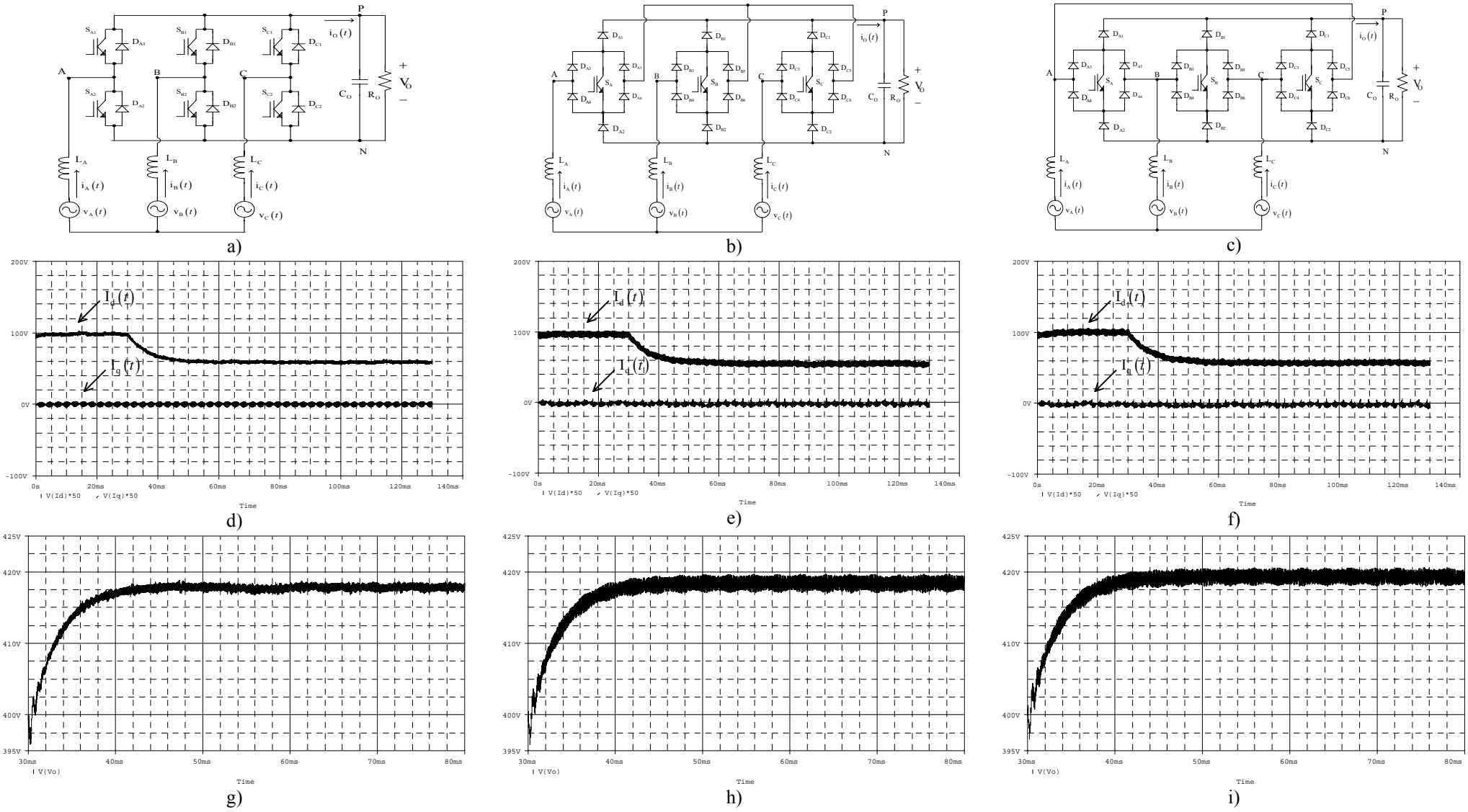


Fig. 5-37 – Resposta ao degrau para as malhas de corrente e de tensão em diferentes retificadores.

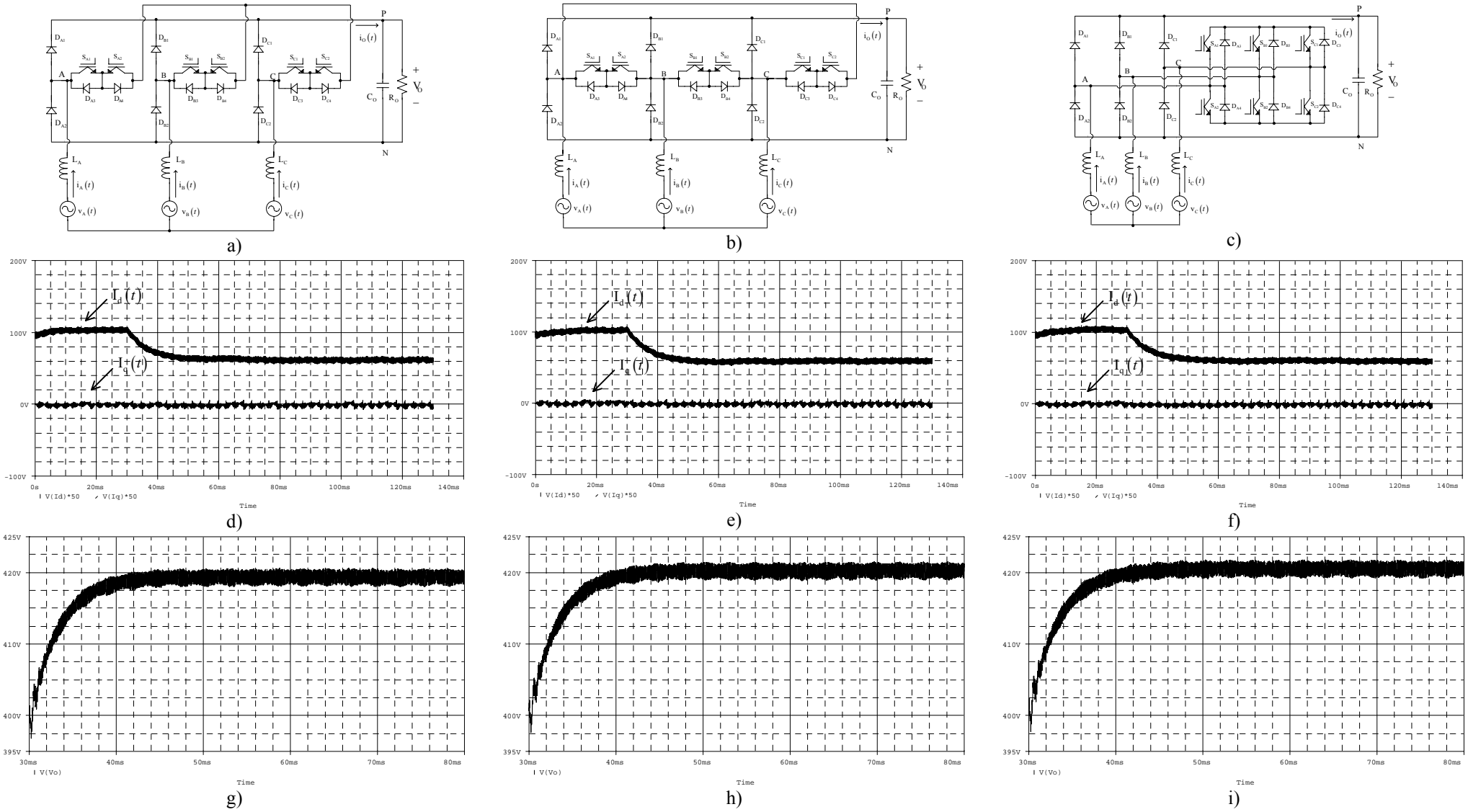


Fig. 5-38 – Resposta ao degrau para as malhas de corrente e de tensão em diferentes retificadores.

Para verificar o efeito da aplicação da modulação vetorial sobre o rendimento dos retificadores, mais especificamente sobre as perdas por comutação, foram realizadas simulações utilizando os modelos realísticos dos semicondutores.

A estratégia de controle e os parâmetros considerados são os mesmos das simulações anteriores, o modelo utilizado para os interruptores foi o do IGBT BSM50GB100D e o modelo utilizado para os diodos foi o do diodo HFA25TB60. Nestas simulações foram retiradas as resistências em série com os indutores de entrada.

Os resultados das simulações para diferentes frequências de comutação são apresentados na Tabela 5-7.

Tabela 5-7 – Rendimento dos retificadores para diferentes estratégias de modulação.

Modulação	Controle	Retificador	Frequência	Rendimento
Vetorial	Vetorial	Y_1	10kHz	95,44%
PWM Complementar	Vetorial	Y_1	10kHz	95,05%
PWM Convencional	Variáveis Reais	Y_1	10kHz	95,42%
Vetorial	Vetorial	Y_1	100kHz	91,65%
PWM Complementar	Vetorial	Y_1	100kHz	87,10%
PWM Convencional	Variáveis Reais	Y_1	100kHz	91,61%

A modulação PWM complementar aplicada ao retificador Y_1 utiliza uma lógica em que no semi-ciclo negativo das tensões de entrada é aplicado ao interruptor o sinal complementar ao obtido pela comparação da transformação inversa das razões cíclicas de eixo direto e de eixo em quadratura com a triangular (Fig. 5-39).

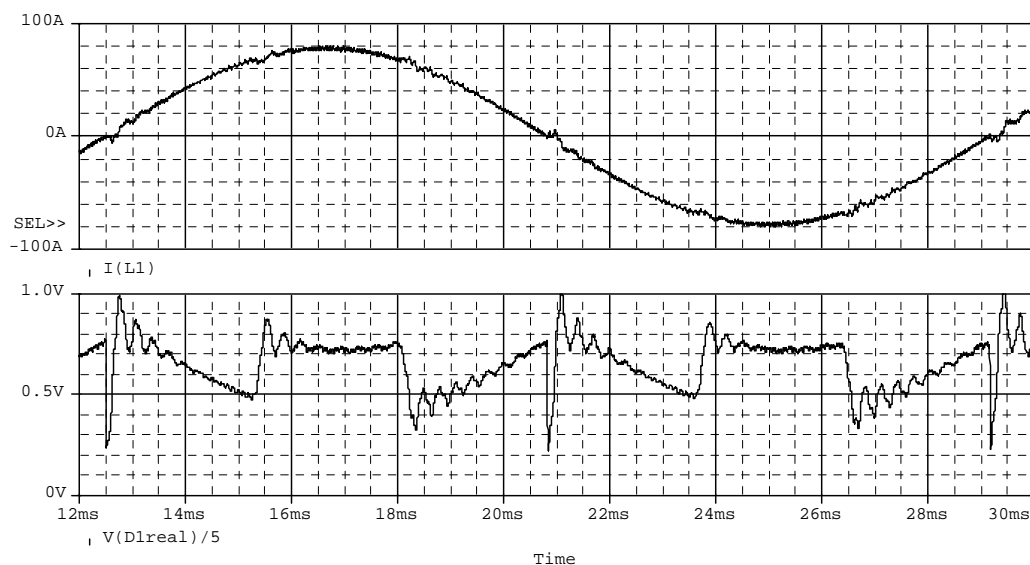


Fig. 5-39 – Corrente e razão cíclica para a fase A utilizando a modulação PWM complementar.

Neste caso, a razão cíclica não fica saturada e o rendimento do conversor é menor, no caso da modulação PWM convencional e da modulação vetorial, ocorrem períodos em que há saturação ($D(t) \geq 1$) como apresentado na Fig. 5-40.

Com isso, o rendimento do conversor é mais elevado, porém, no caso da modulação PWM convencional aparecem maiores distorções nas correntes de entrada [22][57].

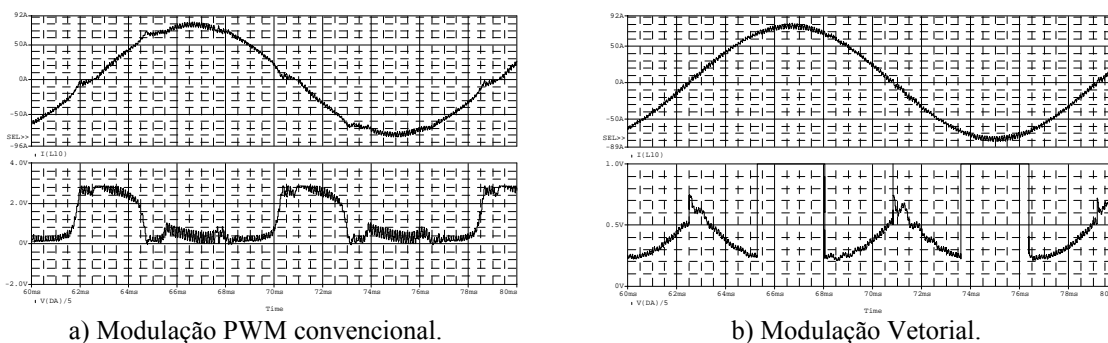


Fig. 5-40 – Corrente e razão cíclica para a fase A.

Para uma breve análise comparativa sobre os diferentes arranjos de semicondutores dos retificadores estudados, foram utilizados os parâmetros de desempenho definidos em [24] e apresentados nas expressões (5.1), (5.2) e (5.3).

$$\mu_S = \frac{P_O}{\sum_n V_{S_{nMAX}} \cdot I_{S_{nMAX}}}, \quad \mu_D = \frac{P_O}{\sum_n V_{D_{nMAX}} \cdot I_{D_{nMAX}}} \quad (5.1)$$

$$p_S = \frac{\sum_n I_{S_{nMED}}}{I_O}, \quad p_D = \frac{\sum_n I_{D_{nMED}}}{I_O} \quad (5.2)$$

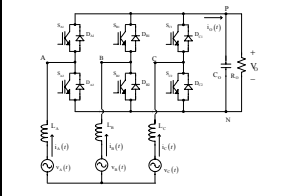
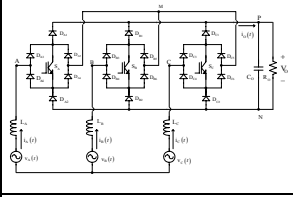
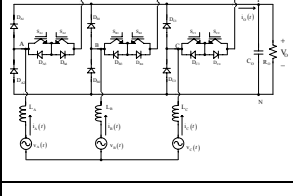
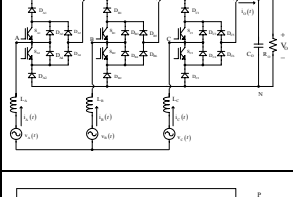
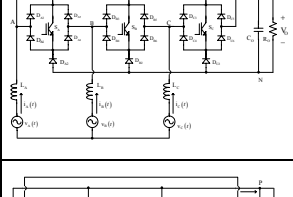
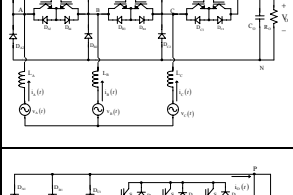
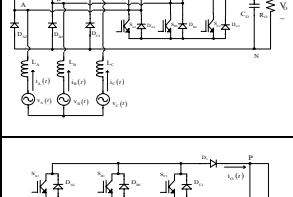
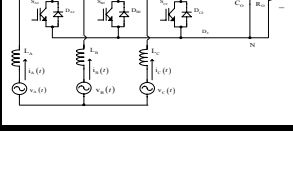
$$s_p = \frac{\sum_n V_{S_{nMAX}} \cdot I_{S_{nMED}}}{P_O} \quad (5.3)$$

Sendo:

- μ_S, μ_D - fator de utilização dos interruptores ou diodos;
- p_S, p_D - fator de perda por condução dos interruptores ou diodos;
- s_p - fator de perda por comutação dos interruptores, representa a potência comutada média dos interruptores de um conversor.

A Tabela 5-8 mostra uma comparação dos resultados de simulação dos retificadores estudados, incluindo o número de interruptores (S), o número de diodos de baixa frequência (D_{BF}), o número de diodos de alta frequência (D_{AF}) e os índices de desempenho definidos anteriormente.

Tabela 5-8 – Comparação entre retificadores.

	S	μ_S	p_S	s_P	D_{BF}	D_{AF}	μ_D	P_D
	6	0,102	0,474	0,474	0	6	0,102	2,510
	3	0,205	1,013	1,013	6	12	0,034	6,073
	6	0,102	1,013	1,013	0	12	0,051	3,042
	6	0,102	1,013	1,013	0	18	0,034	5,115
	3	0,247	0,507	0,507	0	18	0,047	4,967
	6	0,123	0,487	0,487	0	12	0,056	2,546
	6	0,123	0,487	0,487	0	12	0,051	2,587
	6	0,123	0,487	0,487	0	7	0,087	3,63

Para uma análise mais aprofundada sobre os arranjos de interruptores destas estruturas é necessária a dedução analítica dos esforços de tensão e corrente e índices de desempenho para todas as estruturas.

A escolha de uma ou outra estrutura é influenciada por fatores como o número de interruptores, número de diodos de alta e baixa frequência, rendimento, distribuição de perdas, capacidade de tensão e corrente dos semicondutores, etc.

5.6. Conclusão

Foram aplicadas as estratégias de modulação vetorial aos retificadores unidirecionais de dois níveis Y_2 , Δ_2 , Ponte_1 e Ponte_2.

A mesma estratégia de modulação desenvolvida no Capítulo 3 pode ser aplicada a outros retificadores unidirecionais de dois níveis conectados em Y e a estratégia de modulação desenvolvida no Capítulo 4 pode ser aplicada a outros retificadores unidirecionais de dois níveis conectados em Δ .

A modulação desenvolvida para o retificador unidirecional de dois níveis Ponte_1 é semelhante à dos casos anteriores, em que um interruptor fica aberto ou fechado durante todo um setor de corrente, podendo ser aplicada a outros retificadores conectados em ponte.

Para todos os retificadores a seqüência de vetores é a mesma, sendo necessária a adaptação destas seqüências quando ocorre a inversão do sentido de corrente em cada fase, para os retificadores unidirecionais.

Verifica-se também que os modelos desenvolvidos no Capítulo 2 podem ser aplicados a todos retificadores estudados com a utilização de uma lógica adequada para a adaptação dos sinais de comando à modulação utilizada.

Uma metodologia para a aplicação da modulação vetorial aos retificadores unidirecionais de dois níveis foi proposta, na qual não é necessário definir-se os setores dos vetores, apenas a imposição dos setores de corrente em fase com as tensões de entrada.

Foram verificados através de simulação, os efeitos da aplicação de diferentes técnicas de modulação sobre as perdas por comutação e analisados os índices de desempenho dos arranjos de semicondutores para os retificadores estudados.

Capítulo 6 – Projeto e Implementação do Estágio de Potência

6.1. Introdução

Neste capítulo serão apresentadas as etapas para o projeto e implementação do estágio de potência de um protótipo para o ensaio das estruturas apresentadas nos capítulos 3 e 4.

Para a implementação de um protótipo que permita a realização dos retificadores conectados em Y e em Δ foi utilizado um “*jumper*” de potência que permite alternar entre estas estruturas. O dimensionamento dos indutores e capacitores foi igual para as duas estruturas e o dimensionamento dos componentes semicondutores foi realizado para atender estrutura que exigisse maiores esforços.

Também é apresentada uma breve descrição do hardware utilizado para o condicionamento de sinais e a troca de informações entre o estágio de potência e o DSP TMS320LF2407.

Como parte destes circuitos têm-se os sensores de tensão e corrente, os circuitos de comando (“*drivers*”), a fonte auxiliar, os transformadores de sincronismo, os circuitos para a conversão digital-analógica (D/A), etc.

6.2. Dimensionamento do Estágio de Potência

Com a aplicação das estratégias de modulação dos capítulos anteriores o dimensionamento do estágio de potência é realizado aplicando as expressões desenvolvidas em [27] e no Anexo D.

Apresenta-se nas seções a seguir, os cálculos para o dimensionamento dos indutores de entrada, do capacitor de saída e dos esforços de tensão e corrente nos semicondutores, considerando-se as especificações de projeto apresentadas na Tabela 6.1.

Tabela 6.1 – Especificações de projeto.

Potência de saída (P_O)	20 kW
Tensão de saída (V_O)	700 V
Tensão eficaz de fase de alimentação (V_{EF})	220 V
Frequência da rede (f_F)	60 Hz
Frequência de comutação (f_S)	10 kHz
Rendimento do conversor (η)	95%
Ondulação na corrente de fase (porcentagem da corrente de pico) ($\Delta I\%$)	10%
Ondulação na tensão de saída (porcentagem da tensão de saída nominal) ($\Delta V_O\%$)	0,5%

6.2.1. Cálculos Preliminares e Condições de Operação

- Corrente eficaz de entrada:

$$I_{EF} = \frac{P_O}{3 \cdot \eta \cdot V_{EF}} = 32 \text{ A} \quad (6.1)$$

- Corrente de pico e tensão de pico:

$$I_p = \sqrt{2} \cdot I_{EF} = 45,23 \text{ A}, \quad V_p = \sqrt{2} \cdot V_{EF} = 311 \text{ V} \quad (6.2)$$

- Resistência equivalente de fase:

$$R_{SE} = \frac{(1-\eta) \cdot P_O}{3 \cdot I_{EF}^2} = 0,32 \text{ } \Omega \quad (6.3)$$

6.2.2. Dimensionamento dos Indutores de Entrada

O dimensionamento dos indutores de entrada é igual para os retificadores Y_1 e Δ_1 .

- Valor da indutância:

$$L = \frac{3 \cdot V_p^2 \cdot (2 \cdot V_O - 3 \cdot V_p)}{f_S \cdot \Delta I\% \cdot 4 \cdot P_O \cdot V_O} = 2,4 \text{ mH} \quad (6.4)$$

- Corrente eficaz no indutor:

$$I_{L_{EF}} = \frac{\sqrt{2} \cdot P_O}{3 \cdot \eta \cdot V_p} = 32 \text{ A} \quad (6.5)$$

- Corrente de pico no indutor:

$$I_{L_p} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 47,5 \text{ A} \quad (6.6)$$

- Corrente média no indutor:

$$I_{L_{MED}} = 0 \quad (6.7)$$

- Tensão de pico no indutor:

$$V_{L_p} = \frac{V_p}{2} + \frac{V_o}{3} = 389 \text{ V} \quad (6.8)$$

6.2.3. Dimensionamento do Capacitor de Saída

Como primeira iteração para o projeto do capacitor de saída, utilizou-se o critério da máxima ondulação em alta frequência.

- Valor da capacitância:

$$C_o = \frac{P_o \cdot (2 \cdot V_o - 3 \cdot V_p)}{2 \cdot f_s \cdot V_o^3 \cdot \Delta V_o \%} = 274 \mu\text{F} \quad (6.9)$$

- Corrente eficaz no capacitor:

$$I_{CO_{EF}} = \frac{P_o}{V_o} \cdot \sqrt{\frac{0,613 \cdot V_o - 2 \cdot \eta \cdot V_p}{\eta^2 \cdot V_p} + 1} = 18,67 \text{ A} \quad (6.10)$$

- Corrente de pico no capacitor:

$$I_{CO_p} = \frac{P_o}{V_o} = 28,57 \text{ A} \quad (6.11)$$

- Corrente média no capacitor:

$$I_{CO_{MED}} = 0 \quad (6.12)$$

- Tensão no capacitor:

$$V_{CO_{EF}} \cong V_{CO_{MED}} \cong V_o = 700 \text{ V} \quad (6.13)$$

Considerando um “*hold-up time*” de 10ms e uma variação da tensão de saída de 10% têm-se pela expressão (6.14):

$$C_O = \frac{2 \cdot P_O \cdot T_{\text{hold-up}}}{V_O^2 - (0,9 \cdot V_O)^2} = 4296 \mu\text{F} \quad (6.14)$$

Utilizou-se a associação em paralelo de quatro conjuntos de dois capacitores em série do tipo B43875A5228Q000 da EPCOS com 2200 μ F/450V. Sendo que para capacitor tem-se uma resistência série equivalente de 0,048 Ω com uma capacidade de corrente de 7,7 A (dados retirados das curvas fornecidas pelo fabricante para a frequência de operação do capacitor).

A perda na capacitância equivalente de 4400 μ F é dada por (6.15).

$$P_{\text{CAP}} = \frac{r_{\text{se}}^{\text{CAP}}}{4} \cdot I_{\text{COEF}}^2 = 8,4 \text{ W} \quad (6.15)$$

Para a equalização das tensões sobre os grupos de capacitores em paralelo foram utilizados dois resistores de 18k Ω /20W, sendo a perda em cada um destes resistores dada pela expressão (6.16).

$$P_{\text{REQ}} = \frac{\left(\frac{V_O}{2}\right)^2}{R_{\text{EQ}}} = 6,8 \text{ W} \quad (6.16)$$

6.2.4. Dimensionamento dos Interruptores

No dimensionamento dos interruptores consideram-se os esforços da conexão Y, pois são maiores que os da conexão Δ .

- Corrente eficaz no interruptor:

$$I_{\text{SEF}} = \frac{P_O}{\eta \cdot V_p} \cdot \sqrt{\frac{V_O - 1,63 \cdot V_p}{5,7 \cdot V_O}} = 15 \text{ A} \quad (6.17)$$

- Corrente de pico no interruptor:

$$I_{\text{Sp}} = I_{\text{Lp}} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 47,5 \text{ A} \quad (6.18)$$

- Corrente média no interruptor:

$$I_{\text{SMED}} = \frac{P_O}{\eta \cdot V_p} \cdot \left(\frac{4}{3 \cdot \pi} - \frac{2 \cdot V_p}{3 \cdot V_O}\right) = 8,74 \text{ A} \quad (6.19)$$

- Tensão de pico no interruptor:

$$V_{\text{Sp}} \cong V_O = 700 \text{ V} \quad (6.20)$$

O interruptor escolhido é o IGBT SKM50GAL123D da Semikron com as seguintes características (dados retirados das curvas fornecidas pelo fabricante para a corrente de operação do IGBT):

$$V_{CEmax} = 1200 \text{ V} ;$$

$$I_{Cmax} = 40 \text{ A @}80 \text{ }^\circ\text{C} ;$$

$$V_{CEon} = 1,75 \text{ V @}I_{SMED} ;$$

$$R\theta_{JCS} = 0,4 \text{ }^\circ\text{C/W} ;$$

$$R\theta_{CHS} = 0,05 \text{ }^\circ\text{C/W} ;$$

$$T_{JSmax} = 150 \text{ }^\circ\text{C} ;$$

$$E_{Son} = E_{Soff} = 20 \text{ mW} \cdot \text{s @}I_{SMED} .$$

- Perdas por condução:

$$P_{Scond} = V_{CEon} \cdot I_{SMED} = 15,3 \text{ W} \quad (6.21)$$

- Perdas por comutação na entrada em condução:

$$P_{Son} = E_{Son} \cdot f_s = 20 \text{ W} \quad (6.22)$$

- Perdas em comutação no bloqueio:

$$P_{Soff} = E_{Soff} \cdot f_s = 20 \text{ W} \quad (6.23)$$

- Perdas totais no interruptor:

$$P_s = P_{Scond} + P_{Son} + P_{Soff} = 55,3 \text{ W} \quad (6.24)$$

6.2.5. Dimensionamento dos Diodos D₁₁₂

- Corrente eficaz nos diodos D₁₁₂:

$$I_{D112EF} = \frac{P_o}{\eta \cdot V_p} \cdot \sqrt{\frac{V_o + 6,1 \cdot V_p}{43 \cdot V_o}} = 19,91 \text{ A} \quad (6.25)$$

- Corrente de pico nos diodos D₁₁₂:

$$I_{D112p} = I_{Lp} = \frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 47,5 \text{ A} \quad (6.26)$$

- Corrente média nos diodos D_{112} :

$$I_{D_{112_{MED}}} = \frac{P_o}{3 \cdot \eta \cdot V_o} = 10 \text{ A} \quad (6.27)$$

- Tensão de pico nos diodos D_{112} :

$$V_{D_{112_p}} \cong V_o = 700 \text{ V} \quad (6.28)$$

Para o diodo D_1 foi utilizado o diodo do módulo SKM50GAL123D com as seguintes características (dados retirados das curvas fornecidas pelo fabricante para a corrente de operação do diodo):

$$V_{D_{1max}} = 1200 \text{ V};$$

$$I_{D_{1max}} = 40 \text{ A @ } 80^\circ\text{C};$$

$$V_{F_{D1}} = 1,4 \text{ V @ } I_{D_{1MED}};$$

$$R\theta_{JC_{D1}} = 0,7 \text{ }^\circ\text{C/W};$$

$$R\theta_{CH_{D1}} = 0,05 \text{ }^\circ\text{C/W};$$

$$T_{JD_{1max}} = 150 \text{ }^\circ\text{C};$$

$$E_{D_{1off}} = 1 \text{ mJ @ } I_{D_{1MED}}.$$

- Perdas por condução no diodo D_1 :

$$P_{D_{1cond}} = V_{F_{D1}} \cdot I_{D_{12_{MED}}} = 14 \text{ W} \quad (6.29)$$

- Perdas por comutação no bloqueio do diodo D_1 :

$$P_{D_{1off}} = E_{D_{1off}} \cdot f_s = 10 \text{ W} \quad (6.30)$$

- Perdas totais diodo D_1 :

$$P_{D1} = P_{D_{1cond}} + P_{D_{1off}} = 24 \text{ W} \quad (6.31)$$

Para o diodo D_2 foi utilizado o diodo HFA30PB120 a IR (International Rectifier) com as seguintes características (dados retirados das curvas fornecidas pelo fabricante para a corrente de operação do diodo):

$$V_{D_{2max}} = 1200 \text{ V};$$

$$I_{D_{2max}} = 30 \text{ A @ } 100^\circ\text{C};$$

$$V_{F_{D2}} = 1,5 \text{ V @ } I_{D_{2MED}};$$

$$R\theta_{JC_{D2}} = 0,36 \text{ }^\circ\text{C/W};$$

$$R\theta_{CH_{D2}} = 0,5 \text{ }^\circ\text{C/W};$$

$$T_{JD2max} = 150 \text{ } ^\circ\text{C};$$

$$Q_{rrD2} = 1500 \text{ nC @} I_{D2MED}.$$

- Perdas por condução no diodo D_2 :

$$P_{D2cond} = V_{F_D2} \cdot I_{D12MED} = 15 \text{ W} \quad (6.32)$$

- Perdas por comutação no bloqueio do diodo D_2 :

$$P_{D2off} = \frac{Q_{rrD2} \cdot V_O \cdot f_S}{2} = 5,3 \text{ W} \quad (6.33)$$

- Perdas totais diodo D_2 :

$$P_{D2} = P_{D2cond} + P_{D2off} = 20,3 \text{ W} \quad (6.34)$$

6.2.6. Dimensionamento dos Diodos D_{134}

- Corrente eficaz nos diodos D_{134} :

$$I_{DI34EF} = \frac{P_O}{3 \cdot \eta \cdot V_p} = 22,6 \text{ A} \quad (6.35)$$

- Corrente de pico nos diodos D_{134} :

$$I_{DI34P} = I_{Lp} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 47,5 \text{ A} \quad (6.36)$$

- Corrente média nos diodos D_{134} :

$$I_{DI34MED} = \frac{2 \cdot P_O}{3 \cdot \pi \cdot \eta \cdot V_p} = 14,4 \text{ A} \quad (6.37)$$

- Tensão de pico nos diodos D_{134} :

$$V_{DI34p} \cong V_O = 700 \text{ V} \quad (6.38)$$

Para os diodos D_{34} foram utilizados diodos HFA30PB120 e consideradas as mesmas características que foram utilizadas para os diodos D_2 .

A queda de tensão em condução para estes diodos é $V_{F_D34} = 1,8 \text{ V @} I_{D34MED}$.

- Perdas por condução nos diodos D_{34} :

$$P_{D34cond} = V_{F_D34} \cdot I_{D34MED} = 25,91 \text{ W} \quad (6.39)$$

- Perdas por comutação no bloqueio do diodo D_{34} :

$$P_{D34off} = \frac{Q_{rrD34} \cdot V_O \cdot f_S}{2} = 5,25 \text{ W} \quad (6.40)$$

- Perdas totais diodo D_{34} :

$$P_{D34} = P_{D34\text{cond}} + P_{D34\text{off}} = 31,16 \text{ W} \quad (6.41)$$

6.2.7. Dimensionamento dos Diodos D_{156}

- Corrente eficaz nos diodos D_{156} : d

$$I_{D156\text{EF}} = \frac{P_O}{\eta \cdot V_p} \cdot \sqrt{\frac{0,43 \cdot V_O - 0,027 \cdot V_p}{V_O}} = 12 \text{ A} \quad (6.42)$$

- Corrente de pico nos diodos D_{156} : y

$$I_{D156p} = I_{Lp} = \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I\%}{2}\right) = 47,5 \text{ A} \quad (6.43)$$

- Corrente média nos diodos D_{156} : d

$$I_{D156\text{MED}} = \frac{P_O}{\eta \cdot V_p} \cdot \left(\frac{0,106 \cdot V_O - 0,004 \cdot V_p}{V_O}\right) = 7,07 \text{ A} \quad (6.44)$$

- Tensão de pico nos diodos D_{156} :

$$V_{D156p} \cong V_O = 700 \text{ V} \quad (6.45)$$

Para os diodos D_{56} foram utilizados diodos HFA30PB120 e consideradas as mesmas características que foram utilizadas para os diodos D_2 .

A queda de tensão em condução para estes diodos é $V_{F_D56} = 1,3 \text{ V} @ I_{D56\text{MED}}$.

- Perdas por condução nos diodos D_{56} :

$$P_{D56\text{cond}} = V_{F_D56} \cdot I_{D56\text{MED}} = 9,19 \text{ W} \quad (6.46)$$

- Perdas por comutação no bloqueio do diodo D_{56} :

$$P_{D56\text{off}} = \frac{Q_{rrD56} \cdot V_O \cdot f_S}{2} = 5,25 \text{ W} \quad (6.47)$$

- Perdas totais diodo D_{56} :

$$P_{D56} = P_{D56\text{cond}} + P_{D56\text{off}} = 14,44 \text{ W} \quad (6.48)$$

6.2.8. Dimensionamento do Dissipador

Para o dimensionamento do dissipador consideraram-se a temperatura ambiente $T_A = 45 \text{ }^\circ\text{C}$ e o circuito equivalente apresentado na Fig. 6-1.

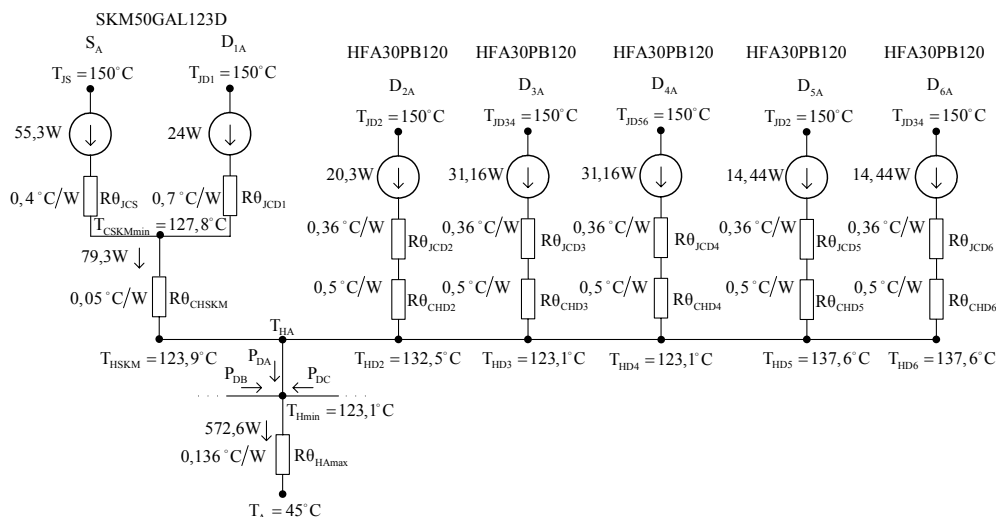


Fig. 6-1 - Circuito elétrico equivalente.

Para a temperatura de junção máxima do módulo SKM50GAL123D, determina-se a temperatura do encapsulamento devida à variação de temperatura no IGBT (6.49) e no diodo D_1 do módulo (6.50).

$$T_{CS} = T_{JSmax} - P_S \cdot R_{\theta_{JCS}} = 127,87 \text{ } ^\circ\text{C} \quad (6.49)$$

$$T_{CD1} = T_{JD1max} - P_{D1} \cdot R_{\theta_{JCD1}} = 133,17 \text{ } ^\circ\text{C} \quad (6.50)$$

Escolhendo a menor das temperaturas anteriores determina-se a temperatura do dissipador considerando-se as perdas nos dois componentes do módulo SKM50GAL123D (6.51).

$$T_{HSKM} = T_{CS} - R_{\theta_{CHS}} \cdot (P_S + P_{D1}) = 123,9 \text{ } ^\circ\text{C} \quad (6.51)$$

A temperatura do dissipador devida a perda nos diodos D_2 é dada por (6.52) e a temperatura do dissipador devida a perda nos diodos D_{34} é dada por (6.53).

$$T_{HD2} = T_{JD2max} - P_{D2} \cdot (R_{\theta_{JCD2}} + R_{\theta_{CHD2}}) = 132,55 \text{ } ^\circ\text{C} \quad (6.52)$$

$$T_{HD34} = T_{JD34max} - P_{D34} \cdot (R_{\theta_{JCD34}} + R_{\theta_{CHD34}}) = 123,19 \text{ } ^\circ\text{C} \quad (6.53)$$

Em (6.54) têm-se a temperatura do dissipador devida a perda nos diodos D_{56} .

$$T_{HD56} = T_{JD56max} - P_{D56} \cdot (R_{\theta_{JCD56}} + R_{\theta_{CHD56}}) = 137,58 \text{ } ^\circ\text{C} \quad (6.54)$$

Utilizando o menor valor de temperatura do dissipador para todos os componentes, apresentado na Fig. 6-1 e considerando a perda de potência em todos os semicondutores das três fases (6.55) determina-se a máxima resistência térmica para o dissipador (6.56).

$$P_{SEMI} = 3 \cdot (P_S + P_{D1} + P_{D2} + P_{D34} + P_{D56}) = 572,56 \text{ W} \quad (6.55)$$

$$R\theta_{HAmax} = \frac{T_{HD34} - T_A}{P_{SEMI}} = 0,136 \text{ } ^\circ\text{C/W} \quad (6.56)$$

O dissipador escolhido foi o P16/400 da Semikron com dois ventiladores SK2120AC, onde resistência térmica considerada foi a do dissipador P16/300 com ventilador SKF16B-230-01 que é $R\theta_{HA} = 0,036 \text{ } ^\circ\text{C/W}$.

Recalculando a temperatura do dissipador para esta resistência térmica têm-se (6.57).

$$T_H = T_A + R\theta_{HA} P_{SEMI} = 65,61 \text{ } ^\circ\text{C} \quad (6.57)$$

As temperaturas máximas recalculadas para os semicondutores são:

- Temperatura do encapsulamento do módulo SKM50GAL123D:

$$T_{CSKM} = T_H + R\theta_{CHS} \cdot (P_S + P_{D1}) = 69,57 \text{ } ^\circ\text{C} \quad (6.58)$$

- Temperatura da junção do interruptor:

$$T_{JS} = T_{CSKM} + R\theta_{JCS} \cdot P_S = 91,7 \text{ } ^\circ\text{C} \quad (6.59)$$

- Temperatura da junção dos diodos D_1 :

$$T_{JD1} = T_{CSKM} + R\theta_{JCD1} \cdot P_{D1} = 86,4 \text{ } ^\circ\text{C} \quad (6.60)$$

- Temperatura da junção dos diodos D_2 :

$$T_{JD2} = T_H + P_{D2} \cdot (R\theta_{JCD2} + R\theta_{CHD2}) = 83,06 \text{ } ^\circ\text{C} \quad (6.61)$$

- Temperatura da junção dos diodos D_{34} :

$$T_{JD34} = T_H + P_{D34} \cdot (R\theta_{JCD34} + R\theta_{CHD34}) = 92,41 \text{ } ^\circ\text{C} \quad (6.62)$$

- Temperatura da junção dos diodos D_{56} :

$$T_{JD56} = T_H + P_{D56} \cdot (R\theta_{JCD56} + R\theta_{CHD56}) = 78 \text{ } ^\circ\text{C} \quad (6.63)$$

6.3. Hardware para Condicionamento de Sinais e Interface com o DSP

A estrutura para condicionamento de sinais e interface com o DSP TMS320LF2407 é representada pelo diagrama de conexões da Fig. 6-2.

Este diagrama mostra as conexões entre as partes do sistema e as variáveis de conexão entre as placas do protótipo.

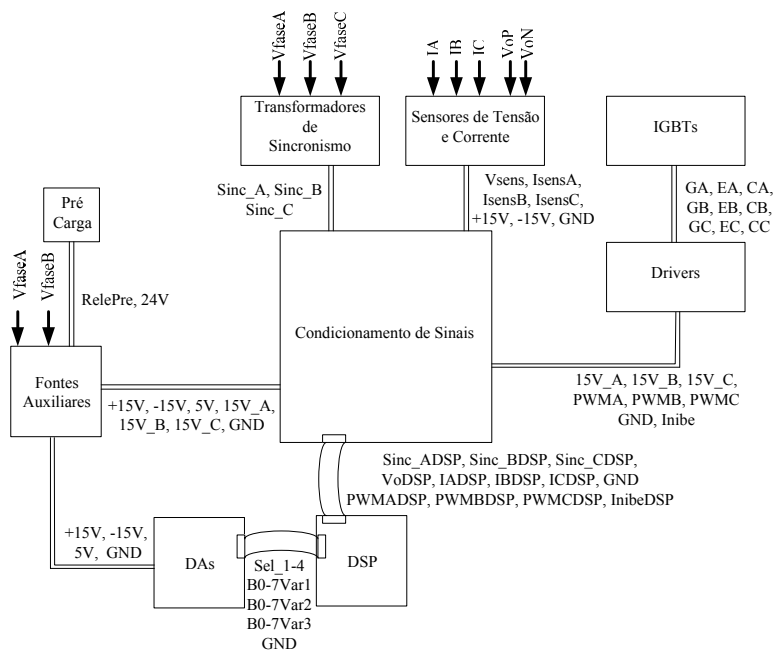


Fig. 6-2 – Diagrama de conexões.

6.3.1. Filtros Anti “Aliasing”

Para evitar o efeito de “aliasing” [58]-[59] na amostragem de correntes foram utilizados filtros analógicos anti “aliasing” cuja função de transferência é apresentada na expressão (6.64).

$$G_{FAA}(s) = \frac{K}{s + K} \tag{6.64}$$

A frequência de corte do filtro deve ficar na metade da frequência de amostragem utilizada (6.65).

$$K = \pi \cdot f_A \tag{6.65}$$

A implementação deste filtro com amplificador operacional é mostrada na Fig. 6-3.

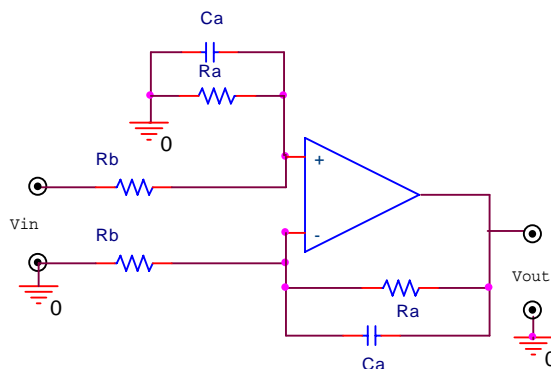


Fig. 6-3 – Filtro anti “aliasing”.

Para $f_A = 10 \text{ kHz}$ e considerando $R_a = R_b = 10 \text{ k}\Omega$, determina-se os valores de C_a e C_b conforme a expressão (6.66).

$$C_a = C_b = \frac{1}{K \cdot R_a} = 3,18 \text{ nF} \quad (6.66)$$

Detalhes da conexão destes filtros com outras partes do circuito de condicionamento de sinais são apresentados no anexo E.

6.3.2. Amostragem das Correntes de Entrada

Os sensores de corrente utilizados para a amostragem das correntes de entrada do retificador foram os LA55-P da LEM, com uma corrente nominal de 50 A e um ganho de amostragem de 1:1000. Foi utilizado um resistor de amostragem de 56 Ω .

O sinal amostrado foi grampeado em um nível da metade de 3,3 V, sinal este definido pelo regulador TPS77633D da Texas Instruments, para que a excursão da amostra de corrente não possua valores negativos.

Este sinal foi atenuado com um ganho do amplificador operacional de 22k Ω /47k Ω , sendo finalmente limitado pelo CI limitador TL7726 da Texas Instruments que limita a faixa de variação de 0 a 3,3 V para a proteção das entradas de conversão analógico digital (A/D) do DSP utilizado, conforme a Fig. 6-4.

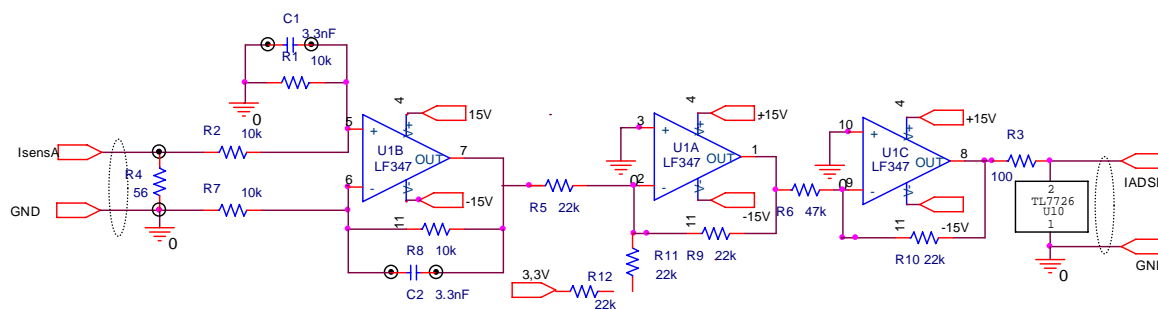


Fig. 6-4 – Amostragem das correntes de entrada.

Detalhes do circuito utilizado para a amostragem das correntes de entrada podem ser verificados no anexo E.

6.3.3. Amostragem da Tensão de Saída

O sensor de tensão utilizado para a amostragem da tensão de saída do retificador foi o LV25-P/SP8 da LEM, com uma corrente nominal no primário de 6,7 mA, sendo utilizado um resistor de amostragem de 108 k Ω (4X27k Ω /5W).

O ganho de amostragem é de 3725:1000 e no secundário foi utilizado um resistor de 120 Ω . Este sinal foi também foi limitado pelo CI limitador TL7726, como pode ser verificado na Fig. 6-5.

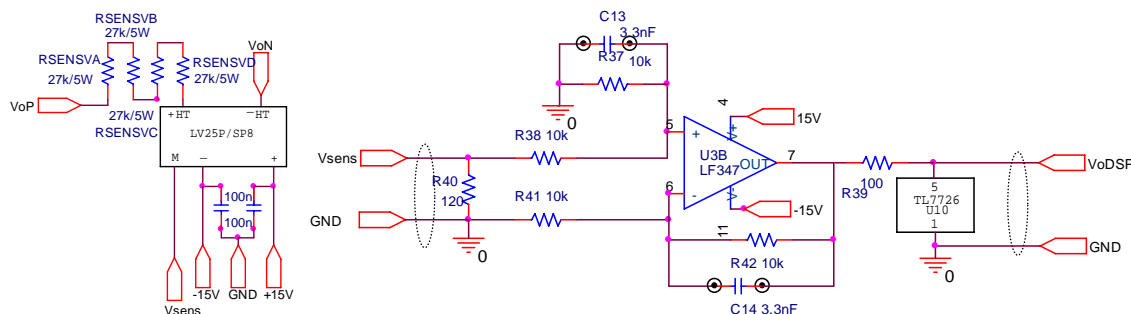


Fig. 6-5 – Amostragem da tensão de saída.

6.3.4. Sincronismo

Para a amostragem dos sinais de sincronismo das três fases foram utilizados três transformadores monofásicos com 380 V no primário e 10 V no secundário, com a conexão Δ - Δ conforme a Fig. 6-6.

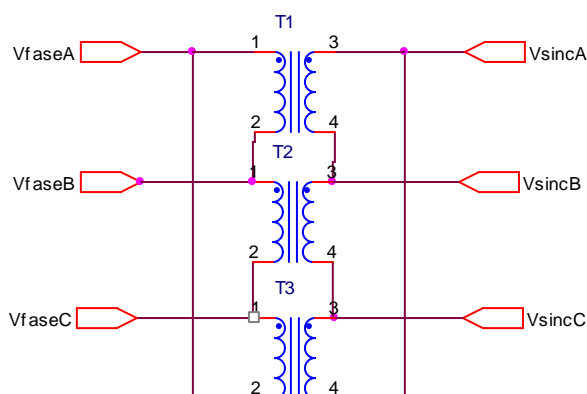


Fig. 6-6 – Transformadores de sincronismo.

O sinal amostrado é obtido através de três filtros passivos de segunda ordem com resistores de 10 k Ω como carga, utilizando a conexão Y [57], desta forma, obtêm-se três sinais senoidais em fase com as tensões da rede.

Os pulsos de sincronismo são gerados a partir da comparação destes sinais com zero, utilizando um comparador com histerese cuja saída em 3,3 V é definida pelo regulador TPS77633D, como mostrado na Fig. 6-7.

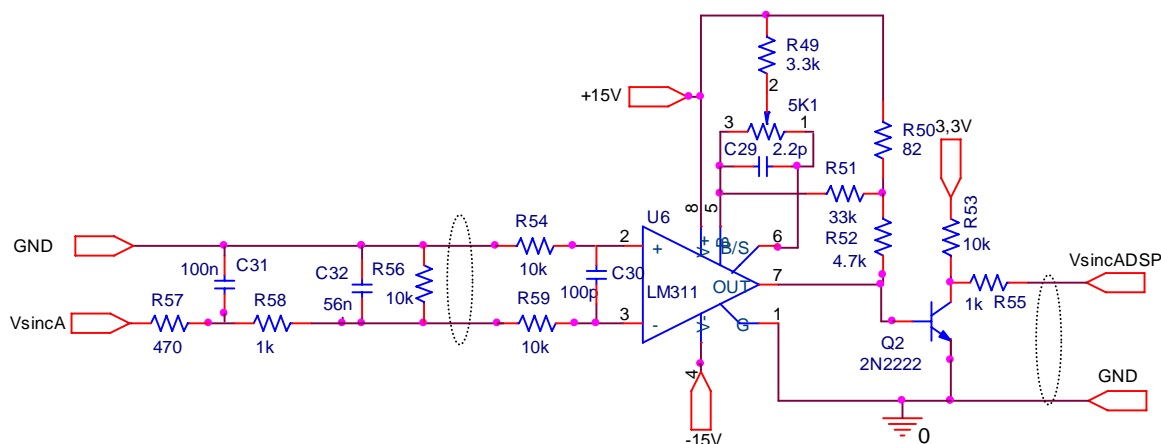


Fig. 6-7 – Geração do pulso de sincronismo para a fase A.

6.3.5. Circuitos de Comando e Proteções

Para o comando dos IGBTs SKM50GAL123D forma utilizados os circuitos de comando dedicados (“drivers”) SKHI10/12 da Semikron, com as seguintes características principais:

- Comando de IGBTs com V_{CE} de até 1200 V;
- Compatível com entradas TTL e CMOS;
- Proteção contra curto-circuito através do monitoramento da tensão V_{CE} do IGBT;
- Desligamento suave na condição de curto-circuito;
- Isolação por foto-acoplador.
- Monitoração de sub-tensão na fonte de alimentação.
- Saída do sinal de erro com lógica em nível alto ou baixo;
- Fonte interna isolada.

O nível dos sinais de saída dos moduladores PWM do DSP é 0 V ou 3,3 V, para adaptar estes sinais ao nível de tensão dos circuitos lógicos e a entrada dos circuitos de comando são utilizados “buffers” (CI 7407) com a saída em coletor aberto conectada aos 15 V.

Foi implementada uma proteção por software que utiliza um sinal de controle (INIBE) através do pino de I/O IOPE_7, que inibe os pulsos de comando dos IGBTs caso a tensão de saída esteja fora dos limites mínimo e máximo. Para este sinal, utiliza-se o mesmo tipo de buffer para a adaptação do sinal e para a conexão com o pino de RESET dos circuitos de comando.

Esta proteção também inibe os comandos dos IGBTs na partida do DSP e em situações em que ocorra o reset do DSP, já que neste caso, o estado dos pinos dos PWMs é em nível alto. Detalhes do hardware de condicionamento de sinais do DSP para os circuitos de comando também podem ser observados no anexo E.

Além da proteção dos circuitos de comando e da proteção por software foram utilizados fusíveis ultra-rápidos Silized/Siemens de 35 A na entrada do retificador.

6.3.6. Conversores D/A

Para a visualização dos sinais internos do DSP foram utilizados três conversores digital-analógico (D/A) de 8 bits com redes R2R [60] e 4 entradas de seleção das variáveis a serem convertidas, utilizando 4 pinos de I/O da porta F do DSP (PF_0-3).

A Fig. 6-8 mostra o esquema elétrico do conversor D/A utilizado, juntamente com um amplificador para o ajuste do ganho de amostragem.

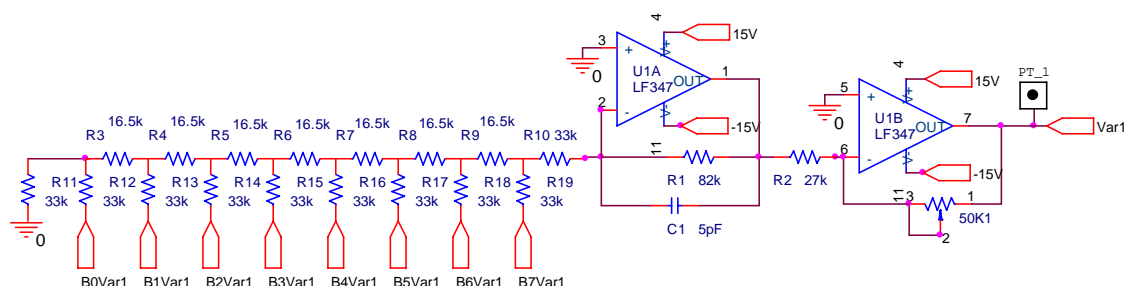


Fig. 6-8 – Conversor DA de 8 bits e amplificador para ajuste de ganho.

Estes conversores são conectados aos pinos de I/O das portas A, B e C do DSP, podendo ser escolhidas várias combinações de variáveis para a visualização. Assim, é possível monitorar os sinais de sincronismo, as razões cíclicas, as amostragens de tensão e corrente, as variáveis transformadas, etc.

6.4. Fontes Auxiliares e Circuito de Pré-Carga

Para a alimentação das placas de condicionamento de sinais, sensores, circuitos de comando, foi projetada uma fonte linear com sete saídas:

Saída 1: +15V/500mA para a alimentação dos CIs das placas de condicionamento de sinais e D/As, sensores de corrente e tensão.

Saída 2: -15V/500mA para a alimentação dos CIs das placas de condicionamento de sinais e D/As, sensores de corrente e tensão.

Saída 3: +24V/500mA para a alimentação da bobina do contactor de pré-carga.

Saída 4: +5V/300mA para a alimentação dos CIs lógicos das placas de condicionamento de sinais e DAs.

Saída 5: +15V/500mA para a alimentação da placa do circuito de comando para o interruptor S_A .

Saída 6: +15V/500mA para a alimentação da placa do circuito de comando para o interruptor S_B .

Saída 7: +15V/500mA para a alimentação da placa do circuito de comando para o interruptor S_C .

O esquema elétrico da fonte implementada é mostrado no anexo E.

Na partida do retificador são inseridos em série com cada uma das fases resistores de $6,8\Omega/50W$ para limitar a corrente de carga do capacitor de saída e após, estes resistores são curto-circuitados através de um contactor (CWM40) cujo circuito de controle é apresentado na Fig. 6-9 [61].

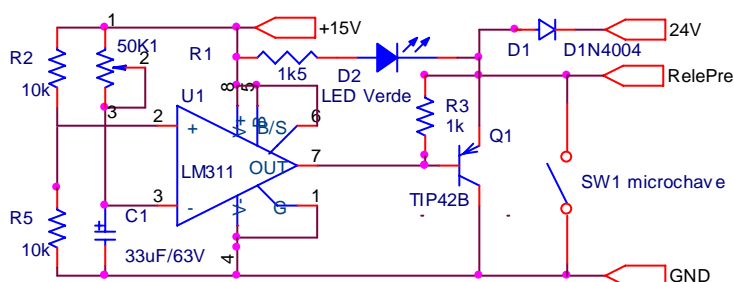


Fig. 6-9 – Circuito de controle da bobina do contactor.

O ajuste do tempo de atuação do circuito de pré-carga é feito através do potenciômetro de $5,1\text{ k}\Omega$.

O esquema elétrico completo das placas utilizadas no protótipo encontra-se no Anexo E.

6.5. Conclusão

Neste capítulo são apresentados o dimensionamento do estágio de potência, a definição dos componentes de potência utilizados, sensores, circuitos de sincronismo, circuitos de comando e é realizada uma breve descrição sobre o hardware para o condicionamento dos sinais de entrada e saída do DSP.

Capítulo 7 – Controle Digital e Implementação em DSP

7.1. Introdução

Neste capítulo são apresentadas as características da aplicação do controle digital aos retificadores do protótipo construído, o projeto dos controladores digitais e a implementação das rotinas de controle e modulação em DSP.

7.2. Discretização dos Modelos

Os parâmetros utilizados no projeto dos controladores digitais de corrente e no controlador digital de tensão são apresentados na Tabela 7-1.

Tabela 7-1 - Parâmetros do conversor.

Potência de saída (P_O)	20 kW
Tensão de saída (V_O)	700 V
Tensão eficaz de fase da rede (V_{EF})	220 V
Tensão de pico de fase da rede (V_P)	311 V
Tensão eficaz de linha de rede (V_L)	380 V
Frequência da rede (f_F)	60 Hz
Frequência de comutação (f_S)	10 kHz
Rendimento do conversor (η)	95%
Resistência de carga (R_O)	24,5 Ω
Capacitância de saída (C_O)	4400 μ F
Indutância de entrada (L)	2,4 mH
Resistência série equivalente (r_{se})	0,32 Ω
Frequência de amostragem da malha de corrente (f_{AI})	10 kHz
Frequência de amostragem da malha de tensão (f_{AV})	60 Hz
Ganho do conversor A/D (K_{AD})	1/3,3
Ganho de amostragem de correntes (K_{AI})	$\frac{1}{1000} \cdot 56 \cdot \frac{22000}{47000} = 0,0262$
Ganho de amostragem de tensão (K_{AV})	$\frac{3725}{1000} \cdot \frac{120}{4 \cdot 27000} = 0,004138$
Ganho de desacoplamento ($K_{desacopl}$)	$\frac{2 \cdot \pi \cdot f_F \cdot L}{V_O} \cdot \frac{V_T}{K_{AI} \cdot K_{AD}} = 0,08136$
Ganho do filtro anti aliasing (K_{FAA})	31416
Valor de pico do sinal triangular (V_T)	0,5

7.2.1. Malha de Corrente

A função de transferência para o projeto dos controladores de corrente é dada pela expressão (7.1).

$$\frac{\tilde{i}_d(s)}{\tilde{d}_d'(s)} = -\frac{K_{AI} \cdot K_{AD}}{V_T} \frac{V_O}{L \cdot s + R_{SE}} = -\frac{11,12}{0,0024 \cdot s + 0,32} \quad (7.1)$$

Considerado a função de transferência do filtro *anti aliasing* projetado no capítulo anterior, conforme (7.2), determina-se a função de transferência discretizada utilizada no projeto dos controladores discretos de corrente (7.3).

$$G_{FAA}(s) = -\frac{K}{s + K} = -\frac{31420}{s + 31420} \quad (7.2)$$

$$G_{IT}(z) = \frac{-0,3205 \cdot z - 0,1199}{z^2 - 1,03 \cdot z - 0,04264} \quad (7.3)$$

7.2.2. Malha de Tensão

Para a determinação da função de transferência utilizada para o projeto do controlador de tensão utiliza-se a mesma análise realizada no capítulo 3, onde se considera que a malha de corrente é mais rápida que a malha de tensão, resultando em (7.4) e (7.5).

$$\frac{\tilde{v}_O(s)}{\tilde{i}_{dref}(s)} = \frac{K_{AV} \cdot K_{AD}}{K_{AI} \cdot K_{AD}} \cdot \sqrt{\frac{3}{2}} \cdot \frac{V_p \cdot R_O}{2 \cdot V_O} \frac{1 - \frac{4}{3} \cdot \frac{R_{SE} \cdot P_O}{\eta \cdot V_p^2} - s \cdot \frac{2}{3} \cdot \frac{L \cdot P_O}{\eta \cdot V_p^2}}{1 + s \cdot C_O \cdot \frac{R_O}{2}} \quad (7.4)$$

$$\frac{\tilde{v}_O(s)}{\tilde{i}_{dref}(s)} = \frac{-s \cdot 0,000366 + 0,9552}{s \cdot 0,0539 + 1} \quad (7.5)$$

Incluindo a expressão (7.2) do filtro *anti aliasing*, determina-se a função de transferência discreta para o projeto do controlador digital de tensão, aplicando-se a transformada Z, como apresentado na expressão (7.6).

$$G_{VT}(z) = \frac{0,2487 \cdot z + 0,005407}{z^2 - 0,734 \cdot z} \quad (7.6)$$

7.3. Metodologia de Projeto dos Controladores Discretos

7.3.1. Controladores de Corrente

O projeto dos controladores discretos foi realizado considerando a resposta em frequência do sistema controlado, para que se tenham metodologias de projetos semelhantes às aplicadas nos sistemas contínuos, como estudado no capítulo 3. Para tanto, é necessário aplicar a transformação W [62] [58], onde a variável z , é substituída por uma função de w dada pela expressão (7.7).

$$z = \frac{1 + \frac{T_A}{2} \cdot w}{1 - \frac{T_A}{2} \cdot w} \quad (7.7)$$

Com isso, a função de transferência utilizada para o projeto dos controladores de corrente no plano W é dada pela expressão (7.8).

$$G_{IT}(w) = \frac{5}{8} \cdot (-20000 + w) \cdot \frac{1003 \cdot w + 44040000}{6477 \cdot w^2 + 119670000 \cdot w + 15800000000} \quad (7.8)$$

O controlador de corrente utilizado é do tipo proporcional mais integral (PI), cuja função de transferência no plano W é dada por (7.9).

$$C_I(w) = -K_I \cdot \frac{w + \omega_{Z_I}}{w} \quad (7.9)$$

A frequência de corte para a malha de corrente foi definida em um décimo da frequência de comutação, resultando nas frequências apresentadas em (7.10) e (7.11).

$$f_{Cl} = \frac{f_s}{10} = 1 \text{ kHz} \quad (7.10)$$

$$\omega_{Cl} = 2 \cdot \pi \cdot f_{Cl} = 6283,18 \text{ rad/s} \quad (7.11)$$

O zero do controlador proporcional mais integral foi alocado em uma frequência igual a cinco vezes a frequência da rede, conforme (7.12) e (7.13).

$$f_{Z_I} = 5 \cdot f_F = 300 \text{ Hz} \quad (7.12)$$

$$\omega_{Z_I} = 2 \cdot \pi \cdot f_{Z_I} = 1884,9 \text{ rad/s} \quad (7.13)$$

As expressões (7.14), (7.15) e (7.16) são utilizadas para corrigir as distorções de frequência que ocorrem quando a transformação para o plano W é realizada [62].

$$f_{v_{Cl}} = \frac{f_{AI}}{\pi} \cdot \tan\left(\frac{\pi \cdot f_{Cl}}{f_{AI}}\right) = 1,034 \text{ kHz} \quad (7.14)$$

$$v_{CI} = 2 \cdot \pi \cdot f_{v_{CI}} = 6498 \text{ rad/s} \quad (7.15)$$

$$v_{ZI} = 2 \cdot f_{AI} \cdot \tan\left(\frac{\omega_{ZI}}{2 \cdot f_{AI}}\right) = 1891 \text{ rad/s} \quad (7.16)$$

O ganho do controlador é definido de forma que se tenha a frequência de corte desejada, como definido pela expressão (7.17).

$$K_I = \left. \frac{1}{-\frac{w + v_{ZI}}{w} \cdot \frac{5}{8} \cdot (-20000 + w) \cdot \frac{1003 \cdot w + 44040000}{6477 \cdot w^2 + 119670000 \cdot w + 15800000000}} \right|_{w=v_{CI}} = 1,34 \quad (7.17)$$

A função de transferência do controlador de corrente é dada por (7.18).

$$C_1(z) = -a_1 \cdot \frac{z + b_1}{z - 1} \quad (7.18)$$

As relações dos parâmetros deste controlador com os valores definidos no plano W são apresentadas nas expressões (7.19) e (7.20).

$$a_1 = \frac{K_I}{2} \cdot (v_{ZI} \cdot T_a + 2) = 1,471 \quad (7.19)$$

$$b_1 = \frac{v_{ZI} \cdot T_a - 2}{v_{ZI} \cdot T_a + 2} = -0,827 \quad (7.20)$$

A expressão (7.21) mostra a equação do controlador de corrente utilizado.

$$C_1(z) = \frac{D'_d(z)}{\text{Erro}_{ld}(z)} = -1,471 \cdot \frac{z - 0,827}{z - 1} \quad (7.21)$$

Utilizando este controlador o sistema apresenta o lugar das raízes e a resposta em frequência mostrados na Fig. 7-1 e na Fig. 7-2, respectivamente.

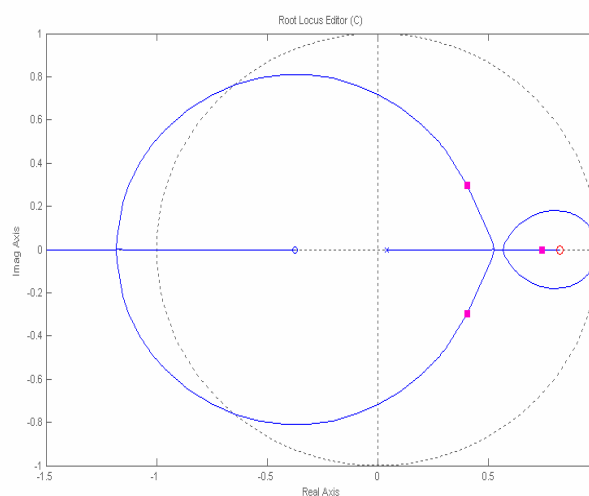


Fig. 7-1 – Lugar das raízes.

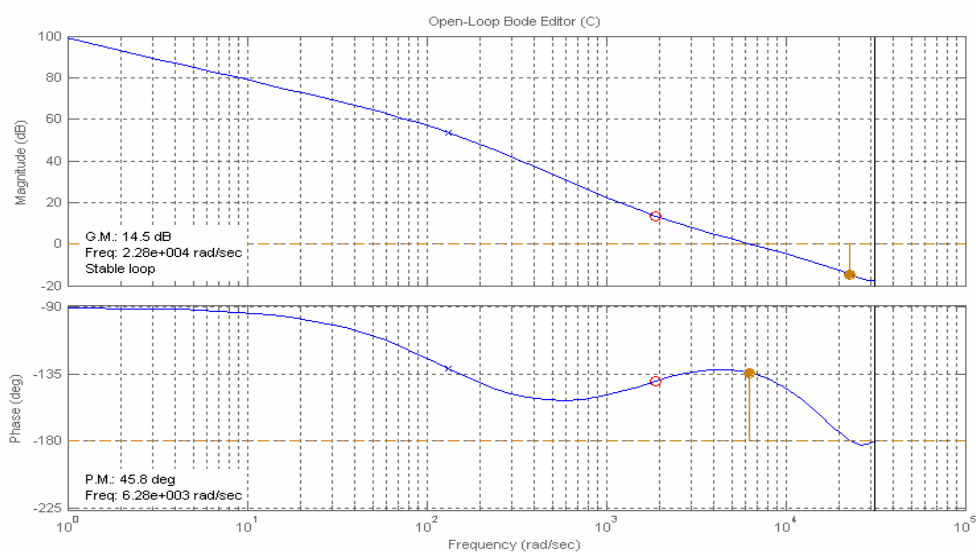


Fig. 7-2 - Diagrama de Bode.

A resposta ao degrau de referência do sistema compensado é mostrada na Fig. 7-3.

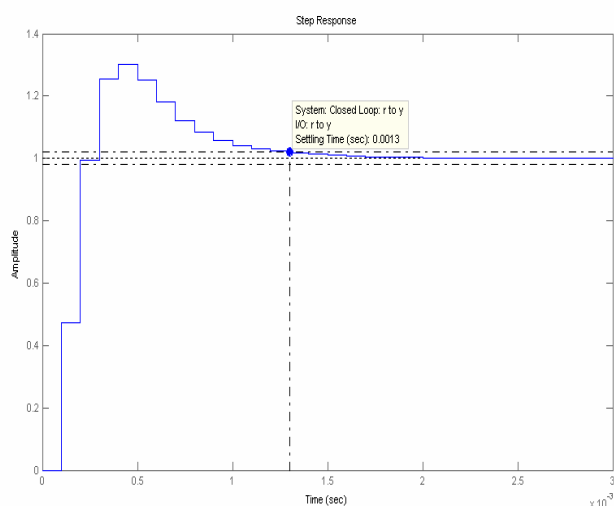


Fig. 7-3 – Reposta ao degrau de referência.

Separando-se as partes integral e proporcional do controlador tem-se a expressão (7.22), com os ganhos definidos pelas expressões (7.23) e (7.24).

$$C_I(z) = \frac{D'_d(z)}{\text{Erro}_{Id}(z)} = -K_{PI} \cdot \left(1 + K_{II} \cdot \frac{z}{z-1} \right) \quad (7.22)$$

$$K_{II} = -\frac{1+b_1}{b_1} = 0,209 \quad (7.23)$$

$$K_{PI} = -a_1 \cdot b_1 = 1,217 \quad (7.24)$$

Desta forma, as equações a diferença utilizadas para a implementação do controlador da corrente I_d são dadas a seguir.

- Expressão (7.25): erro de corrente I_d .

$$\text{Erro}_{I_d} = I_{d\text{REF}_{\text{Filtr}}} - I_d \quad (7.25)$$

- Expressão (7.26): parcela proporcional da razão cíclica de eixo direto linha.

$$D'_{dp} = -1,217 \cdot \text{Erro}_{I_d} \quad (7.26)$$

- Expressão (7.27): parcela integral da razão cíclica de eixo direto linha.

$$D'_{di} = D'_{di\text{ANT}} - 0,254 \cdot \text{Erro}_{I_d} \quad (7.27)$$

- Expressão (7.28): razão cíclica de eixo direto linha total.

$$D'_d = D'_{dp} + D'_{di} \quad (7.28)$$

- Expressão (7.29): atualização da parcela integral da razão cíclica de eixo direto linha.

$$D'_{di\text{ANT}} = D'_{di} \quad (7.29)$$

De forma semelhante, as equações a diferença utilizadas para a implementação do controlador da corrente I_q são as que seguem.

- Expressão (7.30): erro de corrente I_q .

$$\text{Erro}_{I_q} = -I_q \quad (7.30)$$

- Expressão (7.31): parcela proporcional da razão cíclica de eixo em quadratura linha.

$$D'_{qp} = -1,217 \cdot \text{Erro}_{I_q} \quad (7.31)$$

- Expressão (7.32): parcela integral da razão cíclica de eixo em quadratura linha.

$$D'_{qi} = D'_{qi\text{ANT}} - 0,254 \cdot \text{Erro}_{I_q} \quad (7.32)$$

- Expressão (7.33): razão cíclica de eixo em quadratura linha total.

$$D'_q = D'_{qp} + D'_{qi} \quad (7.33)$$

- Expressão (7.34): atualização da parcela integral da razão cíclica de eixo em quadratura linha.

$$D'_{qi\text{ANT}} = D'_{qi} \quad (7.34)$$

Na Fig. 7-3 observa-se um elevado sobre-sinal na resposta ao degrau do sistema compensado. Para atenuar este efeito, é inserido um filtro de referência com um pólo alocado na posição do zero do controlador de corrente (7.35)(7.36), desta forma a resposta do sistema passa a ser a mostrada na Fig. 7-4.

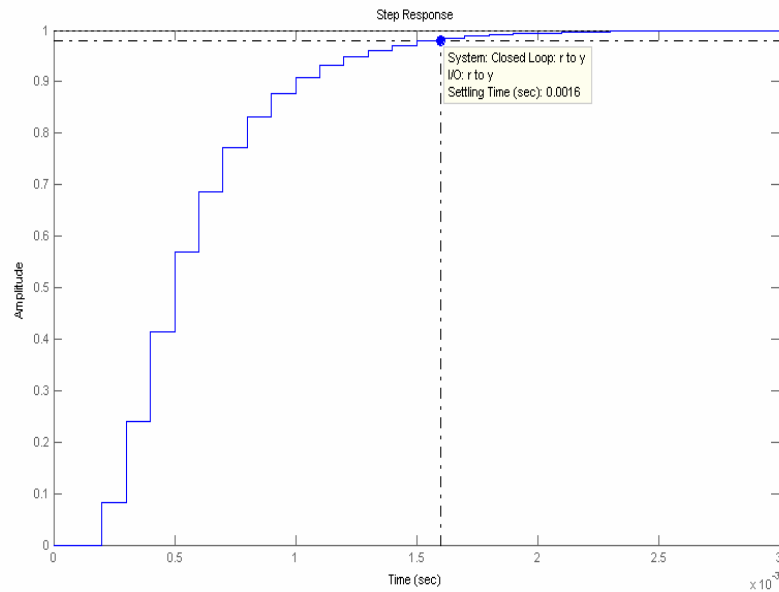


Fig. 7-4 – Reposta ao degrau de referência.

$$F(z) = \frac{1 + b_1}{z + b_1} \quad (7.35)$$

$$F(z) = \frac{I_{dREF_{Filtr}}(z)}{I_{dREF}(z)} = \frac{0,173}{z - 0,827} \quad (7.36)$$

A equação a diferenças para implementação do filtro de referência é mostrada na expressão (7.37).

$$I_{dREF_{Filtr}} = 0,827 \cdot I_{dREF_{FiltrANT}} + 0,173 \cdot I_{dREF_{ANT}} \quad (7.37)$$

7.3.2. Controlador de Tensão

Com a aplicação da transformação para o plano W, obtêm-se a expressão para o projeto do controlador de tensão, conforme (7.38).

$$G_{VT}(w) = -\frac{1}{2000} \cdot \frac{(-2 + 0,01666 \cdot w) \cdot (508214 + 4054,88 \cdot w)}{(2 + 0,01666 \cdot w) \cdot (266 + 14,45 \cdot w)} \quad (7.38)$$

O controlador de tensão utilizado também é do tipo PI, cuja função de transferência no plano W é dada por (7.39).

$$C_v(w) = Kp_v \cdot \frac{w + \omega z_v}{w} \quad (7.39)$$

A frequência de corte para a malha de tensão foi definida com sendo um décimo da frequência da rede, resultando nas frequências apresentadas na expressão (7.40) e na expressão (7.41).

$$f_{CV} = \frac{f_R}{10} = 6 \text{ Hz} \quad (7.40)$$

$$\omega_{CV} = 2 \cdot \pi \cdot f_{CV} = 37,699 \text{ rad/s} \quad (7.41)$$

O zero do controlador de tensão foi alocado em uma frequência próxima a frequência do pólo da planta, conforme (7.42) e (7.43).

$$f_{ZV} = \frac{1}{2 \cdot \pi \cdot C_O \cdot \frac{R_O}{2}} = 2,95 \text{ Hz} \quad (7.42)$$

$$\omega_{ZV} = 2 \cdot \pi \cdot f_{ZV} = 18,95 \text{ rad/s} \quad (7.43)$$

Corrigindo as distorções de frequência que ocorrem quando da transformação para o plano W, têm-se as expressões (7.44), (7.45) e (7.46).

$$fv_{CV} = \frac{f_{AV}}{\pi} \cdot \tan\left(\frac{\pi \cdot f_{CV}}{f_{AV}}\right) = 6,2 \text{ Hz} \quad (7.44)$$

$$\nu_{CV} = 2 \cdot \pi \cdot fv_{CV} = 38,99 \text{ rad/s} \quad (7.45)$$

$$\nu_{ZV} = 2 \cdot f_{AV} \cdot \tan\left(\frac{\omega_{ZV}}{2 \cdot f_{AV}}\right) = 18,7 \text{ rad/s} \quad (7.46)$$

Pela expressão (7.47) determina-se o ganho do controlador de tensão para obter-se a frequência de corte desejada.

$$K_V = \left. \frac{1}{\frac{w + \nu_{ZV}}{w} \cdot \frac{-1}{2000} \cdot \frac{(-2 + 0,01666 \cdot w) \cdot (508214 + 4054,88 \cdot w)}{(2 + 0,01666 \cdot w) \cdot (266 + 14,45 \cdot w)}} \right|_{w=\nu_{CV}} = 2,11 \quad (7.47)$$

A função de transferência do controlador de tensão no plano Z é dada pela expressão (7.48).

$$C_V(z) = a_V \cdot \frac{z + b_V}{z - 1} \quad (7.48)$$

As relações dos parâmetros do controlador de tensão com os valores definidos no plano W são apresentadas nas expressões (7.49) e (7.50).

$$a_v = \frac{Kp_v}{2} \cdot (v_{zv} \cdot Ta + 2) = 2,44 \quad (7.49)$$

$$b_v = \frac{\omega_{zv} \cdot Ta - 2}{\omega_{zv} \cdot Ta + 2} = -0,73 \quad (7.50)$$

Em (7.51) tem-se a função de transferência do controlador utilizado para o controle da corrente de eixo direto.

$$C_v(z) = \frac{I_{dREF}(z)}{\text{Erro}_v(z)} = 2,44 \cdot \frac{z - 0,73}{z - 1} \quad (7.51)$$

O lugar das raízes e o diagrama de Bode do sistema compensado estão na Fig. 7-5 e na Fig. 7-6, respectivamente.

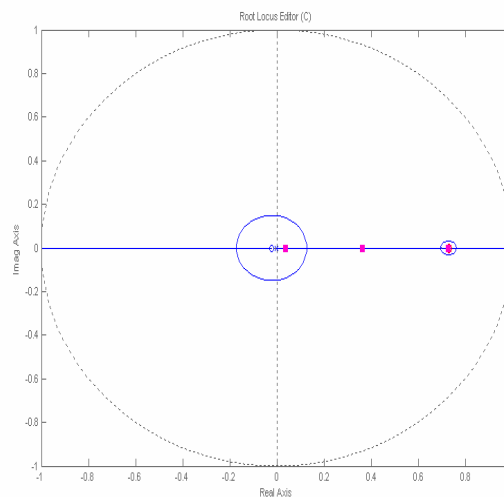


Fig. 7-5 – Lugar das raízes.

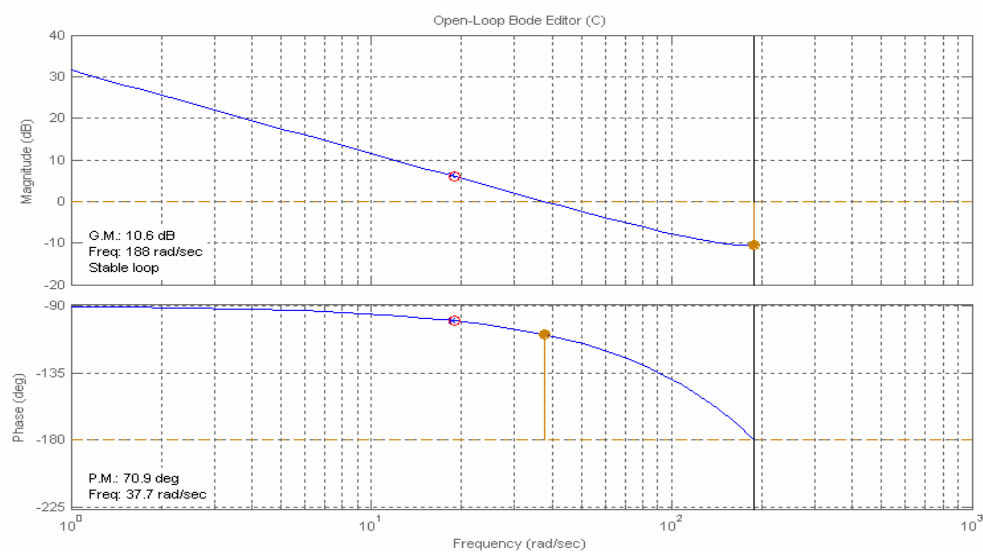


Fig. 7-6 – Diagrama de Bode.

Na Fig. 7-7 é mostrada a resposta do sistema compensado ao degrau de referência.

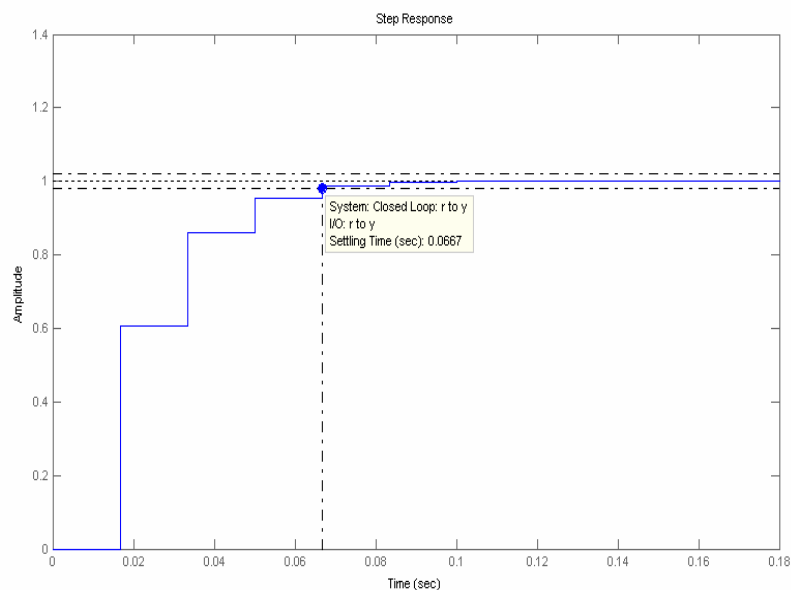


Fig. 7-7 – Resposta ao degrau de referência.

Separando-se as partes integral e proporcional deste controlador tem-se a expressão (7.52), com os ganhos definidos pelas expressões (7.53) e (7.54).

$$C_V(z) = \frac{I_{dREF}}{\text{Erro}_V} = K_{pV} \cdot \left(1 + K_{iV} \cdot \frac{z}{z-1} \right) \quad (7.52)$$

$$K_{iV} = -\frac{1+b_V}{b_V} = 0,369 \quad (7.53)$$

$$K_{pV} = -a_V \cdot b_V = 1,78 \quad (7.54)$$

As equações a diferença utilizadas para a implementação do controlador da tensão de saída são dadas a seguir.

- Expressão (7.55): erro de tensão de saída.

$$\text{Erro}_V = V_{oREF} - V_o \quad (7.55)$$

- Expressão (7.56): parcela proporcional da corrente de eixo direto de referência

$$I_{dREFP} = 1,78 \cdot \text{Erro}_V \quad (7.56)$$

- Expressão (7.57): parcela integral da corrente de eixo direto de referência

$$I_{dREFI} = I_{dREFIANT} + 0,658 \cdot \text{Erro}_V \quad (7.57)$$

- Expressão (7.58): corrente de eixo direto de referência total

$$I_{dREF} = I_{dREFP} + I_{dREFI} \quad (7.58)$$

- Expressão (7.59): atualização da parcela integral da corrente de eixo direto de referência.

$$I_{dREFIANT} = I_{dREFI} \quad (7.59)$$

Após a definição dos parâmetros dos controladores, foram traçados os lugares das raízes para verificar a posição dos pólos de malha fechada, frente às variações de parâmetros do retificador.

A Fig. 7-8 mostra o lugar das raízes no plano Z , para a função de transferência da malha de corrente e o controlador utilizado com os parâmetros definidos anteriormente, neste caso, variou-se o valor da indutância de entrada de 1,8 mH a 3 mH.

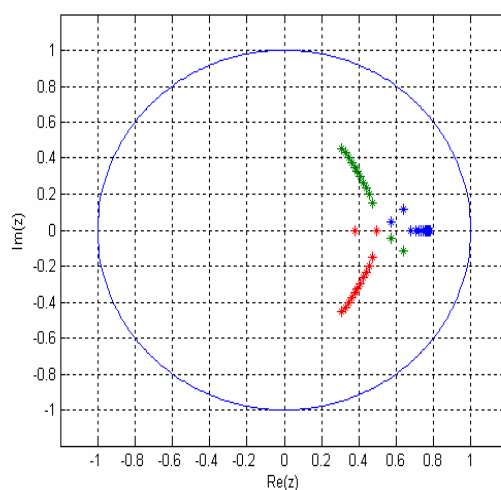


Fig. 7-8 – Lugar das raízes para a malha de corrente.

Para a malha de tensão, foram variados os valores de resistência de carga entre 24,5 Ω e 10 k Ω , ficando os pólos em malha fechada posicionados conforme a Fig. 7-9.

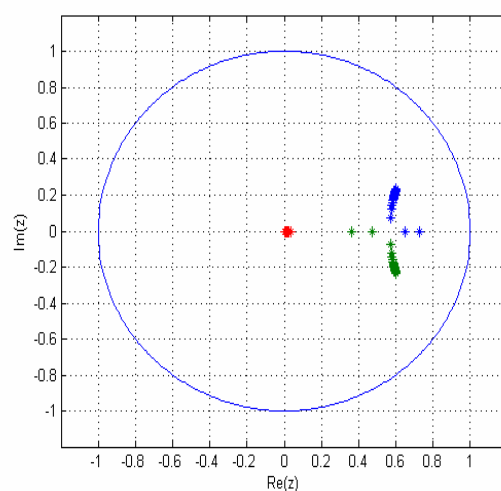


Fig. 7-9 – Lugar das raízes para a malha de tensão e variação da resistência de carga.

A posição dos pólos em malha fechada para variações de indutância de entrada entre 1,8 mH e 3mH é verificada na Fig. 7-10. Para variações da tensão de entrada em ± 20 V têm-se os pólos em malha fechada posicionados conforme a Fig. 7-11.

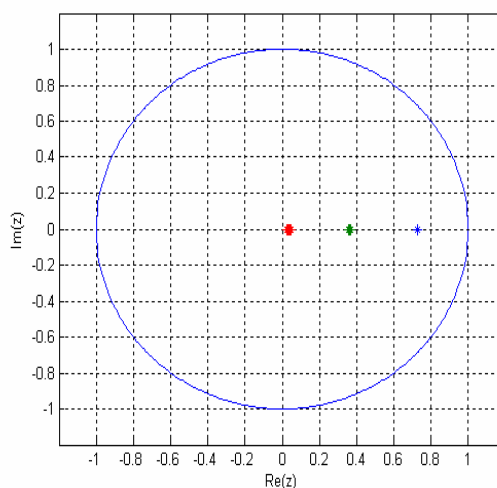


Fig. 7-10 – Lugar das raízes para a malha de tensão e variação da indutância de entrada.

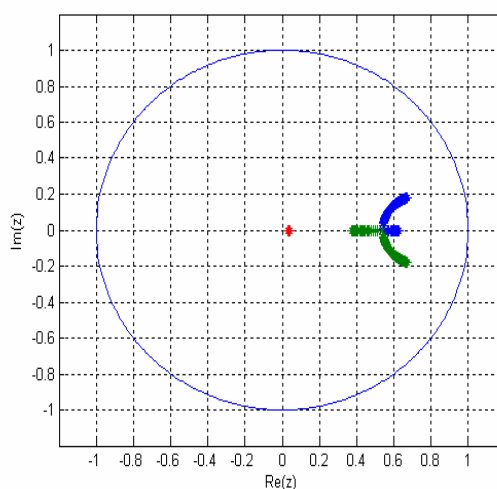


Fig. 7-11 – Lugar das raízes para a malha de tensão e variação da tensão de entrada.

Verifica-se que em todos os casos, os sistemas continuam estáveis, com os pólos de malha fechada dentro do círculo de raio unitário no plano Z [62].

7.3.3. Simulações

Para verificar o desempenho dos controladores digitais projetados, foram realizadas simulações numéricas considerando a implementação das equações a diferenças desenvolvidas na seção anterior, a precisão da representação no formato de ponto fixo com 16 bits e a frequência de amostragem utilizada.

A Fig. 7-12 mostra o diagrama completo do sistema simulado.

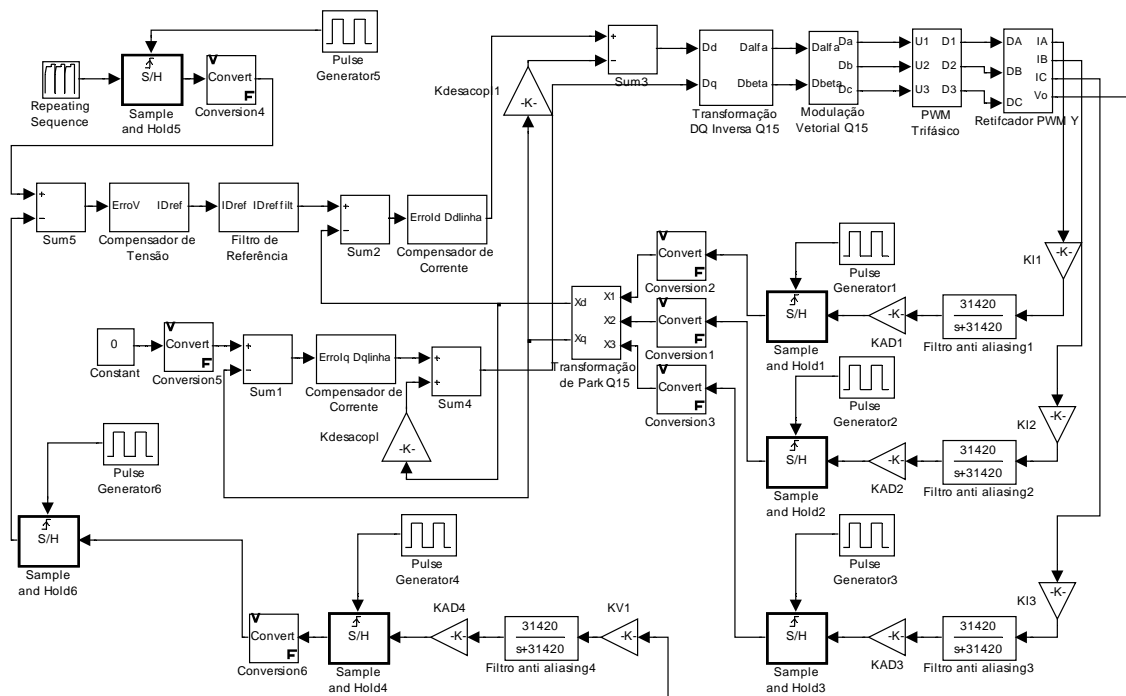


Fig. 7-12 - Diagrama completo utilizado na simulação.

Na Fig. 7-13 é mostrado o estágio de potência do retificador unidirecional utilizado nestas simulações.

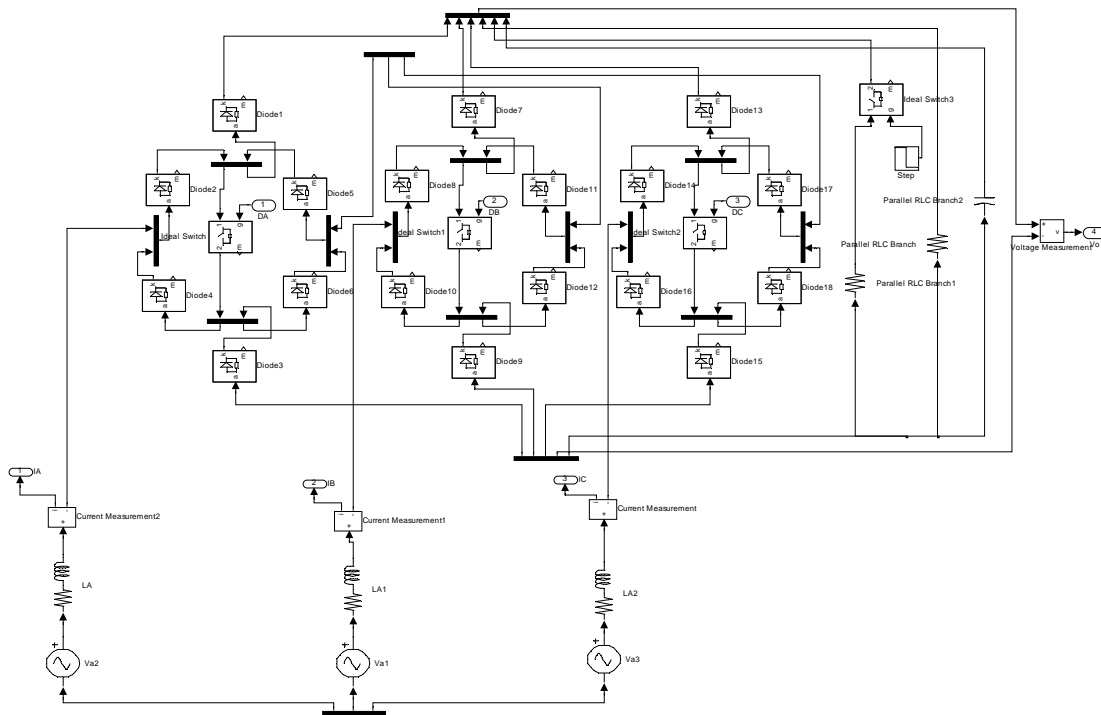


Fig. 7-13 – Estágio de potência.

A Fig. 7-14 mostra a lógica utilizada para a implementação da modulação vetorial, dando como exemplo, a determinação da razão cíclica da fase A, a partir dos resultados da transformação inversa.

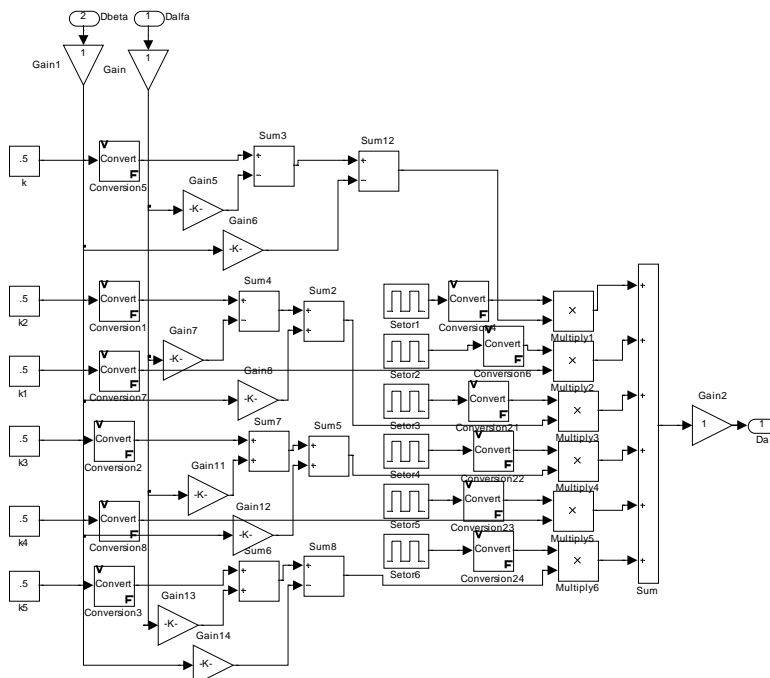


Fig. 7-14 – Lógica para modulação vetorial.

A lógica utilizada para simulação da transformação direta aplicada ao retificador unidirecional é apresentada na Fig. 7-15.

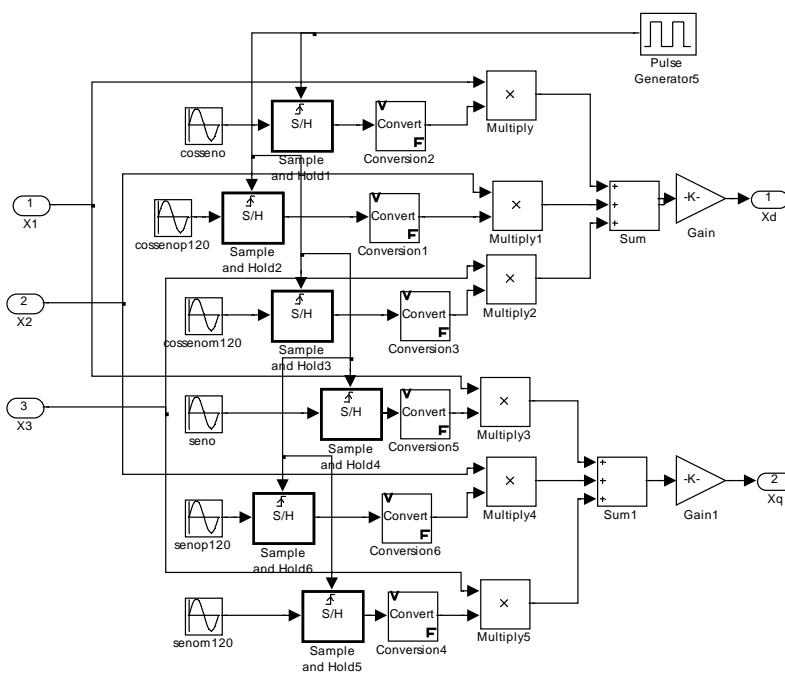


Fig. 7-15 – Transformação direta.

A Fig. 7-16 mostra a lógica utilizada para a transformação inversa.

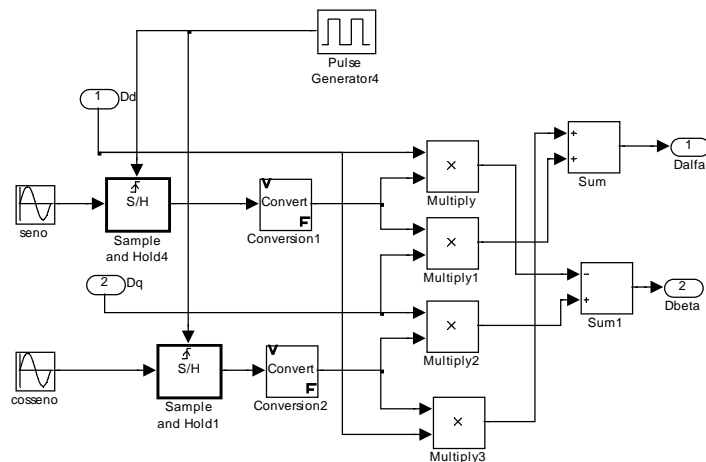


Fig. 7-16 – Transformação inversa.

A implementação da equação a diferenças do controlador de tensão é mostrada na Fig. 7-17.

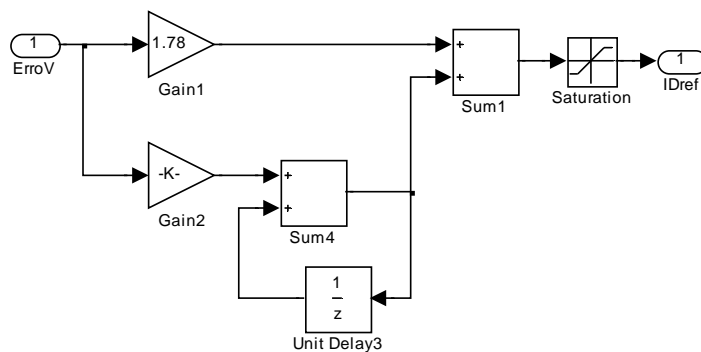


Fig. 7-17 – Controlador de tensão.

A Fig. 7-18 mostra a implementação da equação a diferenças do controlador de corrente

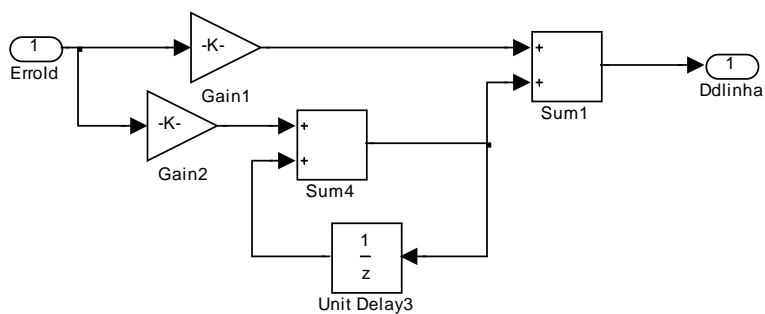


Fig. 7-18 – Controlador de corrente.

Na Fig. 7-19 é mostrada a implementação da equação a diferenças do filtro de referência

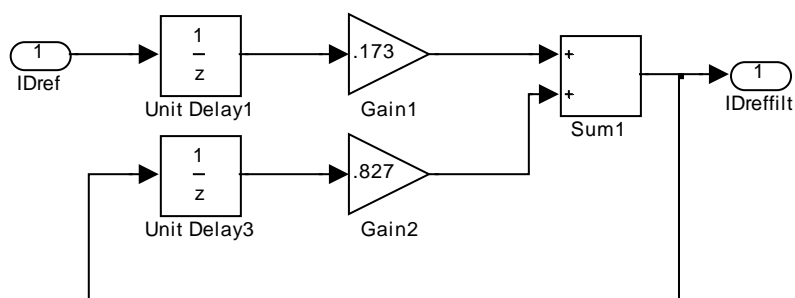


Fig. 7-19 – Filtro de referência.

A seguir serão mostradas as formas de onda obtidas nestas simulações para as respostas ao degrau de referência e ao degrau de carga.

O comportamento da tensão de saída para a aplicação de um degrau de 10% na referência da tensão de saída aplicado no instante $t = 300$ ms é verificado na Fig. 7-20.

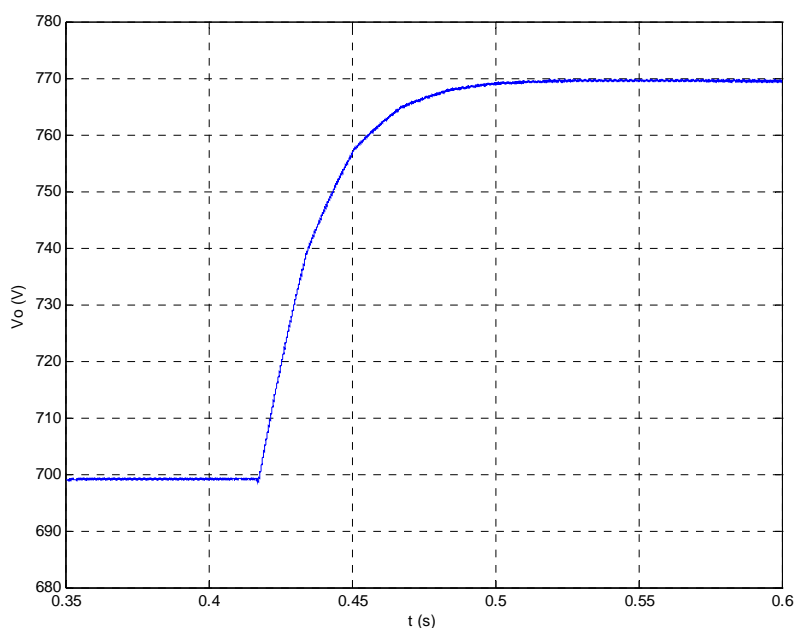


Fig. 7-20 – Tensão de saída.

O comportamento das correntes de entrada para a aplicação do degrau na referência de tensão é mostrado na Fig. 7-21.

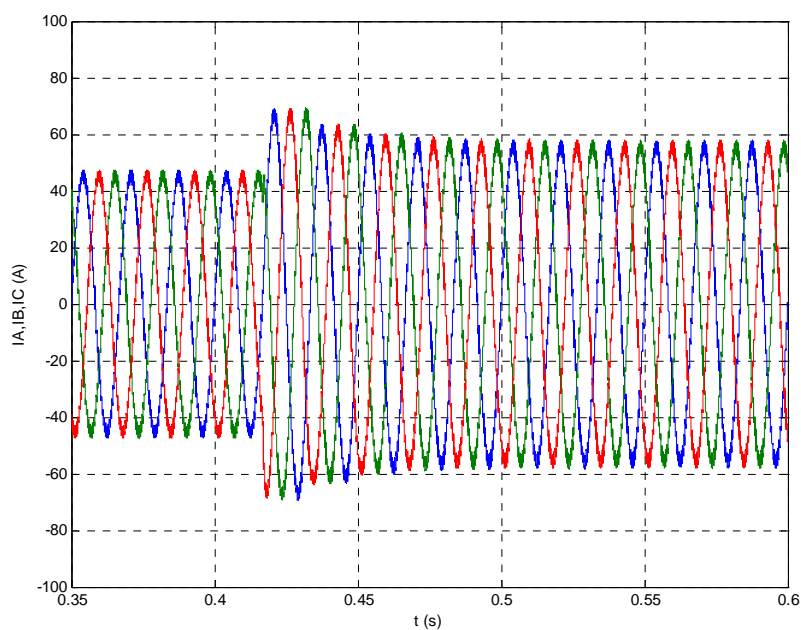


Fig. 7-21 – Correntes de entrada.

Na Fig. 7-22 são apresentadas as correntes de eixo direto e de eixo em quadratura.

Observa-se que o comportamento da corrente de eixo segue a dinâmica imposta pela malha de tensão, cuja amostragem é feita em períodos de 16,666 ms.

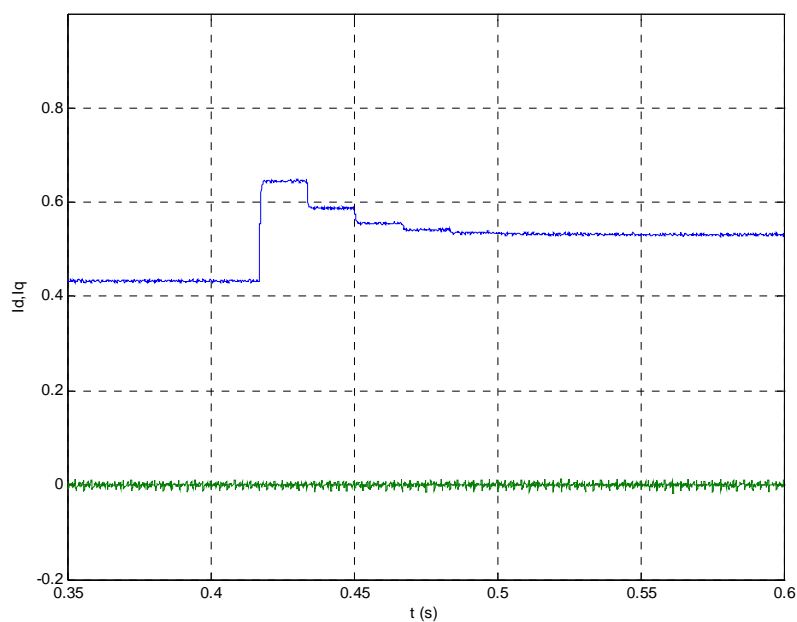


Fig. 7-22 – Correntes de eixo direto e de eixo em quadratura.

O comportamento das razões cíclicas de eixo direto de eixo em quadratura é mostrado na Fig. 7-23. Neste caso, estes sinais seguem a dinâmica das malhas de corrente, cuja amostragem é feita na frequência de comutação dos interruptores.

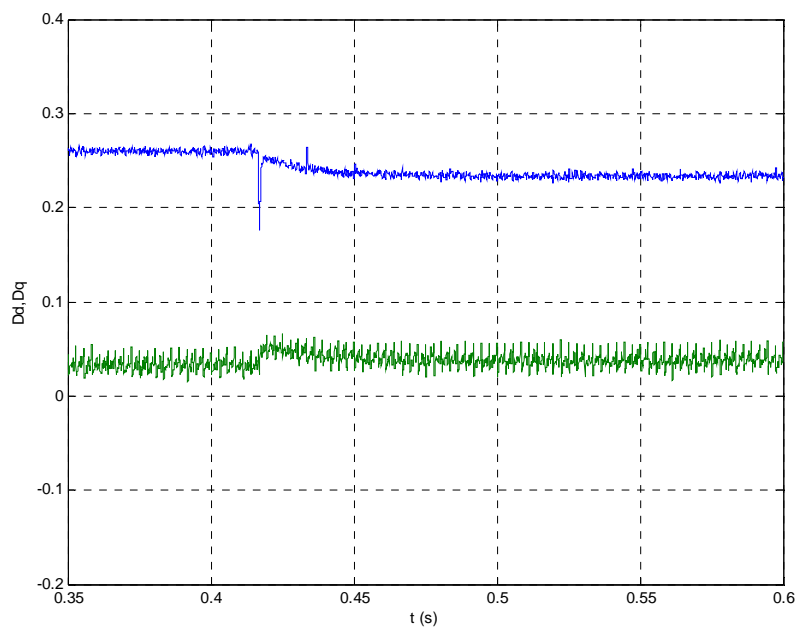


Fig. 7-23 – Razão cíclica de eixo direto de razão cíclica de eixo em quadratura.

As razões cíclicas D_α e D_β são mostradas na Fig. 7-24.

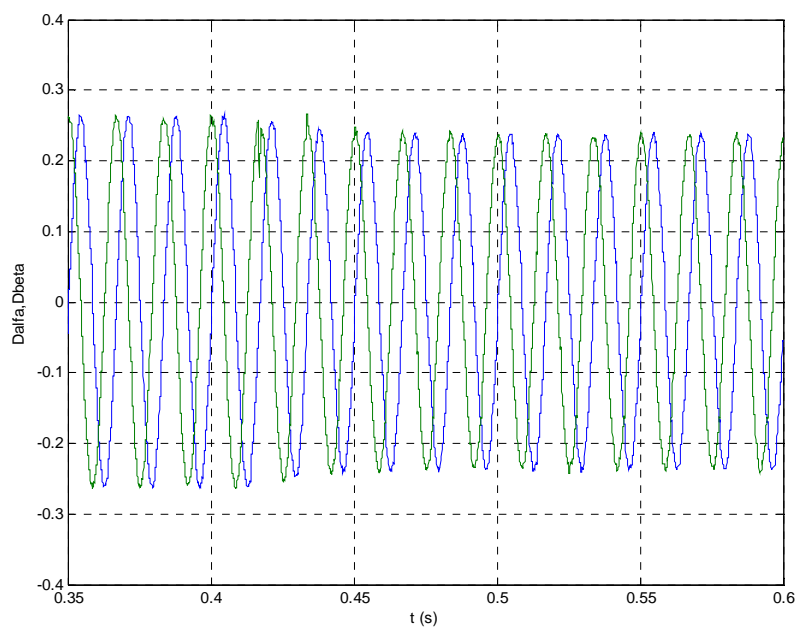


Fig. 7-24 – Razão cíclica D_α e razão cíclica D_β .

Na Fig. 7-25 é apresentada a razão cíclica para os interruptores das fases A, B e C. O valor de pico do sinal triangular utilizado pelo comparador do modulador PWM é 0,5.

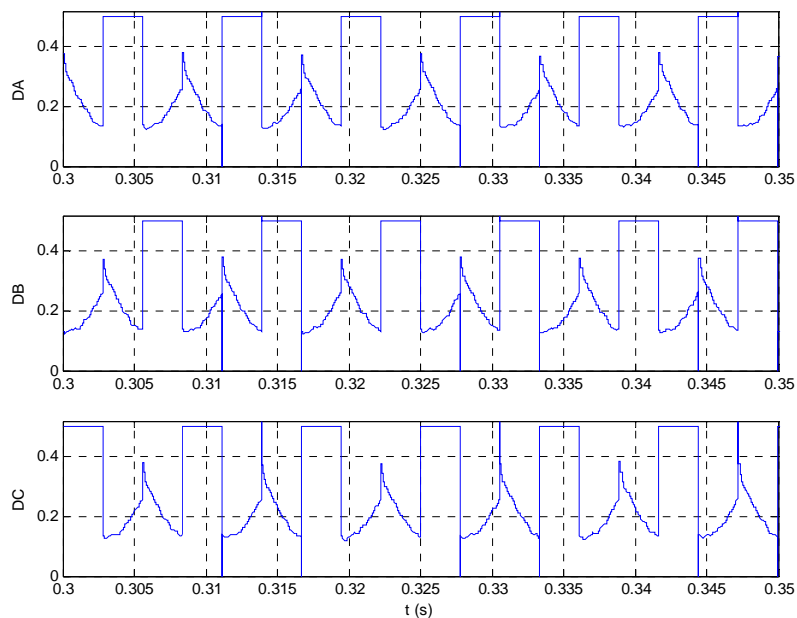


Fig. 7-25 – Razão cíclica das fases A, B e C.

Na aplicação de um degrau de carga de 50% no instante $t = 500$ ms, verificam-se as formas de onda da tensão de saída na Fig. 7-26 e das correntes de entrada na Fig. 7-27.

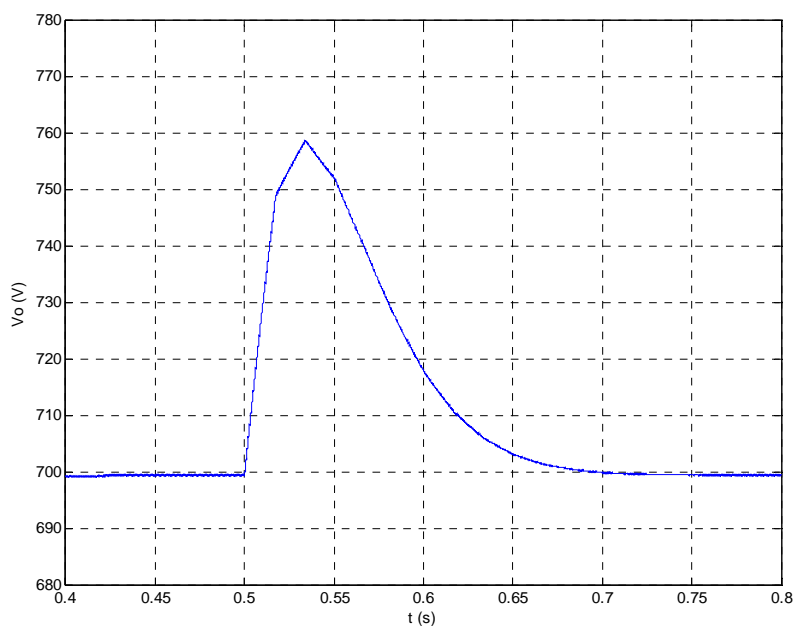


Fig. 7-26 – Tensão de saída.

Neste caso, o sobre-sinal da tensão de saída é menor que 10%.

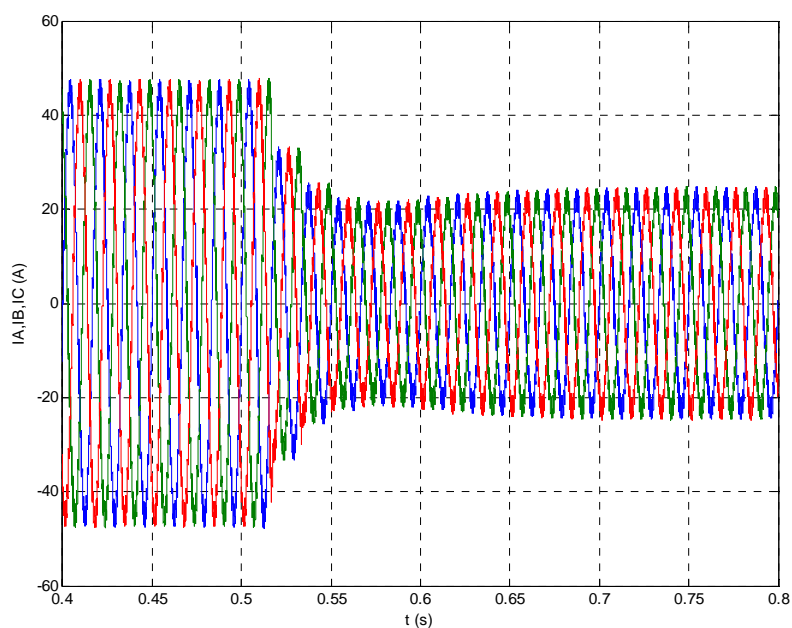


Fig. 7-27 – Correntes de entrada.

Os resultados obtidos nas simulações dos controladores digitais servem para validar o projeto destes controladores e se aproximam dos resultados obtidos na simulação dos controladores analógicos.

7.4. Características do DSP Utilizado

O processador digital de sinais utilizado foi do TMS320LF2407A da Texas Instruments [63-65] com o kit de desenvolvimento eZdspTMLF2407 da Spectrum Digital.

Como principais características deste DSP e de interesse para a aplicação no controle e modulação de retificadores trifásicos, podem-se citar [59]:

- Ciclo de instrução de 25ns;
- Desempenho de 40 MIPS;
- Até 32k de palavras de 16 bits de E²PROM Flash (4 setores);
- Até 2,5k de palavras de 16 bits de RAM de Dados/Programa. Sendo 544 palavras de RAM de duplo acesso e até 2k palavras de RAM de simples acesso;
- Dois módulos gerenciadores de eventos (EVA e EVB);
- Dois “Timers” de propósito geral de 16 bits;
- Oito canais de PWM de 16 bits;

- Sincronização para o conversor analógico digital;
- Interface de memória externa: 64k de programa, 64k de dados e 64k de I/O;
- *Watchdog*;
- Conversor analógico-digital de 10 bits, com 8 ou 16 canais de entrada multiplexados e tempo de conversão de 500ns;
- Até 40 pinos de entrada e saída programáveis individualmente;
- Até cinco interrupções externas.

Outras características deste processador podem ser encontradas nos manuais e “*applications*” disponibilizados pelo fabricante [63-65], nas referências [57] [58] e principalmente na referência [59] onde é feita uma análise da aplicação de DSPs para o controle de um retificador trifásico.

O desenvolvimento dos programas de controle do retificador foi realizado no ambiente de programação *Code Composer* [66] fornecido pelo fabricante do kit de desenvolvimento.

Entre outras características, este programa permite a criação de projetos com a construção dos programas em linguagem assembly, a inserção dos arquivos auxiliares na programação, a compilação e linkagem dos programas, a depuração do programa e a visualização de variáveis internas do DSP, conforme pode ser observado na Fig. 7-28.

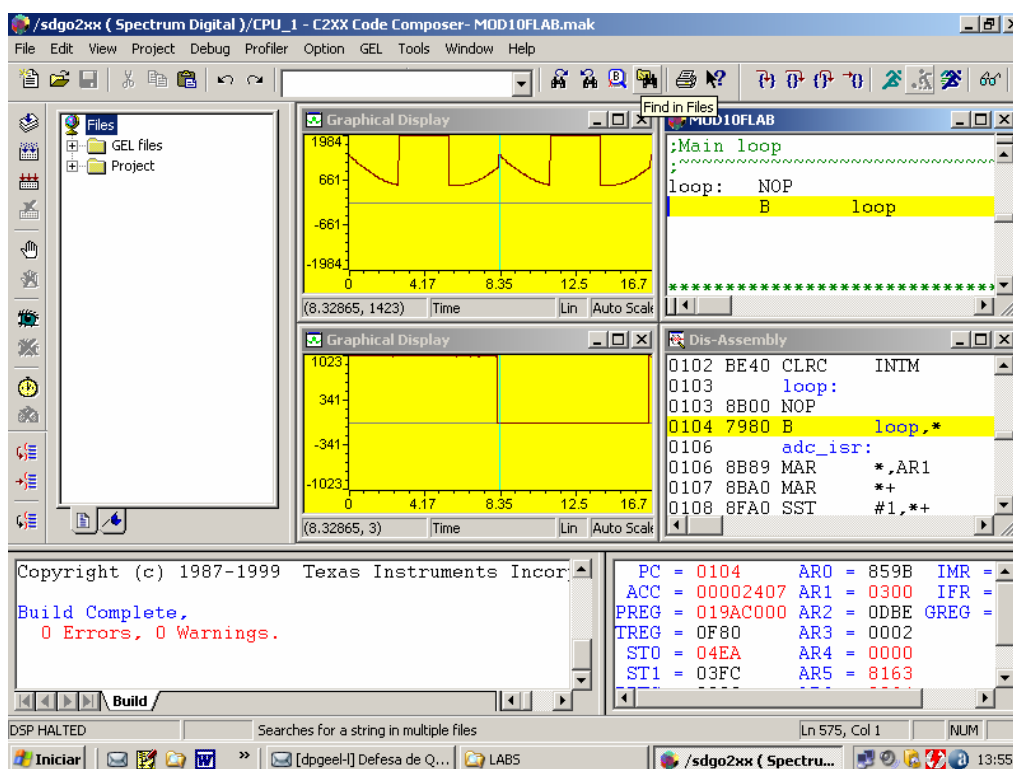


Fig. 7-28 – Ambiente de programação Code Composer.

7.5. Programação

7.5.1. Fluxograma

A Fig. 7-29 mostra o fluxograma utilizado para a programação em assembly.

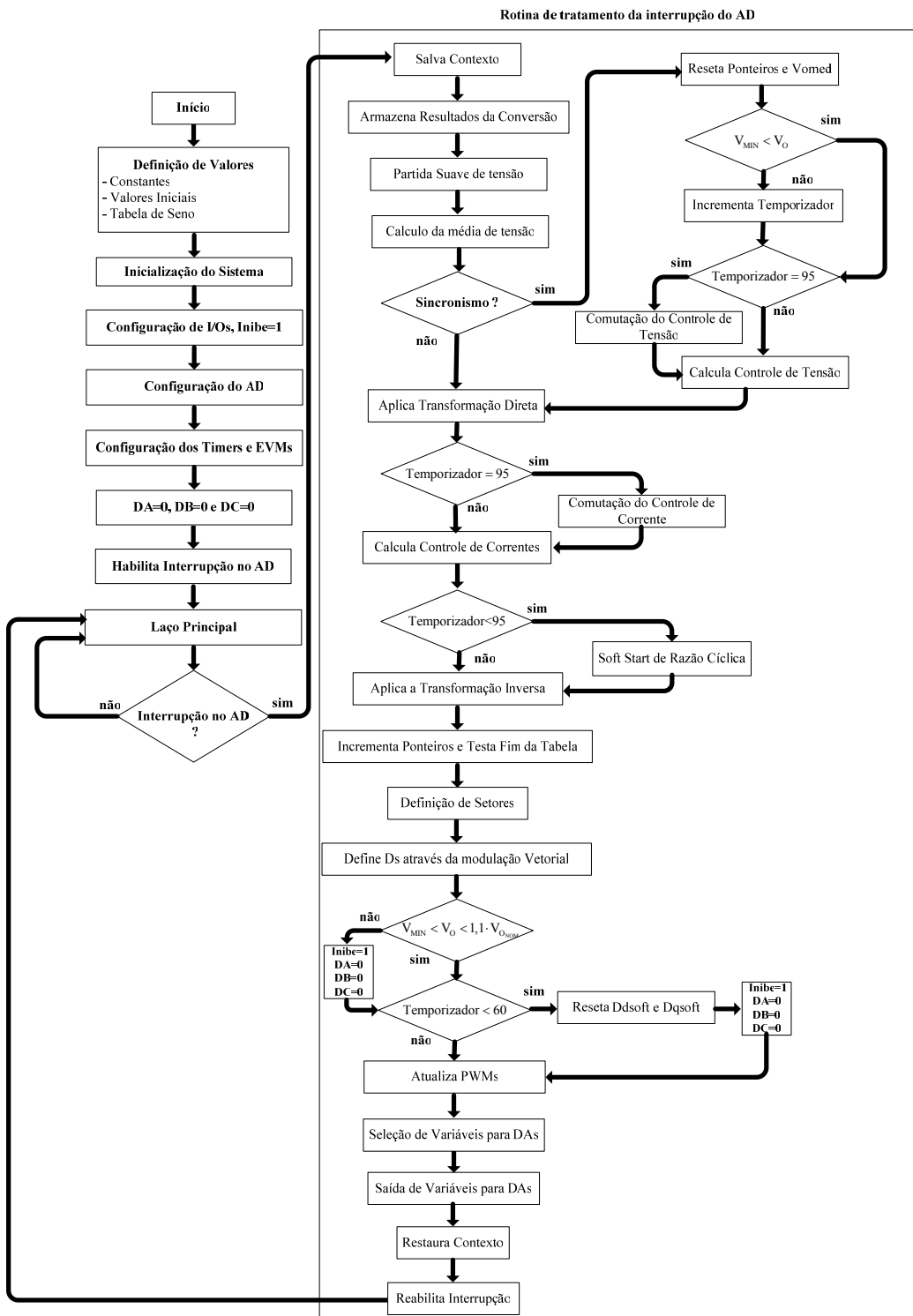


Fig. 7-29 – Fluxograma do programa de controle do retificador trifásico.

O desenvolvimento da programação do DSP foi realizado em linguagem assembly, sendo que as variáveis consideradas no programa estão no formato Q15 [58], com valores entre -1 e 1. Desta forma, os resultados das operações de produtos ficam limitados dentro desta faixa de operação.

Inicialmente, é feita a definição dos valores utilizados, ganhos e valores iniciais das variáveis utilizadas no programa. São definidos os registros para a configuração do sistema, para a configuração do conversor analógico digital (A/D), dos módulos gerenciadores de eventos (EVMs) e dos pinos de entrada e saída digital (I/Os).

Após as configurações iniciais, são habilitadas as interrupções pelo conversor analógico digital e o programa entra em um laço de espera, até a conclusão da conversão de todas as variáveis lidas pelo conversor A/D.

O disparo da conversão A/D é definido pelo Timer 3 do gerenciador de eventos B (EVB), como o período do PWM é bem maior que o tempo para realizar as conversões, garante-se que em cada período, tem-se a amostragem das variáveis controladas.

Quando as conversões das correntes de entrada e da tensão de saída são concluídas, ocorre o desvio do programa para a rotina de tratamento do pedido de interrupção gerado pelo conversor A/D. Nesta rotina, são armazenados os resultados das conversões A/D e são definidos os valores para o controle vetorial e a aplicação da modulação vetorial ao retificador PWM unidirecional.

As funções relacionadas com a partida do retificador utilizam como variável auxiliar um “TEMPORIZADOR” que é incrementado a cada ciclo de rede. A descrição do procedimento de partida do retificador é detalhada no item 7.5.5.

Após a saída dos sinais de controle e a visualização das variáveis internas do DSP, o programa volta ao laço principal e espera o término da próxima conversão.

7.5.2. Configurações

a) Definição de Valores e Inicialização do Sistema

Na parte inicial do programa são definidas as constantes e variáveis utilizadas no programa e os valores iniciais destas variáveis, como por exemplo, os valores de razão cíclica dos eixos direto, do eixo em quadratura, dos eixos alfa e beta, correntes de entrada, corrente de eixo direto, corrente de eixo em quadratura, etc.

É reservada uma região da memória para a pilha e definidos os endereços dos vetores de interrupção. O registro auxiliar AR1 é utilizado como o ponteiro da pilha.

b) Pinos de Entrada/Saída Digital (I/O)

A função dos pinos de I/O é definida pelos registros MCRA, MCRB e MCRC, podendo ser a função primária: PWMs, CAPs, etc. ou a função secundária de pino de entrada ou saída digital.

Os pinos de I/O são definidos como entrada ou saída e inicializados através da configuração dos registros PADATDIR, PBDATDIR, PCDATDIR PEDATDIR e PFDATDIR, sendo que as portas A, B e C são consideradas como saída para a conversão digital-analógica e visualização das variáveis internas do DSP.

O pino 7 da porta E (IOPE7) é definido como saída para a variável de proteção Inibe, e os pinos 7, 9 e 11 são as saídas do sinal PWM para as fases A, B e C, respectivamente.

Os pinos de 0 a 6 da porta F são configurados como entradas digitais, sendo os quatro primeiros utilizados para a seleção das variáveis a serem visualizadas pelos conversores D/A e os três últimos como entrada dos sinais de sincronismo para as fases A, B e C.

c) Conversores Analógico/Digital (A/D)

O conversor A/D foi configurado para realizar quatro conversões na seqüência um (SEQ1) com os canais CONV00, CONV01, CONV02 e CONV03 lendo as correntes I_A , I_B , I_C e a tensão de saída V_O através dos pinos 1, 2, 3 e 4 do conector P2 do kit eZdsp™LF2407.

O início da conversão para a SEQ1 foi definido a partir de um evento no EVB, estas funções foram configuradas a partir dos registros ADCTRL1, MAX_CONV, CHSELSEQ1 e ADCTRL2.

d) Gerenciador de Eventos

A definição dos pulsos de comandos dos IGBTs do retificador unidirecional foi realizada a través dos PWMs do gerenciador de eventos B. Para tanto, o Timer 3 foi

configurado para operar na frequência de 10080 Hz, implicando em 168 períodos de chaveamento em um período de rede.

Este “*timer*” foi configurado para operar no modo de contagem contínua crescente e decrescente (“*continuous-up/down*”) e para disparar o conversor A/D no “*underflow*”.

Para definir estas funções, foram configurados os registros T3CON, T3CNT, T3PR, GPTCOMB, ACTRB e COMCONB.

e) Interrupções

As interrupções utilizadas no programa foram definidas através dos registros de interrupção IFR, IMR e INTM. Sendo que a interrupção de maior interesse é a do conversor A/D, ficando esta interrupção habilitada e as interrupções dos gerenciadores de eventos desabilitadas pela configuração dos registros EVAIFRA, EVAIFRB, EVAIFRC, EVBIFRA, EVBIFRB e EVBIFRC.

7.5.3. Amostragem de Sinais

Após a conversão das variáveis amostradas (conversor A/D de 10 bits) estas variáveis são adaptadas ao formato Q15 e armazenadas. Como as amostras da corrente de entrada sofrem a adição de um nível CC que não é fixo para as várias condições de operação do retificador, é necessário retirar o valor médio destas correntes.

Isto é feito através do armazenamento de todos os valores do ciclo anterior da rede (amostragem de 168 pontos) e do cálculo da média destes valores. Desta forma, este valor médio é subtraído do valor das amostras.

Estes resultados estão sincronizados com a fase A, sendo que a cada passagem pelo zero da rede, estes valores são atualizados.

7.5.4. Teste de Sincronismo

Para sincronizar o retificador com a rede elétrica foi utilizado o sinal da entrada digital IOPF_4 (fase A) e detectada a transição de borda de subida deste sinal. Isto foi feito testando-se a variável auxiliar SincA e seu valor anterior (SincA_ant).

Quando o valor atual desta variável é maior que seu valor anterior, detecta-se o início do semiciclo positivo da fase A. Neste instante, os valores dos ponteiros das

senoides utilizadas nas transformações, e o valor do registro auxiliar AR6 (definição de setores) são reiniciados.

7.5.5. Proteções de Nível de Tensão e Partida Suave

Foram definidos limites mínimo e máximo de tensão de saída para a operação do retificador com a correção do fator de potência (PFC). Fora destes limites, o sinal Inibe é ativado e as razões cíclicas das três fases são zeradas, com isso, os pulsos de comando dos interruptores do retificador são inibidos.

A amostra da tensão de saída é comparada com um valor mínimo de tensão de saída próximo ao pico da tensão de linha, sendo que abaixo deste nível, o retificador não está operando como elevador e o acionamento dos interruptores não é desejado.

Da mesma forma, a comparação com um valor máximo possibilita a proteção contra sobretensões que podem ser destrutivas para os semicondutores, capacitores, etc.

Nas comparações dos limites máximo e mínimo foram definidas faixas de histerese para evitar que ocorram oscilações devidas à ondulação da tensão de saída.

Durante o transitório de partida, os pulsos de comando dos interruptores do retificador são inibidos. Fazem-se então as partidas progressivas para as razões cíclicas e após para a referência de tensão de saída, com o objetivo de limitar os picos de corrente nos semicondutores e evitar a atuação da proteção dos circuitos de comando.

A partir do valor mínimo de tensão de saída, próximo ao pico da tensão de linha da rede, o “TEMPORIZADOR” começa a contar os ciclos da rede. Após a energização do protótipo espera-se um intervalo de aproximadamente 300ms para fechar o contator de pré-carga. Após este transitório a tensão de saída atinge um valor de aproximadamente 500 V para uma carga mínima de 150 Ω .

Passado um segundo de contagem do “TEMPORIZADOR”, liberam-se os pulsos de comando dos IGBTs. Inicialmente, impõem-se as razões cíclicas de eixo direto e de eixo em quadratura pelo intervalo de 35 ciclos da rede.

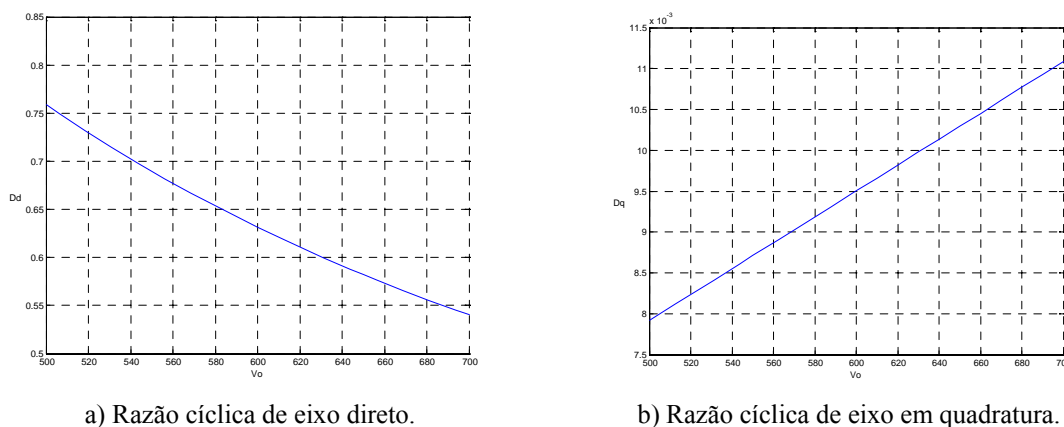
O “*soft-start*” de razão cíclica é necessário para colocar o sistema em operação com o controle vetorial, onde o formato de razão cíclica adequado para a operação em malha aberta é definido através da transformação inversa e da estratégia de modulação proposta.

O comportamento das razões cíclicas de eixo direto e de eixo em quadratura, para a operação com fator de potência unitário é dado pelas expressões (7.60) e (7.61).

$$D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_o} - \frac{R_{SE} \cdot I_d}{V_o} \quad (7.60)$$

$$D_q = \frac{L \cdot \omega \cdot I_d}{V_o} \quad (7.61)$$

Para a variação da tensão de saída de 500 V até 700 V apresenta-se a evolução dos sinais da razão cíclica de eixo direto e da razão cíclica de eixo em quadratura na Fig. 7-30.



a) Razão cíclica de eixo direto.

b) Razão cíclica de eixo em quadratura.

Fig. 7-30 – Comportamento das razões cíclicas.

Desta forma, foram impostos os valores de razão cíclica de eixo em quadratura com a variação de 0,006591 até 0,008728 com os respectivos valores no formato Q15 incrementados a cada período da rede. Os valores da razão cíclica de eixo direto variaram de 0,759 até 0,581 com seus valores correspondentes no formato Q15 sendo decrementados com uma frequência igual à metade da frequência de comutação.

Para esta variação de razões cíclicas a tensão de saída varia de 500 V até aproximadamente 650 V, quando o sistema deixa de operar em malha aberta e passam a operar os controladores de corrente e tensão.

No momento da comutação do controle, as referências devem ser ajustadas para os valores de saída no momento desta transição e devem ser armazenados os valores anteriores das variáveis utilizadas no cálculo das leis de controle.

A partir deste momento é liberada a partida progressiva para a referência de tensão de saída, sendo que este valor passa a ser incrementado a partir do seu valor atual de tensão, até atingir seu valor nominal.

O comportamento da tensão de saída durante o transitório de partida é mostrado na Fig. 7-31.

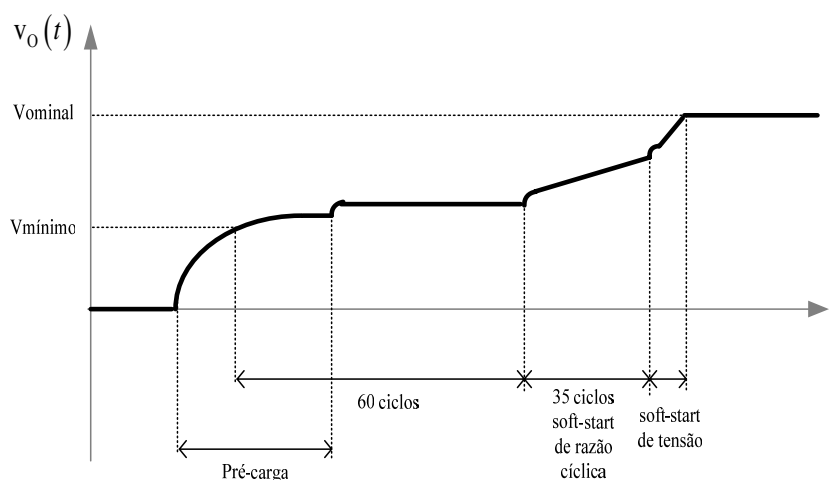


Fig. 7-31 – Comportamento da tensão de saída durante o transitório de partida.

7.5.6. Transformação Direta e Inversa

No cálculo das transformações direta e inversa definidas no Capítulo 2 são utilizadas funções seno e cosseno sincronizadas com as tensões de entrada das três fases, considerando-se o referencial deslocado de 90° , conforme a Fig. 2.7.

Assim, foram definidos seis ponteiros para a leitura de uma tabela com uma função senoidal de 168 pontos no formato Q15 para a realização das funções $\text{sen}(\omega \cdot t)$, $\text{sen}(\omega \cdot t + 120^\circ)$, $\text{sen}(\omega \cdot t - 120^\circ)$, $\text{cos}(\omega \cdot t)$, $\text{cos}(\omega \cdot t + 120^\circ)$ e $\text{cos}(\omega \cdot t - 120^\circ)$ como apresentado na Fig. 7-32. Neste caso, a função $\text{cos}(\omega \cdot t)$ deslocada de 90° está em fase com a tensão $v_A(t)$ e seu sinal de sincronismo Sinc_A .

Desta forma, o ponteiro da função $\text{cos}(\omega \cdot t - 90^\circ)$ (Pcos) assume o primeiro valor da tabela no início do semiciclo positivo da fase A. Os valores iniciais das outras funções trigonométricas utilizadas são obtidos pela projeção de seus respectivos valores neste instante, sobre a função de referência $\text{cos}(\omega \cdot t - 90^\circ)$.

É realizado um teste para verificar se os ponteiros chegaram ao fim da tabela, neste caso, no próximo período de chaveamento, eles voltam a apontar para a posição do início da tabela.

A partir destas definições, a realização das transformações direta e inversa se resume na leitura dos valores da tabela e no produto e soma de variáveis.

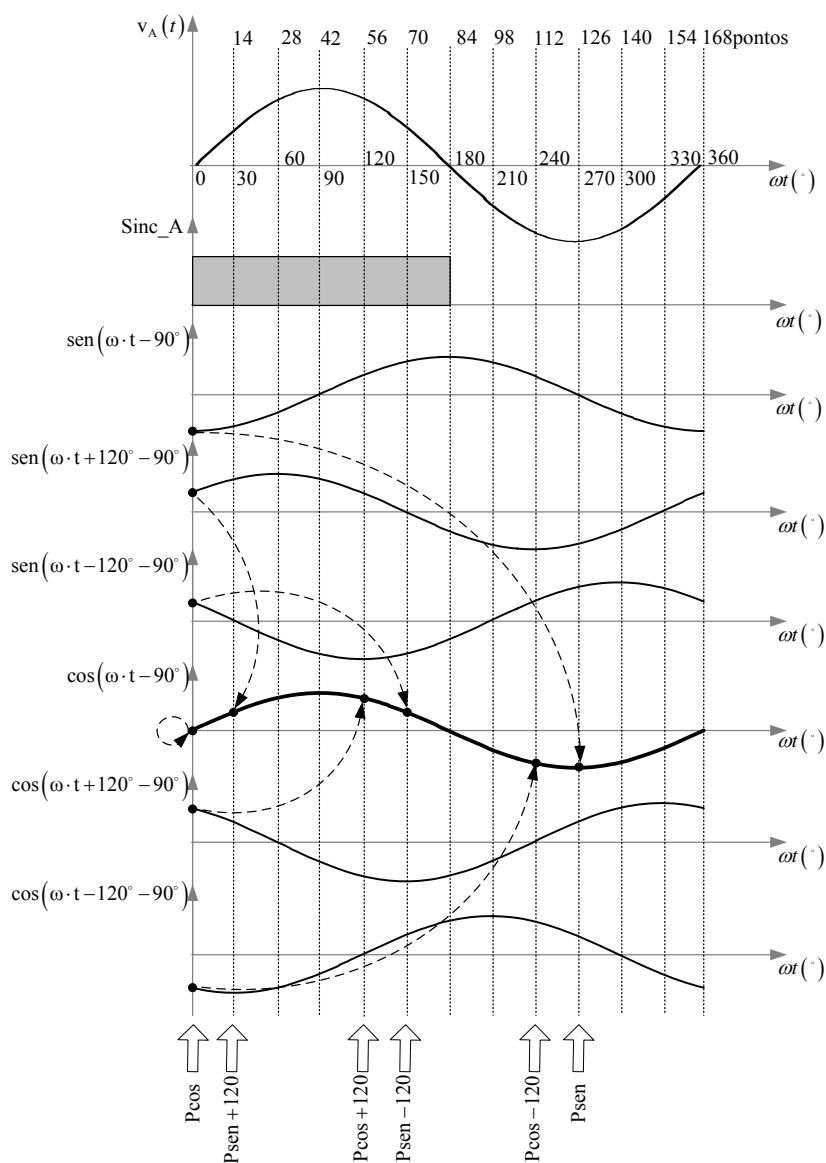


Fig. 7-32 – Ponteiros das senoides e cossenoides.

7.5.7. Implementação dos Controladores

Uma vez definidos os ganhos dos controladores e filtros, amostradas as variáveis a serem controladas e realizadas as devidas transformações, a implementação dos controladores é feita a partir das equações a diferenças desenvolvidas na seção 7.3 através da soma e produto de variáveis e do armazenamento das variáveis anteriores para a implementação dos atrasos.

Ou seja, os controladores são implementados através de equações algébricas facilmente realizadas pelo DSP.

7.5.8. Definição dos Setores e Cálculo das Razões Cíclicas

A definição dos setores de corrente é feita a partir de testes realizados com o registro auxiliar AR6. Com 168 períodos de chaveamento por período da rede, foi feita a divisão deste período em 6 setores com intervalos de 60° (28 pontos).

O registro auxiliar AR6 assume o valor um a cada início de semi-período de tensão da fase A e é incrementado a cada período de comutação. A lógica para definição dos setores de corrente é apresentada em (7.62).

$$\text{se } \begin{cases} 1 \leq \text{AR6} \leq 28 \Rightarrow \text{setor C-} \\ 29 \leq \text{AR6} \leq 56 \Rightarrow \text{setor A+} \\ 57 \leq \text{AR6} \leq 84 \Rightarrow \text{setor B-} \\ 85 \leq \text{AR6} \leq 112 \Rightarrow \text{setor C+} \\ 113 \leq \text{AR6} \leq 140 \Rightarrow \text{setor A-} \\ 141 \leq \text{AR6} \leq 156 \Rightarrow \text{setor B+} \end{cases} \quad (7.62)$$

Uma vez definidos os setores de corrente, aplicam-se as equações desenvolvidas no capítulo 3 ou no capítulo 4 para o cálculo das razões cíclicas das fases A, B e C.

7.6. Conclusão

Neste capítulo foi apresentado com exemplo o projeto dos controladores digitais para a potência de saída de 20 kW, com a amostragem da malhas de tensão em 60 Hz a amostragem das malhas de corrente em 10 kHz.

O desempenho dos controladores de tensão e corrente foi verificado através de simulações digitais que consideram as frequências de amostragens utilizadas e a precisão da lógica de ponto fixo.

Foi feita uma breve descrição das características do processador utilizado e da programação realizada, com a caracterização dos principais registros utilizados e da configuração dos periféricos necessários para o controle e modulação do retificador trifásico unidirecional.

Capítulo 8 – Resultados Experimentais

8.1. Introdução

Neste capítulo são apresentados os resultados experimentais dos ensaios realizados para os protótipos implementados (retificador trifásico unidirecional Y_1 e retificador trifásico unidirecional Δ _1).

Inicialmente, serão apresentados os resultados para a operação dos retificadores com a potência de 10 kW, tensão de linha na entrada de 220 V e tensão de saída de 400 V.

Após serão mostrados os resultados para a potência nominal do protótipo, conforme as especificações definidas no capítulo 6 e no capítulo 7.

8.2. Operação sem Correção de Fator de Potência

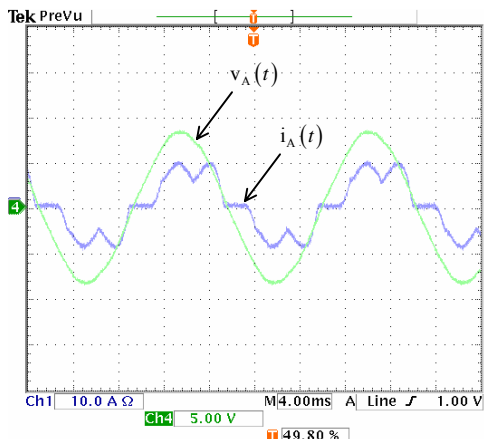
O comportamento da estrutura sem a correção de fator de potência (PFC) foi verificado deixando-se os interruptores bloqueados e mantendo-se os indutores de entrada do retificador. Na Tabela 8-1 são apresentados os parâmetros utilizados para análise do retificador e os resultados obtidos neste ensaio.

Tabela 8-1 – Parâmetros do retificador.

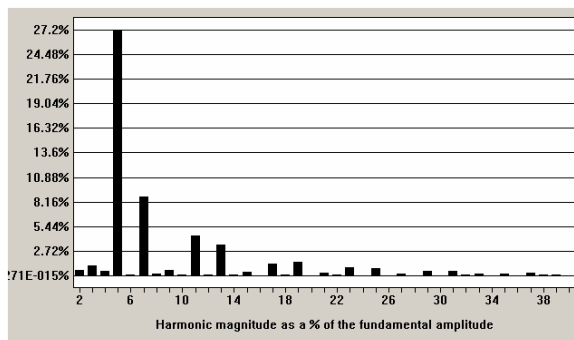
Tensão de entrada (V_{IN})	127 V
Potência de saída (P_O)	2 kW
Distorção harmônica total de corrente (THD_I)	29,2%
Distorção harmônica total de tensão (THD_V)	1,6%
Fator de potência (FP)	0,914

As formas de onda de tensão e corrente nas três fases de entrada do retificador são mostradas na Fig. 8-1 (a), (c) e (e), juntamente com os respectivos espectros harmônicos das correntes de entrada na Fig. 8-1 (b), (d) e (f).

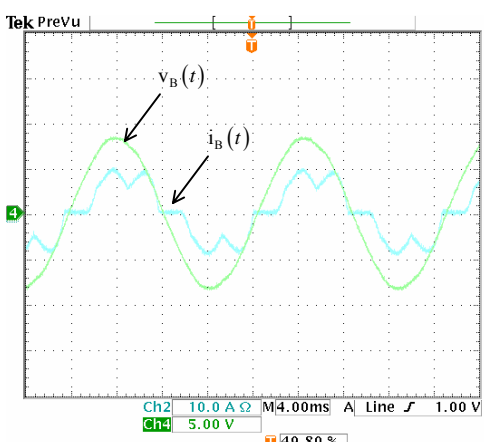
Neste caso, verifica-se que apesar do elevado fator de potência, a distorção das correntes de entrada e o conteúdo individual das componentes harmônicas destas correntes não satisfazem a norma IEC 61000 3-4 [2] que estabelece o limite de 16% para a distorção harmônica total de corrente e 14% para o valor percentual da quinta harmônica em relação a componente fundamental da corrente de entrada.



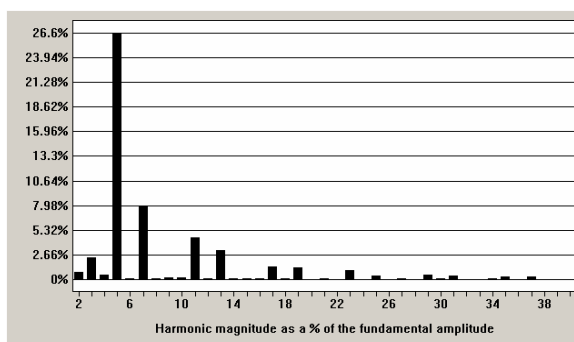
a) Tensão de referência e corrente na fase A.



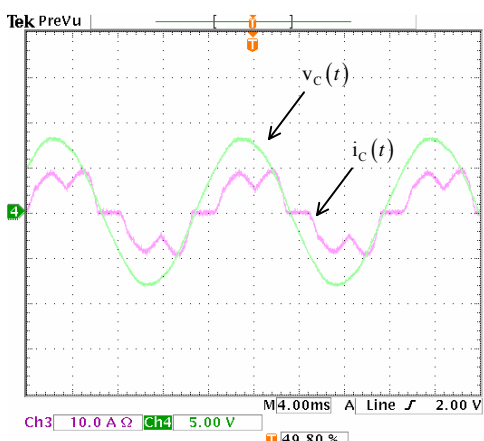
b) Harmônicas de corrente para a fase A.



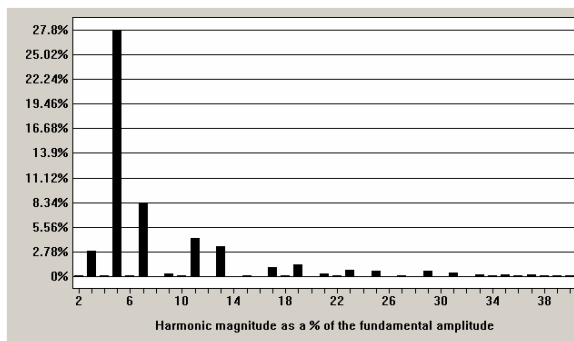
c) Tensão de referência e corrente na fase B.



d) Harmônicas de corrente para a fase B.



e) Tensão de referência e corrente na fase C.



f) Harmônicas de corrente para a fase C.

Fig. 8-1 – Tensões de referência e correntes de entrada.

8.3. Testes das Rotinas Implementadas

Nesta seção são apresentados alguns resultados obtidos das rotinas utilizadas no programa de controle dos retificadores unidirecionais para a operação nas condições do item 8.2.

Na figura Fig. 8-1 (a) são apresentados os sinais de sincronismo das três fases lidos nos conversores D/A, gerados a partir das entradas digitais de sincronismo juntamente com a corrente da fase A.

Os sinais de sincronismo da fase A, o sinal que define os setores de corrente e o sinal amostrado da tensão de saída, lidos nos conversores D/A, são apresentados na Fig. 8-2 (b) juntamente com a corrente da fase A.

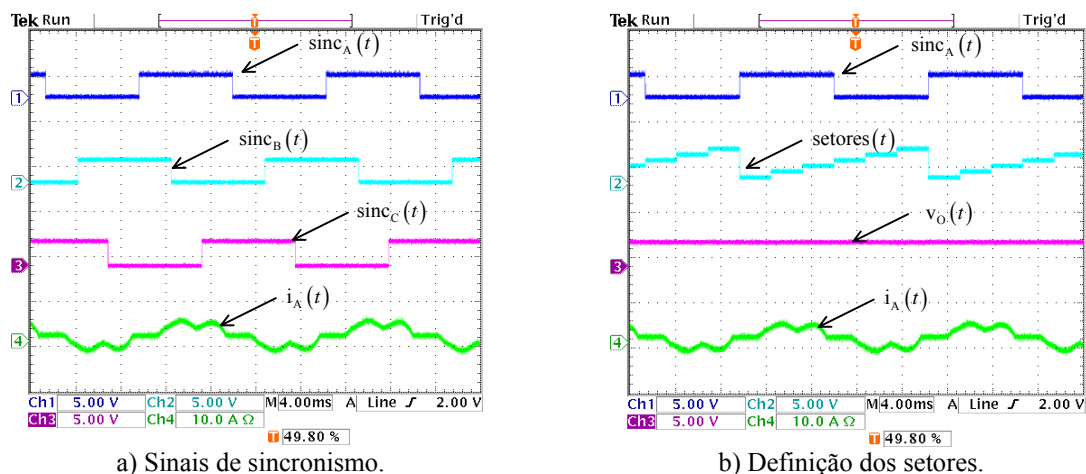


Fig. 8-2 - Sinais auxiliares.

Neste ensaio, são gerados os sinais de comando e de razão cíclica para os retificadores Y_1 e Δ_1 a partir dos valores nominais de razão cíclica de eixo direto e de razão cíclica de eixo em quadratura.

Os sinais de razão cíclica para o retificador Y_1 gerados pelo DSP e lidos nos conversores D/A são apresentados na Fig. 8-3.

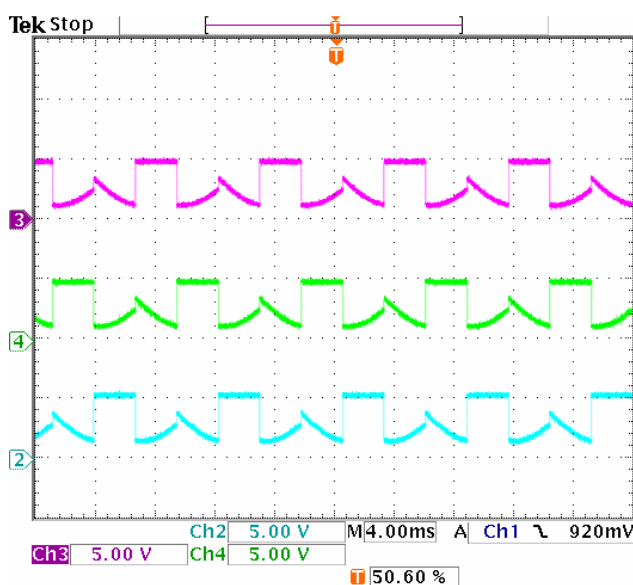


Fig. 8-3 – Razões cíclicas para o retificador Y_1 .

A Fig. 8-4 mostra os sinais de comando dos interruptores de cada braço conectados às fases A, B e C do retificador Y_1 para os sub-setores de um semi-período de rede. O formato e a evolução dos sinais de comando e de razão cíclica correspondem aos apresentados no capítulo 3.

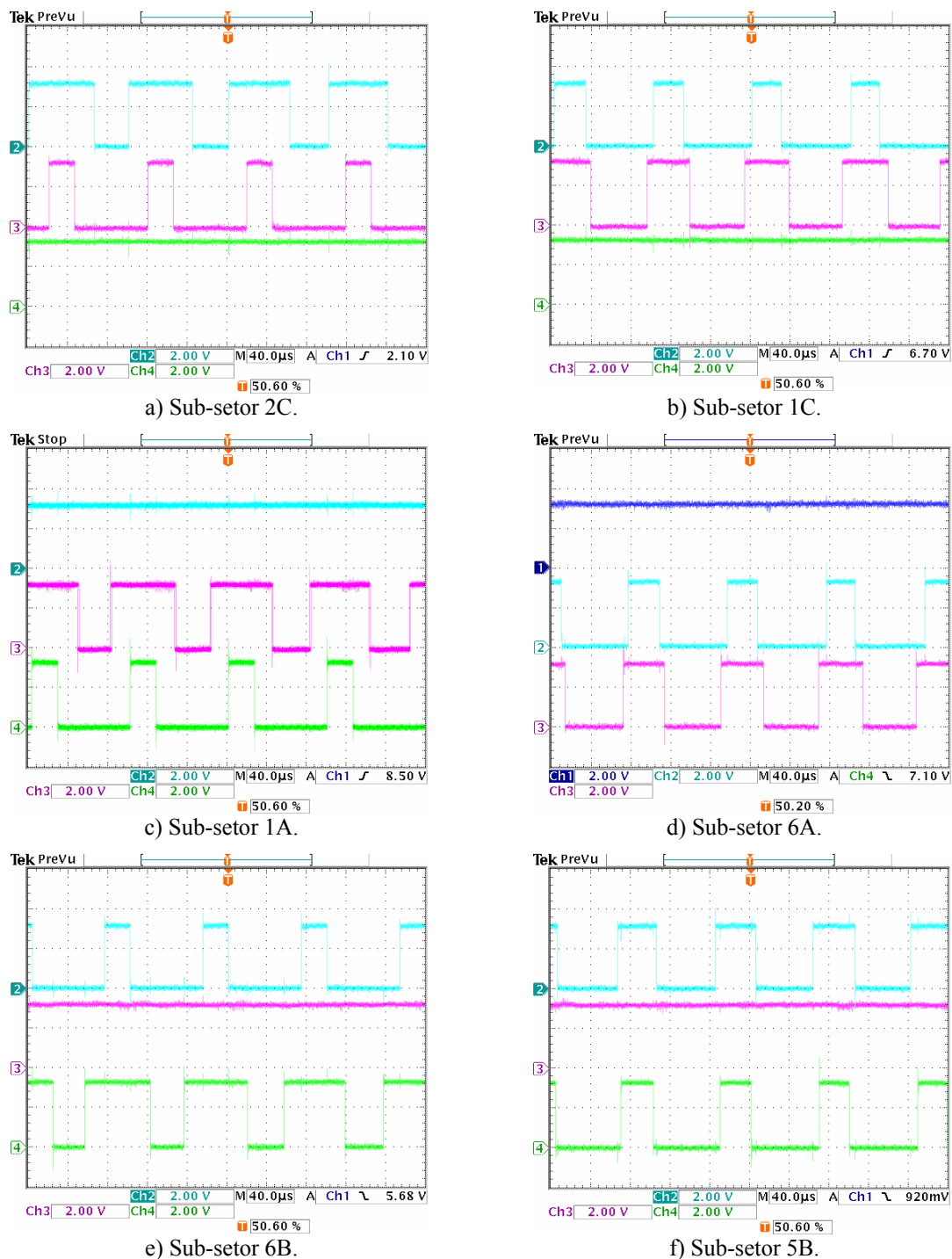


Fig. 8-4 – Sinais de comando em cada um dos sub-setores para o retificador Y_1.

Para o retificador Δ_1 , os sinais de comando dos interruptores de cada braço conectados às fases A, B e C são mostrados na Fig. 8-5 e os sinais de razão cíclica gerados pelo DSP e lidos nos conversores D/A são apresentados na Fig. 8-6.

Neste caso, o formato e a evolução dos sinais de comando e de razão cíclica correspondem aos apresentados no capítulo 4.

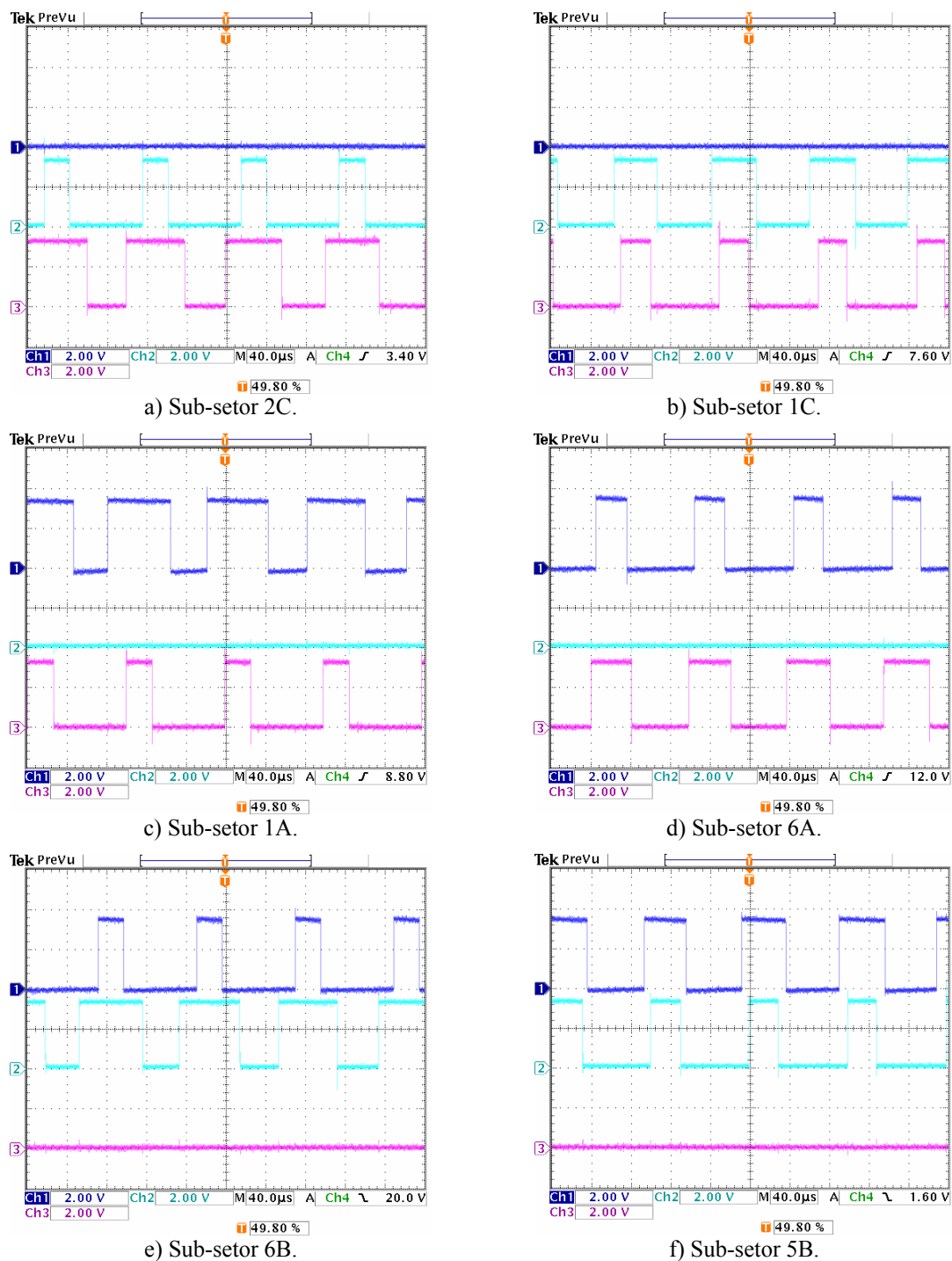
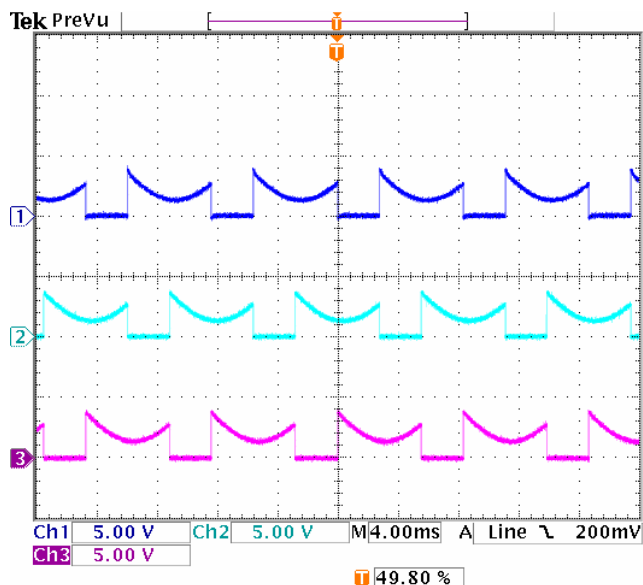


Fig. 8-5 – Sinais de comando em cada um dos sub-setores para o retificador Δ_1 .

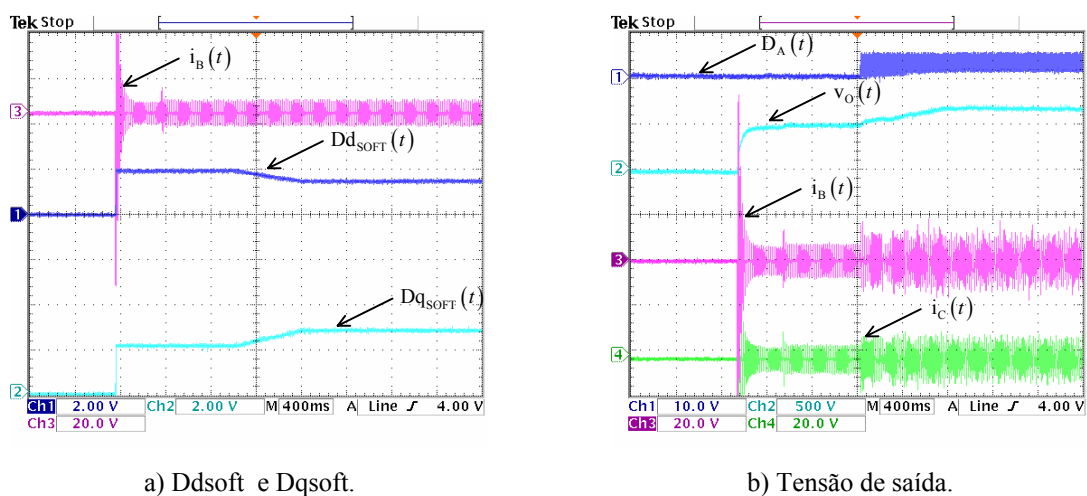
Fig. 8-6 – Razões cíclicas para o retificador Δ_1 .

8.3.1. Procedimento de Partida

Os principais sinais relacionados com o transitório de partida do retificador para a tensão de entrada em 380 V e saída em 700 V são mostrados na Fig. 8-7.

A evolução dos sinais de razão cíclica durante o transitório de partida (D_{dSOFT} e D_{qSOFT}) é apresentada na Fig. 8-7 (a) e o comportamento da tensão de saída e das correntes de entrada é verificado na Fig. 8-7 (b).

Verifica-se a concordância dos sinais com aqueles descritos no procedimento de partida detalhado na secção 7.5.5, onde se têm a limitação dos picos de corrente de entrada pelos resistores de pré-carga e o aumento gradativo da tensão de saída até que seja atingido o seu valor de referência nominal.

a) D_{dsoft} e D_{qsoft} .

b) Tensão de saída.

Fig. 8-7 – Transitório de Partida.

8.4. Retificador Unidirecional Y_1

Os ensaios do retificador unidirecional Y_1 e do retificador unidirecional Δ_1 foram realizados com duas configurações, inicialmente são apresentados os resultados para uma tensão de linha de entrada de 220 V, tensão de saída de 400 V e a variação da potência de saída em seis estágios até o valor de 10 kW. Na segunda configuração, o valor da tensão de linha de entrada é de 380 V e o valor da tensão de saída é de 700 V, com potência de saída de até 20kW.

8.4.1. Operação com $V_L = 220$ V e $V_O = 400$ V

Nesta configuração foi adotada a mesma metodologia de projeto para os controladores discretos utilizada no capítulo 7.

Os parâmetros dos controladores das malhas de corrente utilizados são apresentados em (8.1) e em (8.2) e o valor da constante de desacoplamento utilizada é dado em (8.3).

$$K_{II} = 0,209 \quad (8.1)$$

$$K_{pI} = 2,13 \quad (8.2)$$

$$K_{\text{desacopl}} = 0,01423 \quad (8.3)$$

Para a malha de tensão os parâmetros do controlador são apresentados em (8.4) e em (8.5).

$$K_{IV} = 0,065 \quad (8.4)$$

$$K_{pV} = 2 \quad (8.5)$$

A Fig. 8-8 mostra as correntes de entrada do retificador unidirecional Y_1 para seis diferentes valores de potência de saída. Observa-se que à medida que a potência aumenta, a ondulação da corrente de entrada é menos significativa em relação ao valor total desta corrente e que são apresentadas pequenas distorções de corrente.

Estas distorções ocorrem porque a modulação para as estruturas unidirecionais é dividida em setores e o formato de razão cíclica utilizado apresenta descontinuidades que os controladores de corrente não conseguem realizar instantaneamente.

Além disso, as estruturas unidirecionais não conseguem operar com tensões e correntes com sinais opostos e no cruzamento pelo valor zero de tensão as variações de corrente ficam limitadas ao sinal do setor em que se está operando.

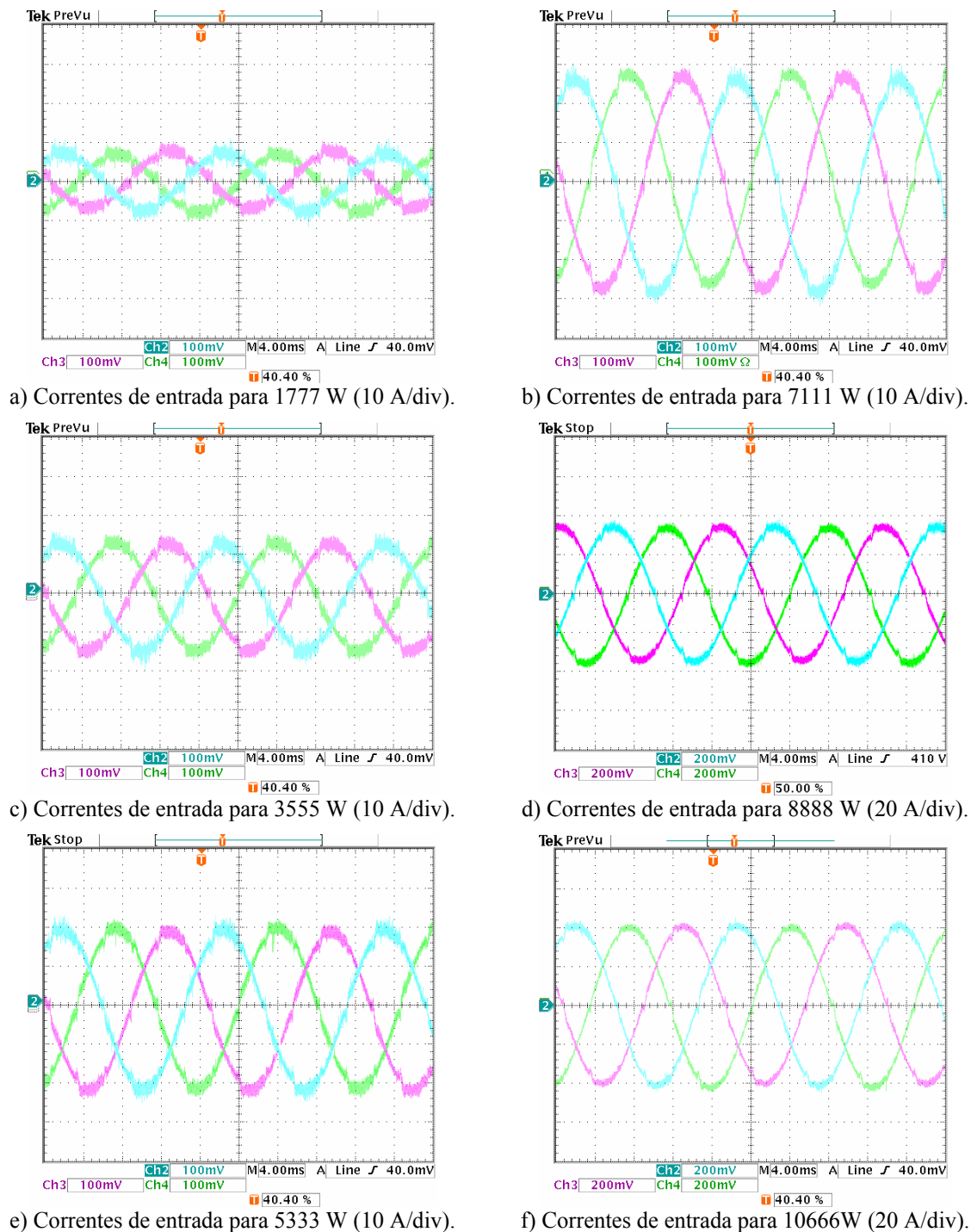
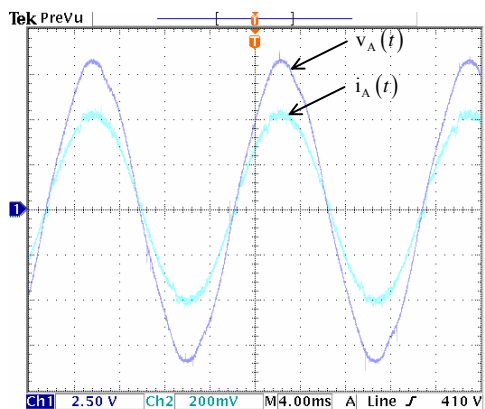
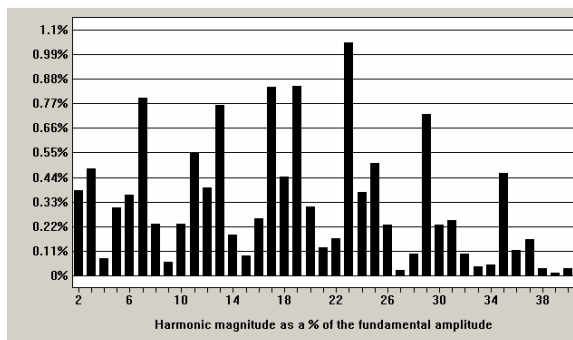


Fig. 8-8 - Correntes nas fases A, B e C.

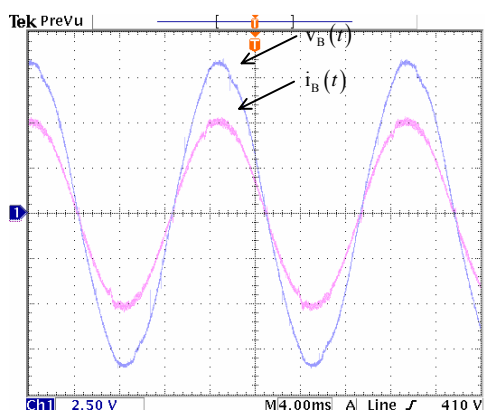
Na Fig. 8-9 apresenta-se a corrente nas três fases e os respectivos sinais de sincronismo para a potência de 10 kW, verifica-se que os sinais de corrente apresentam baixa taxa de distorção e estão em fase com as tensões de entrada. A Tabela 8-2 mostra os valores obtidos para a taxa de distorção harmônica de corrente (THD_I), a taxa de distorção harmônica de tensão (THD_V), o fator de deslocamento (FD) e o fator de potência (FP).



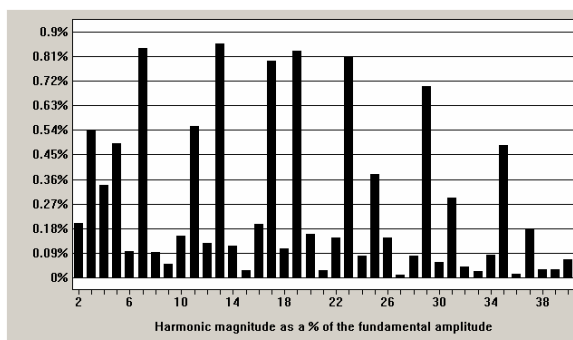
a) Tensão de referência e corrente na fase A.



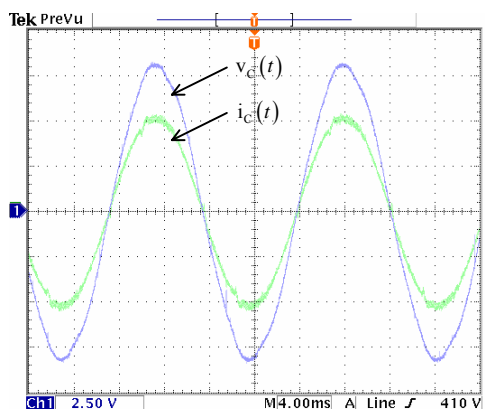
b) Harmônicas de corrente para a fase A.



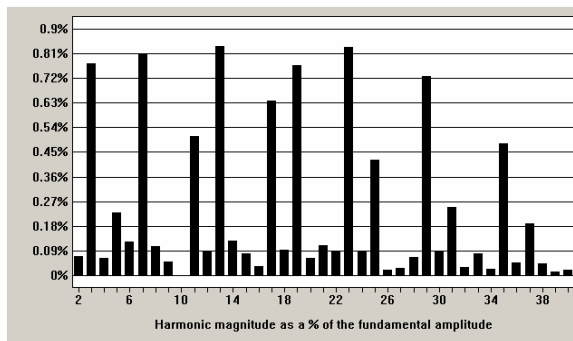
c) Tensão de referência e corrente na fase B.



d) Harmônicas de corrente para a fase B.



e) Tensão de referência e corrente na fase C.



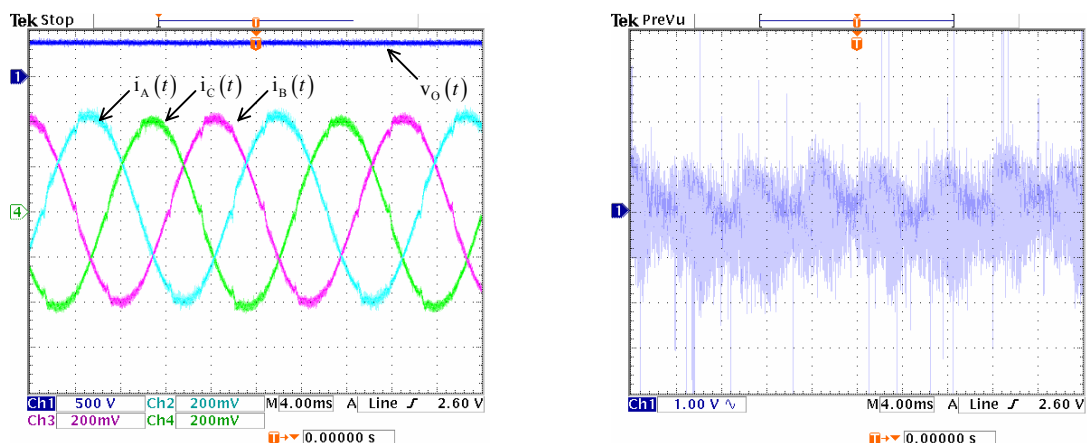
f) Harmônicas de corrente para a fase C.

Fig. 8-9 – Tensão e corrente de entrada.

Tabela 8-2 – Fator de potência.

	THD _V	THD _I	FD	FP
Fase A	2,47%	2,61%	0,0844°	0,9993
Fase B	1,79%	2,40%	1,8957°	0,9990
Fase C	1,99%	2,29%	1,1010°	0,9993

Na Fig. 8-10 (a) observa-se a tensão de saída regulada no valor de 400 V, juntamente com as correntes de entrada. Um detalhe da ondulação da tensão de saída é apresentado na Fig. 8-10 (b), na qual se observa que além da componente de alta frequência, aparecem ondulações de baixa frequência devidas às diferenças entre as tensões de entrada e a característica de divisão em setores para a modulação empregada.



a) Correntes de entrada (20 A/div) e tensão de saída.

b) Detalhe da tensão de saída.

Fig. 8-10 - Tensão de saída.

Na Fig. 8-11 são verificadas as amostras da corrente de eixo direto e a corrente de eixo em quadratura lidas nos conversores D/A que apresentam níveis de off-set de aproximadamente 2,7 V para estas variáveis.

Estas grandezas apresentam formato contínuo e são verificadas juntamente com o sinal de sincronismo da fase A e a corrente nesta fase.

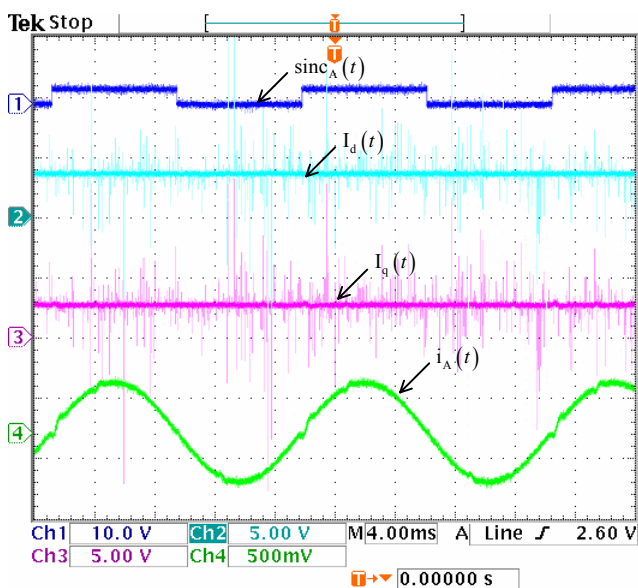


Fig. 8-11 - Corrente de eixo direto e corrente de eixo em quadratura.

Na Fig. 8-12 são mostradas a razão cíclica de eixo direto e a razão cíclica de eixo em quadratura, nas mesmas condições apresentadas para as correntes de eixo direto e de eixo em quadratura.

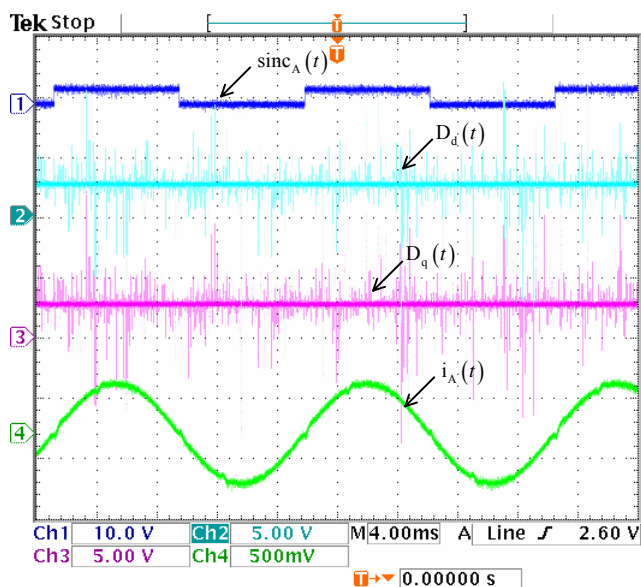


Fig. 8-12 - Razão cíclica de eixo direto e razão cíclica de eixo em quadratura.

As razões cíclicas dos eixos α e β , lidas nos conversores D/A são mostradas na Fig. 8-13, com o mesmo nível de off-set das medidas anteriores.

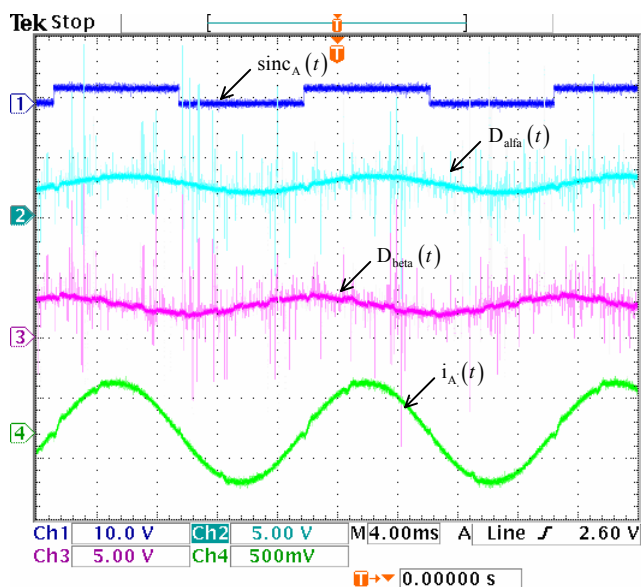


Fig. 8-13 - Razão cíclica do eixo α e razão cíclica do eixo β .

As razões cíclicas das fases A, B e C são mostradas na Fig. 8-14, verificando-se a semelhança com os sinais teóricos apresentados anteriormente.

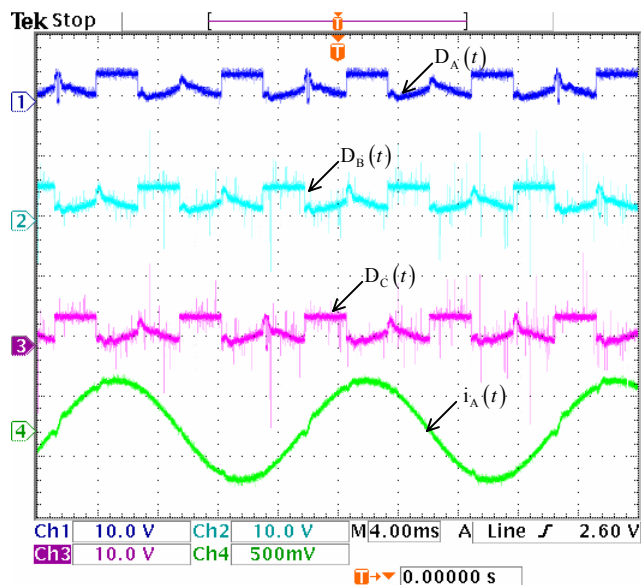


Fig. 8-14 - Razões cíclicas para as fases A, B, e C.

A seguir, serão apresentadas as formas de onda relativas ao funcionamento do estágio de potência, para a potência de 10 kW.

A Fig. 8-15 mostra a forma de tensão sobre o indutor e a corrente no indutor, na qual se observa o valor máximo de aproximadamente 240 V.

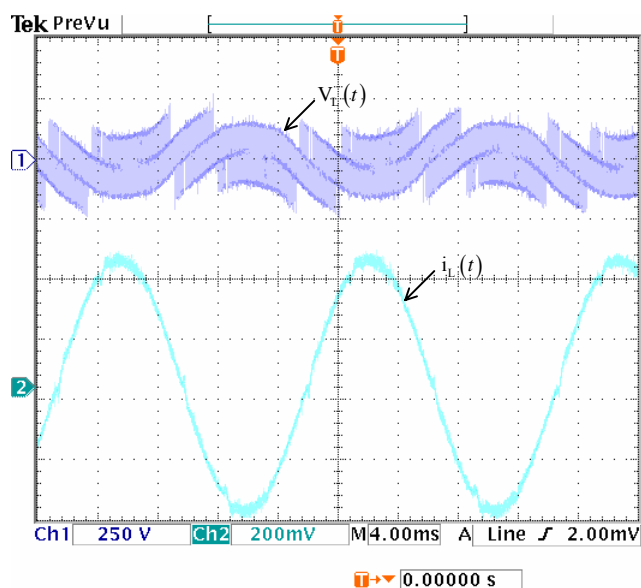


Fig. 8-15 – Formas de onda de tensão e corrente (20 A/div) para os indutores de entrada.

A Fig. 8-16 (a) mostra a forma de tensão corrente no interruptor S_A e a Fig. 8-16 (b) mostra a forma de tensão e corrente no diodo D_{A1} , ambos os resultados são coerentes com aqueles apresentados em [27].

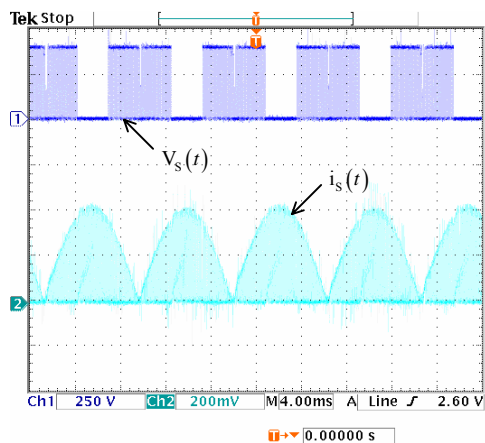
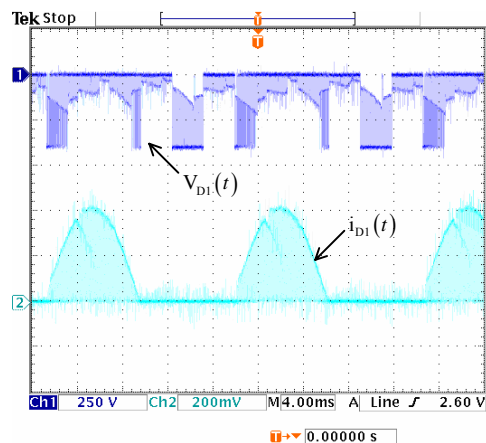
a) Tensão e corrente para o interruptor S_A .b) Tensão e corrente para o diodo D_{A1} .

Fig. 8-16 – Formas de onda de tensão e corrente (20 A/div) nos semicondutores.

A Fig. 8-17 (a) mostra a forma de tensão e corrente no diodo D_{A3} e a Fig. 8-17 (b) mostra a forma de tensão e corrente no diodo D_{A5} , neste caso também se têm a correspondência com os resultados apresentados em [27].

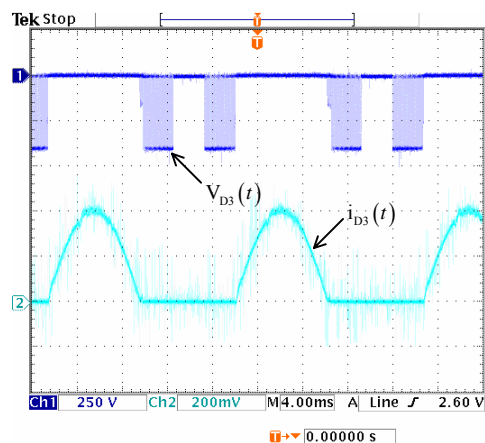
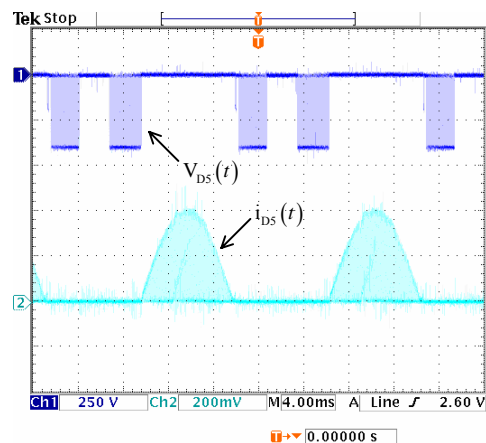
a) Tensão e corrente para o diodo D_{A3} .b) Tensão e corrente para o diodo D_{A5} .

Fig. 8-17 – Formas de onda de tensão e corrente nos semicondutores.

A Tabela 8-3 apresenta uma comparação entre resultados teóricos e os obtidos na experimentação para a potência de 10 kW.

Os valores medidos na experimentação se aproximam dos valores teóricos validando a análise teórica realizada para o cálculo dos esforços de tensão e corrente desenvolvida em [27] e o projeto para o estágio de potência.

Tabela 8-3 – Comparação entre resultados teóricos e experimentais.

		Valores Teóricos	Valores Experimentais
Tensão de saída $\Rightarrow V_O$		400 V	400 V
Potência de saída $\Rightarrow P_O$		10666 W	10666 W
Ondulação na tensão de saída (porcentagem da tensão de saída nominal) $\Rightarrow \Delta V_O\%$		2 V	2,5 V
Ondulação na corrente de fase (porcentagem da corrente de pico) $\Rightarrow \Delta I\%$		4,1 A	4 A
Corrente média no interruptor $\Rightarrow I_{S_{MED}}$		7,81 A	10,2 A
Corrente eficaz no interruptor $\Rightarrow I_{S_{EF}}$		13,55 A	16,9 A
Corrente de pico no interruptor $\Rightarrow I_{S_p}$		42 A	42 A
Tensão de pico no interruptor $\Rightarrow V_{S_p}$		400 V	400 V
Corrente de pico no indutor $\Rightarrow I_{L_p}$		42A	42A
Corrente eficaz no indutor $\Rightarrow I_{L_{EF}}$		29,46 A	29,36 A
Corrente média no indutor $\Rightarrow I_{L_{MED}}$		0 A	0 A
Tensão de pico no indutor $\Rightarrow V_{L_p}$		223,3 V	225 V
Diodos D_{I12}	Corrente de pico $\Rightarrow I_{DI12_p}$	42 A	42 A
	Corrente média $\Rightarrow I_{DI12_{MED}}$	9,35 A	10,5 A
	Corrente eficaz $\Rightarrow I_{DI12_{EF}}$	18,43 A	18,1 A
	Tensão de pico $\Rightarrow V_{DI12_p}$	400 V	400 V
Diodos D_{I34}	Corrente de pico $\Rightarrow I_{DI34_p}$	42 A	42 A
	Corrente média $\Rightarrow I_{DI34_{MED}}$	13,26 A	15,2 A
	Corrente eficaz $\Rightarrow I_{DI34_{EF}}$	20,83 A	22,3 A
	Tensão de pico $\Rightarrow V_{DI34_p}$	400V	400V
Diodos D_{I56}	Corrente de pico $\Rightarrow I_{DI56_p}$	42 A	42 A
	Corrente média $\Rightarrow I_{DI56_{MED}}$	3,9 A	4,24 A
	Corrente eficaz $\Rightarrow I_{DI56_{EF}}$	9,54 A	10,3 A
	Tensão de pico $\Rightarrow V_{DI56_p}$	400 V	400 V

8.4.2. Operação com $V_L = 380\text{ V}$ e $V_O = 700\text{ V}$

Os resultados que seguem utilizam os parâmetros definidos no capítulo 6 e no capítulo 7 para o retificador trifásico PWM unidirecional Y_1.

A Fig. 8-18 mostra as correntes de entrada do retificador para seis valores de potência de saída.

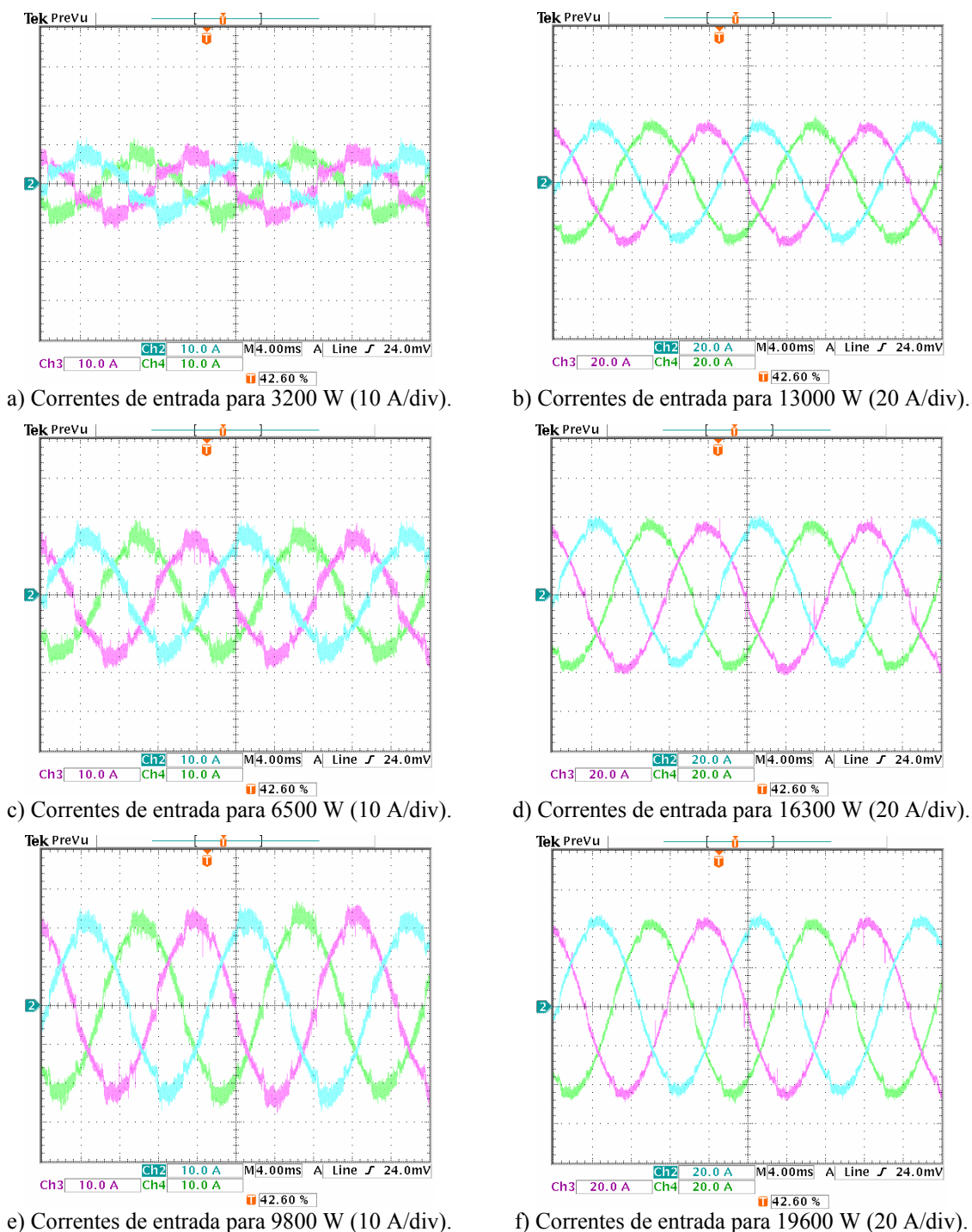
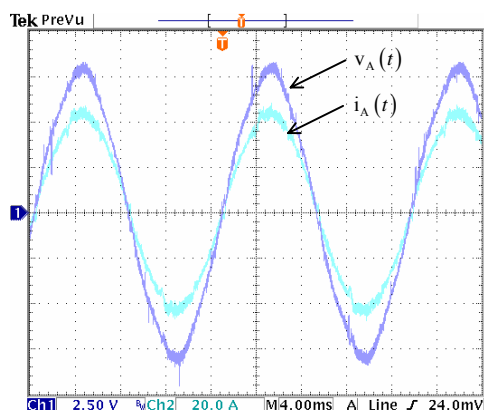


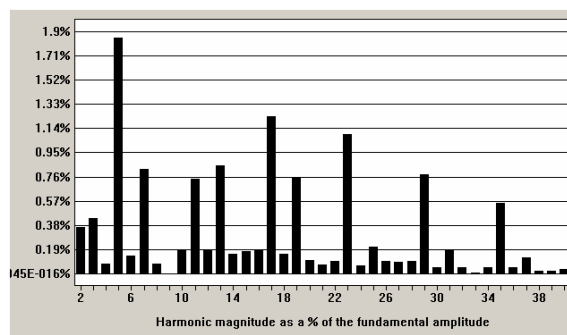
Fig. 8-18 - Correntes nas fases A, B e C.

Neste caso, observa-se uma maior ondulação nas correntes de entrada, já que os níveis de tensão sobre os indutores são maiores.

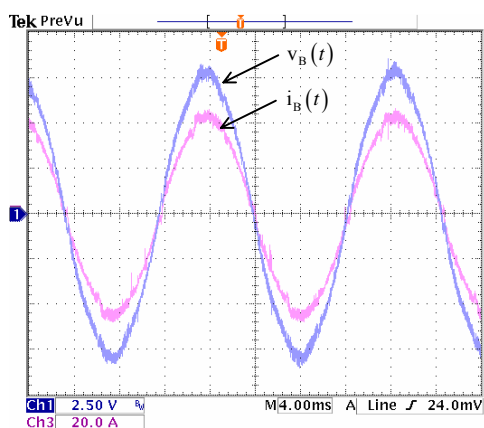
A Fig. 8-19 mostra a corrente nas três fases e os respectivos sinais de sincronismo para a potência nominal, verificando-se que os sinais de corrente apresentam baixa taxa de distorção e estão em fase com as tensões de entrada.



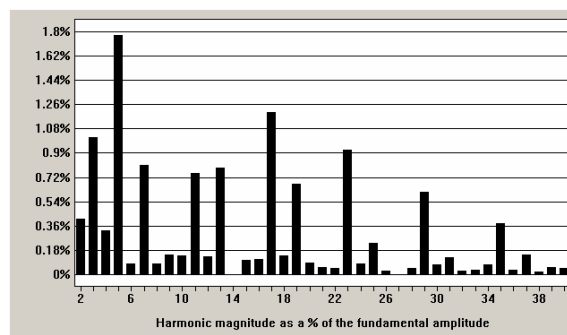
a) Tensão de referência e corrente na fase A.



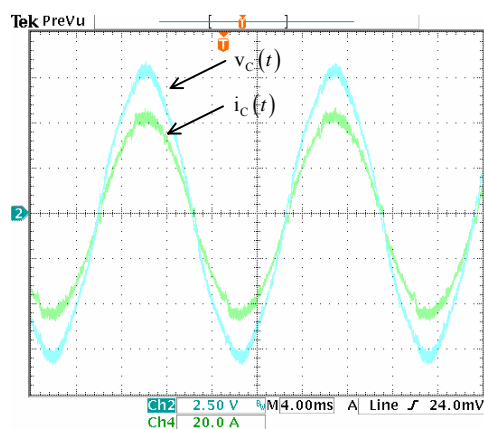
b) Harmônicas de corrente para a fase A.



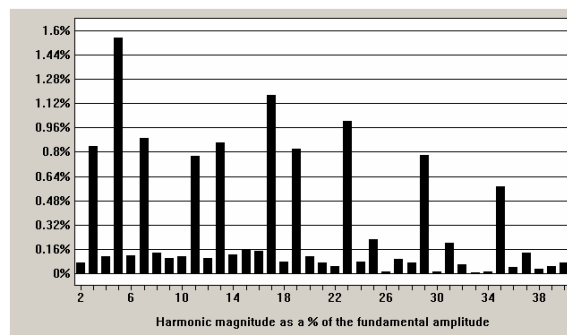
c) Tensão de referência e corrente na fase B.



d) Harmônicas de corrente para a fase B.



e) Tensão de referência e corrente na fase C.



f) Harmônicas de corrente para a fase C.

Fig. 8-19 - Tensão e corrente de entrada.

A Tabela 8-4 mostra os valores obtidos para as taxas de distorção harmônica de corrente e de tensão, o fator de deslocamento e o fator de potência.

Tabela 8-4 – Fator de potência.

	THD _V	THD _I	FD	FP
Fase A	2,82%	3,25%	1,345°	0,9987
Fase B	2,73%	3,10%	1,558°	0,9987
Fase C	2,95%	3,12%	1,437°	0,9990

A Fig. 8-20 (a) mostra a variação da taxa de distorção harmônica das correntes de entrada em função da potência de saída e a Fig. 8-20 (b) mostra a variação do fator de potência do retificador em função da potência de saída.

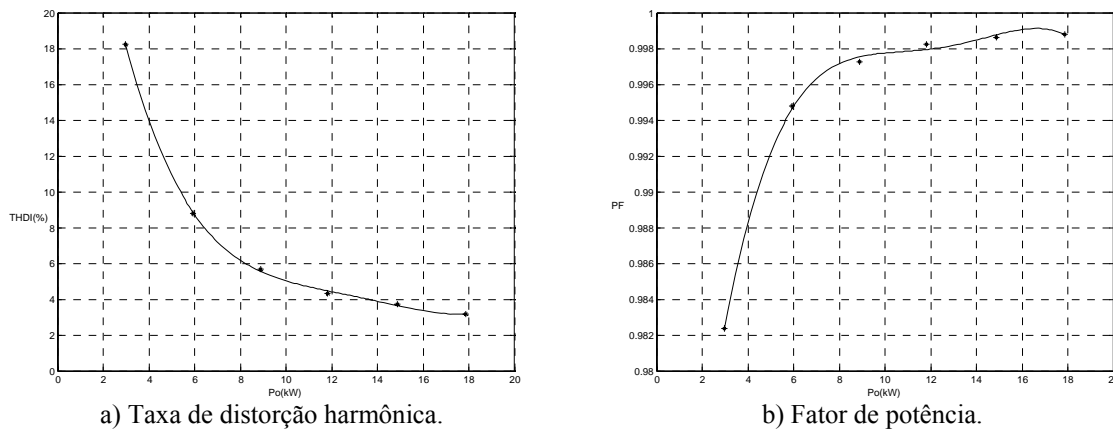


Fig. 8-20 – Taxa de distorção harmônica das correntes e fator de potência.

Na Fig. 8-21 verifica-se o comportamento do rendimento do retificador em função da potência de saída, observa-se que este é maior que 95% para potências acima da metade do valor nominal de projeto.

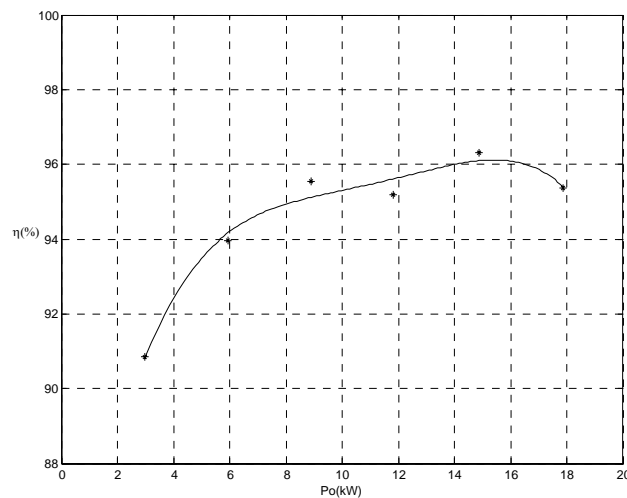
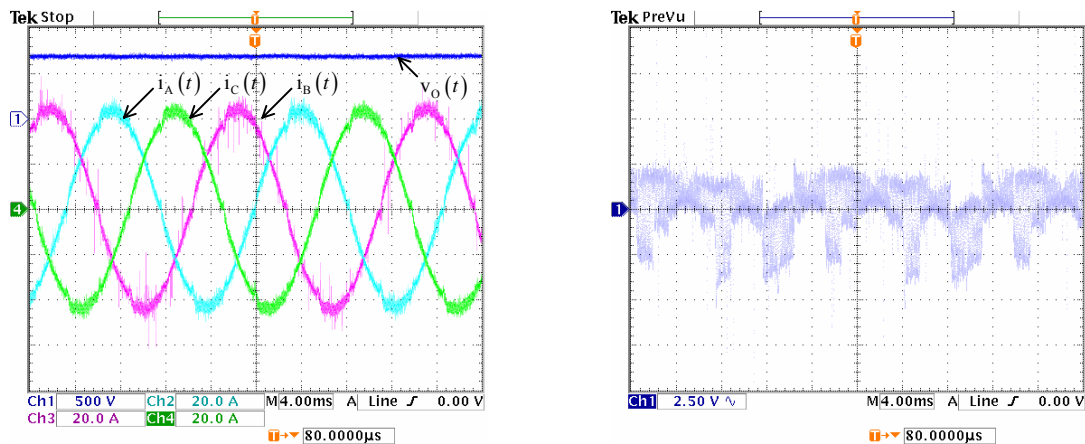


Fig. 8-21 – Rendimento do retificador em função da potência de saída.

Na Fig. 8-22 (a) observa-se tensão de saída regulada em um valor de 700 V juntamente com as correntes de entrada. Um detalhe da ondulação da tensão de saída é apresentado na Fig. 8-22 (b), na qual também se verifica que a ondulação da tensão de saída apresenta componentes de alta frequência e de baixa frequência.



a) Correntes de entrada (20 A/div) e tensão de saída.

b) Detalhe da tensão de saída.

Fig. 8-22 - Tensão de saída.

Na Fig. 8-23 têm-se a razão cíclica para as três fases para a operação do retificador com potência nominal, verifica-se a semelhança destes sinais com aqueles apresentados no capítulo 3.

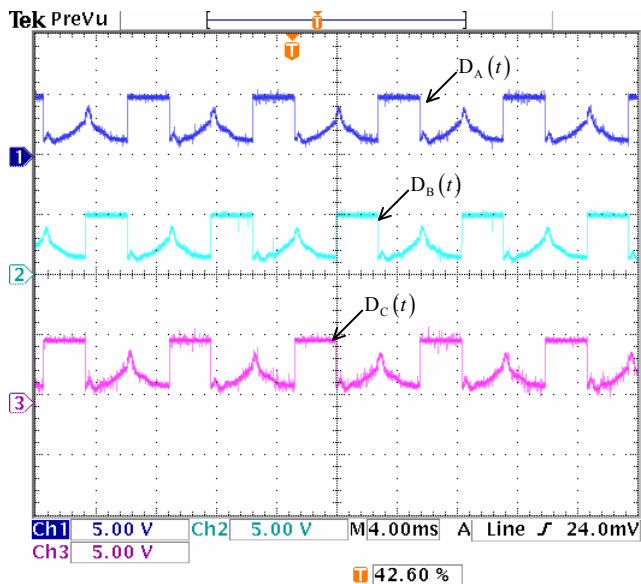


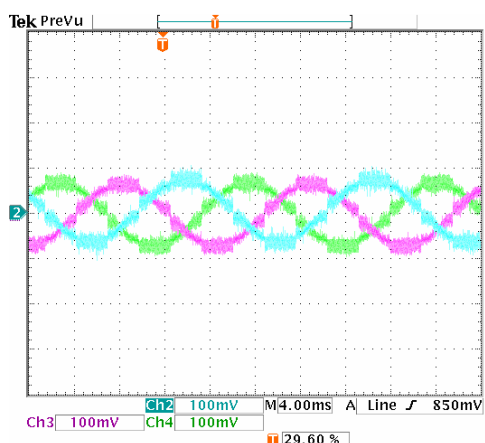
Fig. 8-23 – Razões cíclicas para as três fases.

Os resultados experimentais apresentados ratificam a metodologia de modulação proposta para o retificador unidirecional Y_1. A estrutura estudada apresenta alto rendimento e elevado fator de potência, com as correntes de entrada apresentando baixa taxa de distorção harmônica.

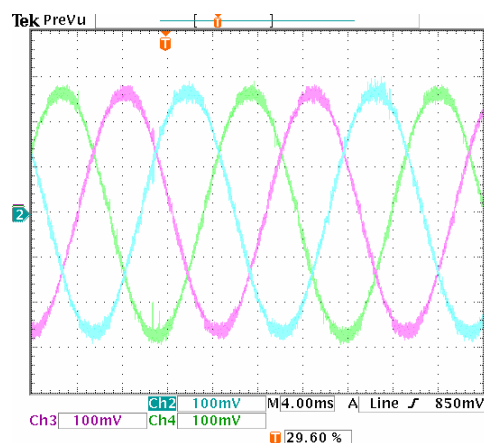
8.5. Retificador Unidirecional Δ_1

8.5.1. Operação com $V_L = 220\text{ V}$ e $V_O = 400\text{ V}$

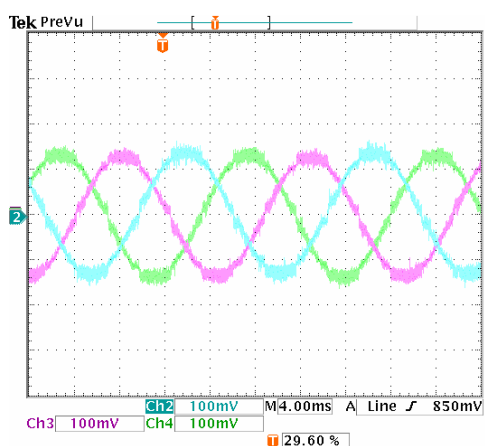
A Fig. 8-24 mostra as correntes de entrada do retificador trifásico PWM unidirecional Δ_1 para seis valores de potência de saída.



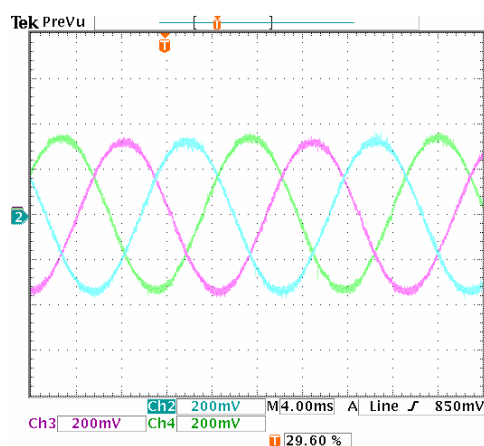
a) Correntes de entrada para 1777 W (10 A/div).



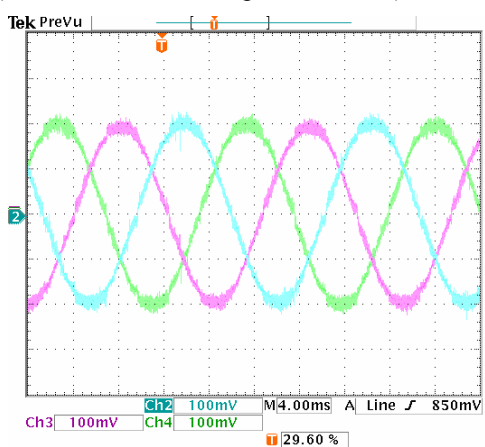
b) Correntes de entrada para 7111 W (10 A/div).



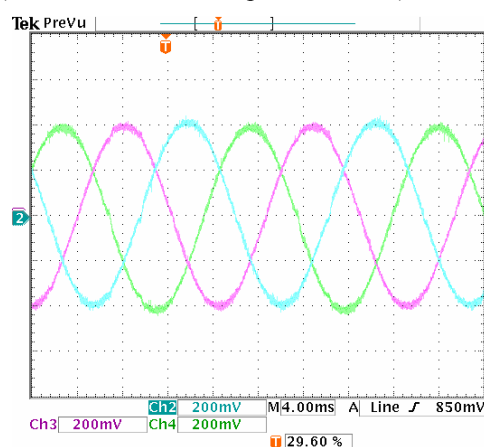
c) Correntes de entrada para 3555 W (10 A/div).



d) Correntes de entrada para 8888 W (20 A/div).



e) Correntes de entrada para 5333 W (10 A/div).

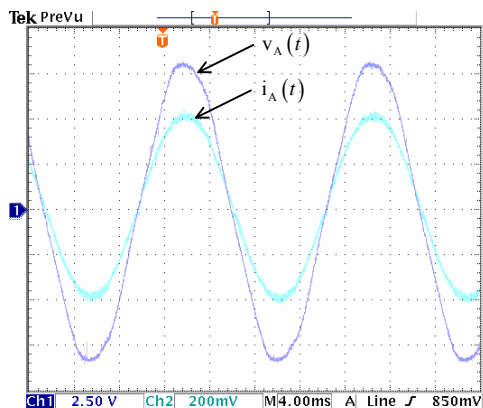


f) Correntes de entrada para 10666 W (20 A/div).

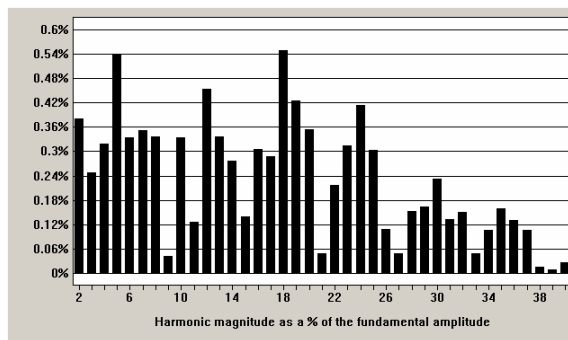
Fig. 8-24 - Correntes nas fases A, B e C.

Neste caso, observa-se que as formas de onda de corrente apresentam menores distorções, já que o sinal de razão cíclica possui um menor número de descontinuidades.

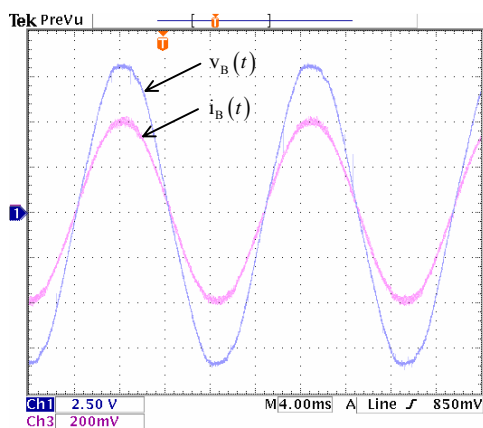
Na Fig. 8-25 apresenta-se a corrente nas três fases e os respectivos sinais de sincronismo para a potência de 10 kW, verifica-se que os sinais de corrente também apresentam baixa taxa de distorção e estão em fase com as tensões de entrada.



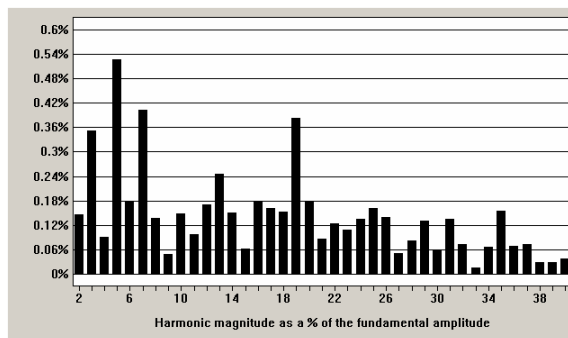
a) Tensão de referência e corrente na fase A.



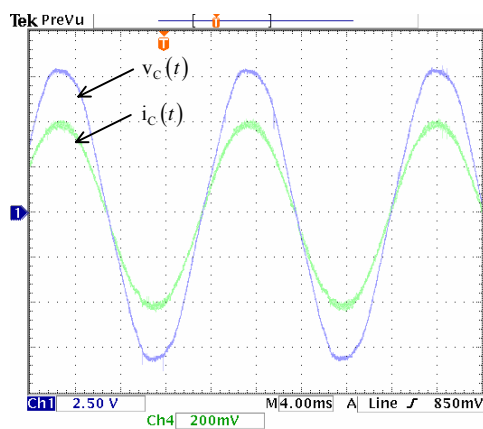
b) Harmônicas de corrente para a fase A.



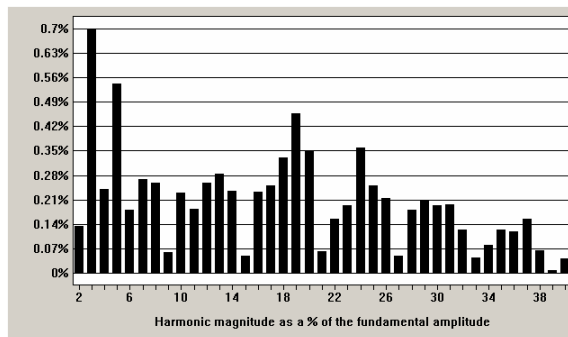
c) Tensão de referência e corrente na fase B.



d) Harmônicas de corrente para a fase B.



e) Tensão de referência e corrente na fase C.



f) Harmônicas de corrente para a fase C.

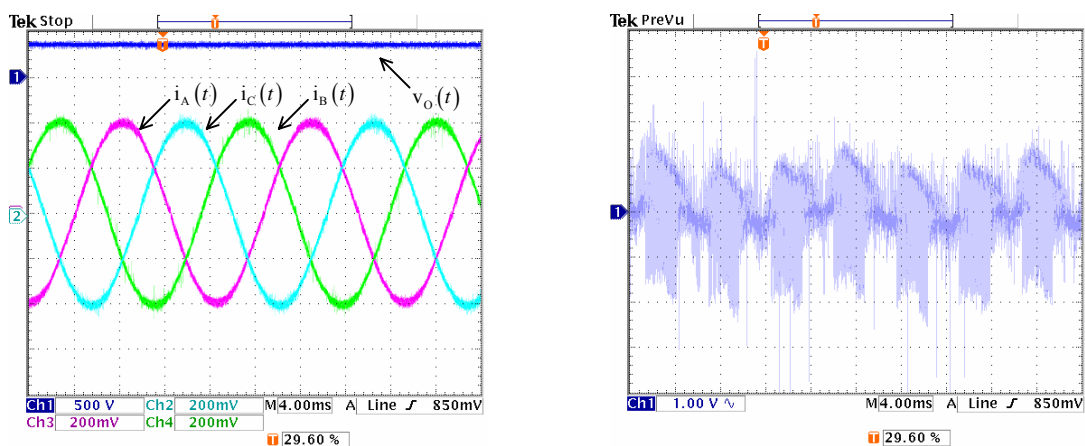
Fig. 8-25 - Tensão e corrente de entrada.

A Tabela 8-5 mostra os valores obtidos para as taxas de distorção harmônica de corrente e de tensão, o fator de deslocamento e o fator de potência.

Tabela 8-5 – Fator de potência.

	THD _V	THD _I	FD	FP
Fase A	2,59%	1,75%	0,292°	0,9994
Fase B	1,81%	1,13%	0,808°	0,9996
Fase C	2,17%	1,55%	2,360°	0,9989

Na Fig. 8-26 (a) observa-se a tensão de saída regulada no valor de 400 V, juntamente com as correntes de entrada. Um detalhe da tensão de saída é apresentado na Fig. 8-26 (b) na qual se observa as componentes de alta e de baixa frequência.



a) Correntes de entrada (20 A/div) e tensão de saída.

b) Detalhe da tensão de saída.

Fig. 8-26 - Tensão de saída.

Na Fig. 8-27 são verificadas as amostras da corrente de eixo direto e a corrente de eixo em quadratura, também com níveis de off-set de aproximadamente 2,7 V.

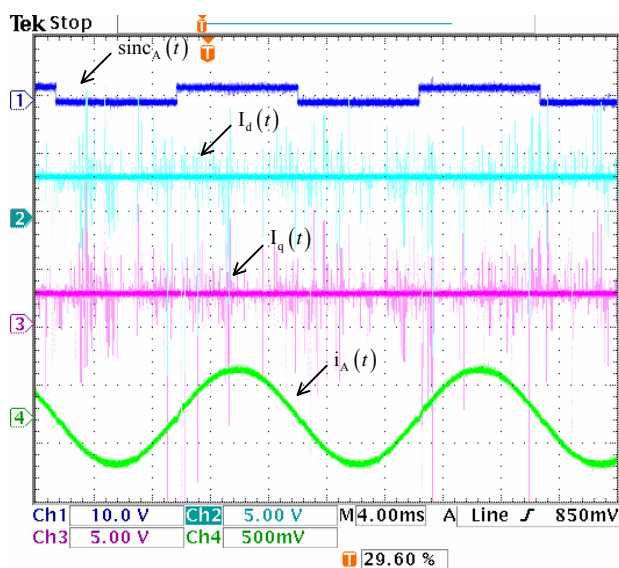


Fig. 8-27 - Corrente de eixo direto e corrente de eixo em quadratura.

Estas grandezas apresentam formato contínuo e são verificadas juntamente com o sinal de sincronismo da fase A e a corrente nesta fase.

Na Fig. 8-28 são mostradas a razão cíclica de eixo direto e a razão cíclica de eixo em quadratura, nas mesmas condições apresentadas para as correntes de eixo direto e de eixo em quadratura.

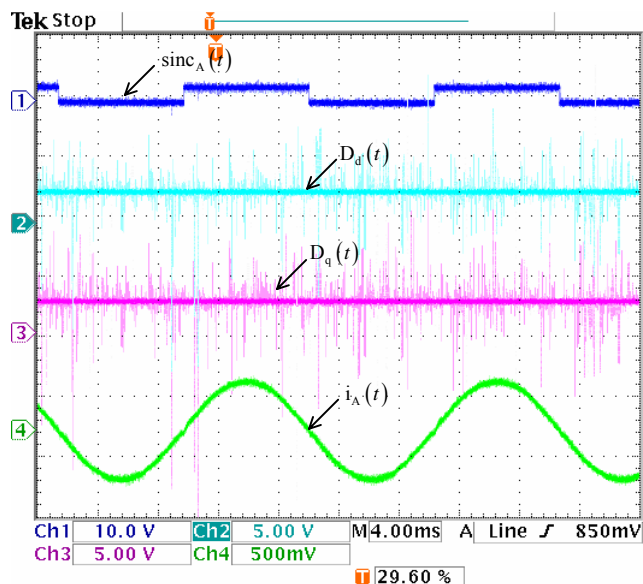


Fig. 8-28 - Razão cíclica de eixo direto e razão cíclica de eixo em quadratura.

As razões cíclicas dos eixos α e β , lidas nos conversores D/A são verificadas na Fig. 8-29, com o mesmo nível de off-set das medidas anteriores.

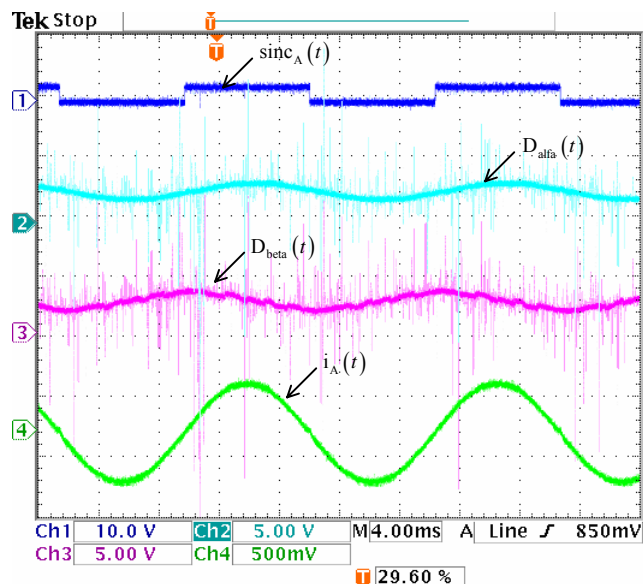


Fig. 8-29 - Razão cíclica do eixo α e razão cíclica do eixo β .

As razões cíclicas das fases A, B e C são mostradas na Fig. 8-30, verificando-se a semelhança com os sinais teóricos apresentados no capítulo 4.

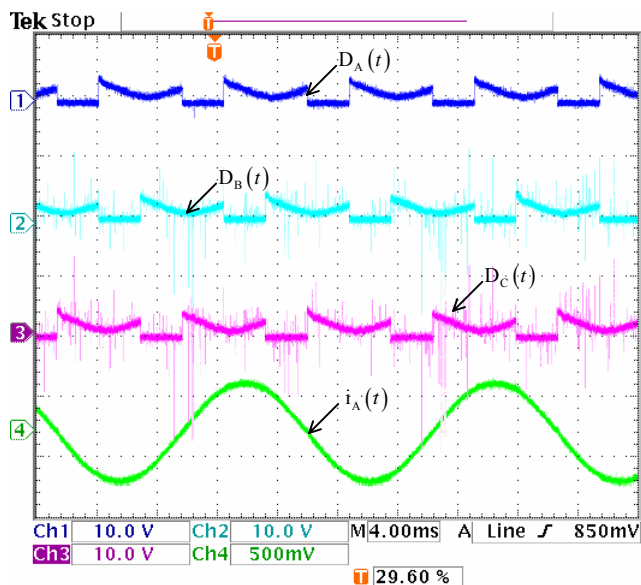


Fig. 8-30 - Razões cíclicas para as fases A, B, e C.

A seguir, serão apresentadas as formas de onda relativas ao funcionamento do estágio de potência do retificador unidirecional Δ_1 , para a potência de 10 kW.

A Fig. 8-31 mostra a forma de tensão sobre o indutor e a corrente no indutor, na qual se observa o valor máximo de aproximadamente 240 V.

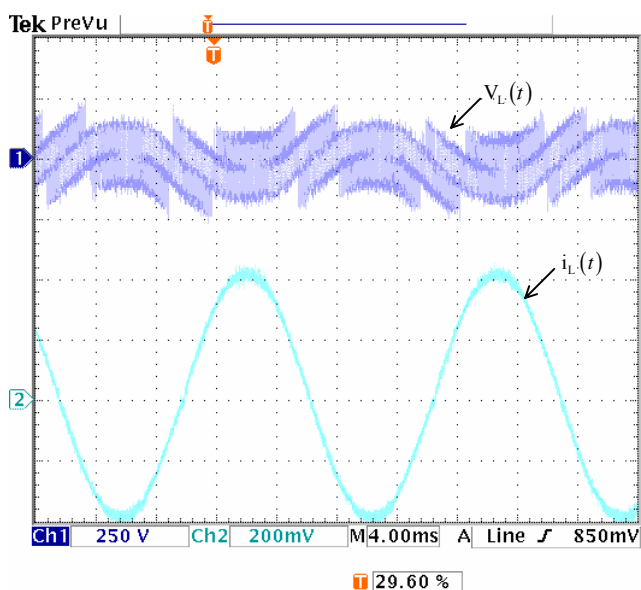


Fig. 8-31 – Formas de onda de tensão e corrente para os indutores de entrada.

A Fig. 8-32 (a) mostra a forma de tensão corrente no interruptor S_A e a Fig. 8-32 (b) mostra a forma de tensão e corrente no diodo D_{A1} , ambos os resultados são coerentes com aqueles apresentados no capítulo 4.

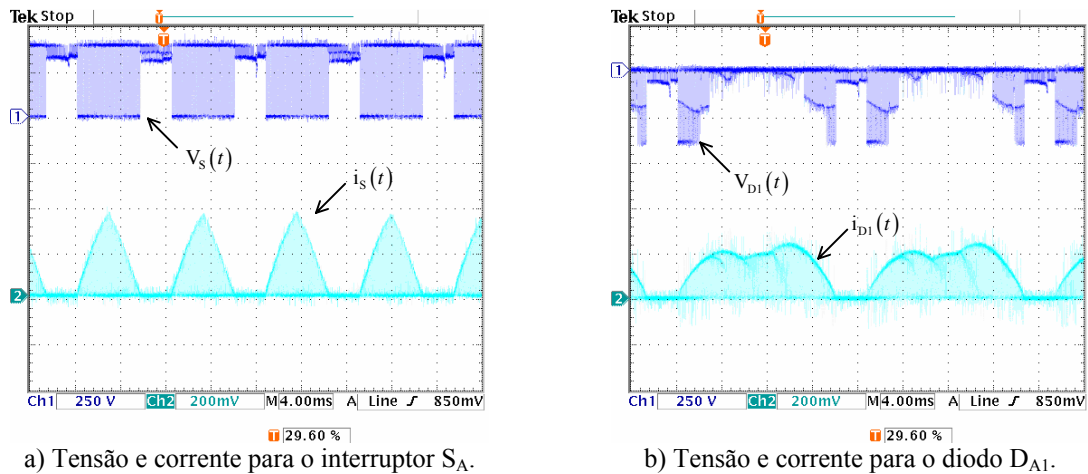


Fig. 8-32 – Formas de onda de tensão e corrente (20 A/div) nos semicondutores.

A Fig. 8-33 (a) mostra a forma de tensão e corrente no Diodo D_{A3} e a Fig. 8-33 (b) mostra a forma de tensão e corrente no Diodo D_{A5} , neste caso também se têm a correspondência com os resultados de simulação apresentados no capítulo 4.

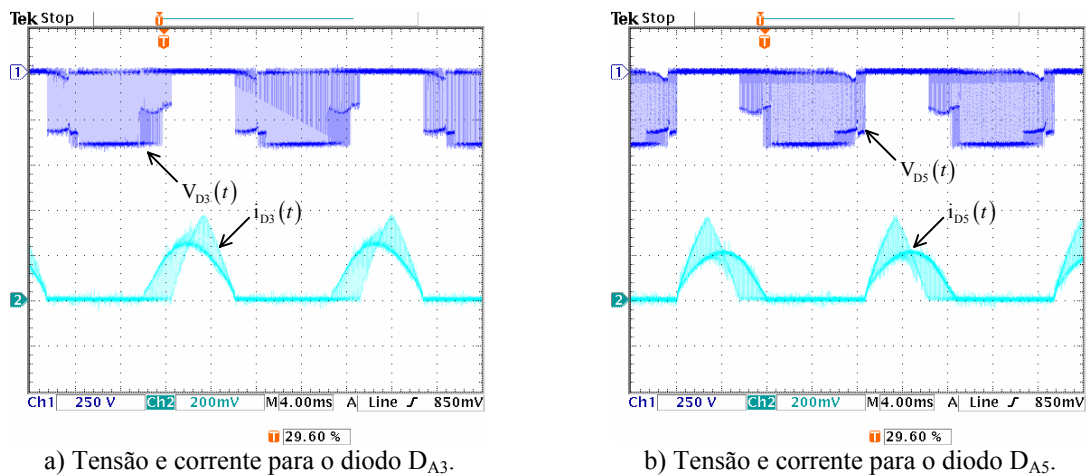


Fig. 8-33 – Formas de onda de tensão e corrente nos semicondutores.

A Tabela 8-6 apresenta uma comparação entre resultados teóricos e os obtidos na experimentação do retificador unidirecional Δ_1 para a potência de 10 kW.

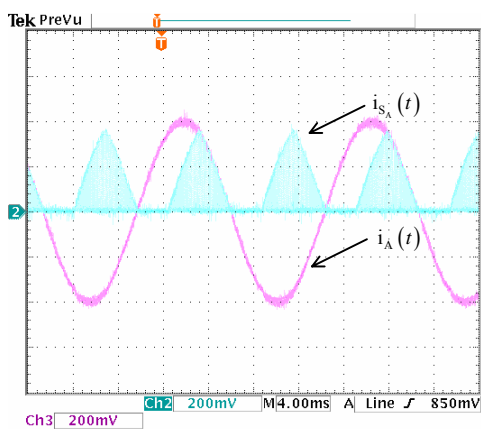
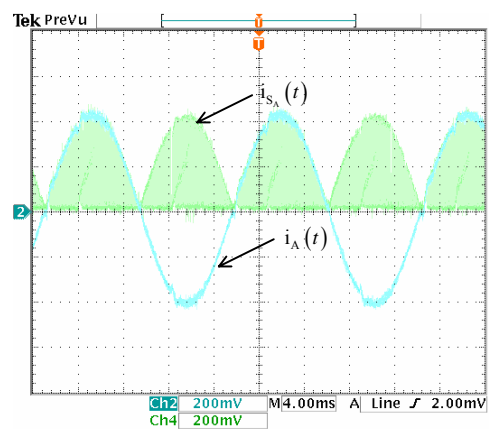
Os valores medidos na experimentação se aproximam dos valores teóricos validando a análise teórica realizada para o cálculo dos esforços de tensão e corrente desenvolvida no anexo D.

A Fig. 8-34 mostra as formas de onda experimentais das correntes na fase A e no interruptor S_A para o retificador unidirecional Δ_1 e para o retificador unidirecional Y_1 .

Verifica-se que os interruptores do retificador Δ_1 possuem um menor intervalo de condução, apresentando menor corrente média e menor corrente de pico.

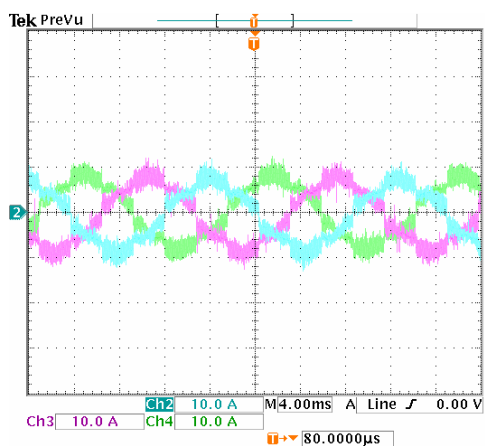
Tabela 8-6 – Comparação entre resultados teóricos e experimentais.

		Valores Teóricos	Valores Experimentais
Tensão de saída $\Rightarrow V_O$		400 V	400 V
Potência de saída $\Rightarrow P_O$		10666 W	10666 W
Ondulação na tensão de saída (porcentagem da tensão de saída nominal) $\Rightarrow \Delta V_O\%$		2 V	2,5 V
Ondulação na corrente de fase (porcentagem da corrente de pico) $\Rightarrow \Delta I\%$		4,1 A	4 A
Corrente média no interruptor $\Rightarrow I_{S_{MED}}$		3,9 A	4,54 A
Corrente eficaz no interruptor $\Rightarrow I_{S_{EF}}$		9,62 A	9,72 A
Corrente de pico no interruptor $\Rightarrow I_{S_p}$		36 A	38 A
Tensão de pico no interruptor $\Rightarrow V_{S_p}$		400 V	400 V
Corrente de pico no indutor $\Rightarrow I_{L_p}$		42A	42A
Corrente eficaz no indutor $\Rightarrow I_{L_{EF}}$		29,46 A	28,6 A
Corrente média no indutor $\Rightarrow I_{L_{MED}}$		0A	0A
Tensão de pico no indutor $\Rightarrow V_{L_p}$		223,3 V	225 V
Diodos D_{I3456}	Corrente de pico $\Rightarrow I_{DI3456_p}$	36 A	37 A
	Corrente média $\Rightarrow I_{DI3456_{MED}}$	6,51 A	6,88 A / 6,99 A
	Corrente eficaz $\Rightarrow I_{DI3456_{EF}}$	10,98 A	12 A / 11,4 A
	Tensão de pico $\Rightarrow V_{DI3456_p}$	400 V	400 V
Diodos D_{I12}	Corrente de pico $\Rightarrow I_{DI12_p}$	20,83 A	24 A
	Corrente média $\Rightarrow I_{DI12_{MED}}$	9,35 A	8,62 A
	Corrente eficaz $\Rightarrow I_{DI12_{EF}}$	12,21 A	12,3 A
	Tensão de pico $\Rightarrow V_{DI12_p}$	400 V	400 V

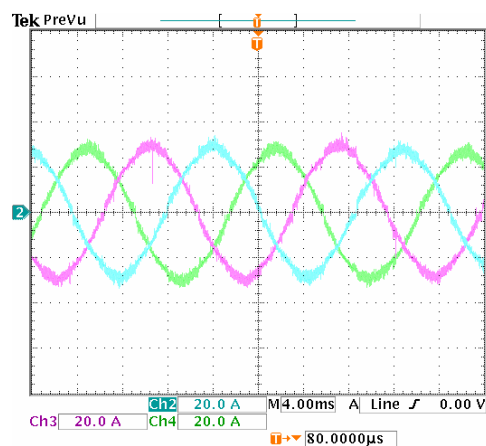
a) Retificador unidirecional Δ_1 .b) Retificador unidirecional Y_1 .Fig. 8-34 - Corrente na fase A e no interruptor S_A para os retificadores unidirecionais.

8.5.2. Operação com $V_L = 380\text{ V}$ e $V_O = 700\text{ V}$

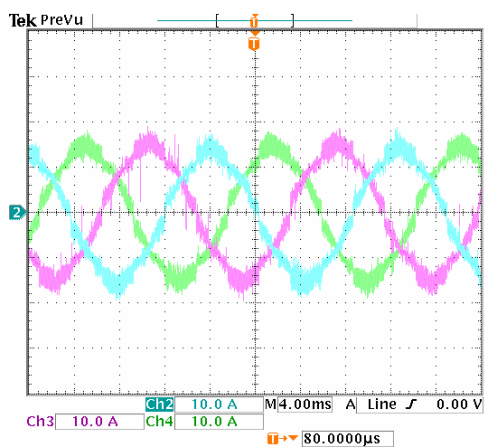
A Fig. 8-35 mostra as correntes de entrada do retificador trifásico PWM unidirecional Δ_1 para seis valores de potência de saída para as condições definidas nos capítulos 6 e 7.



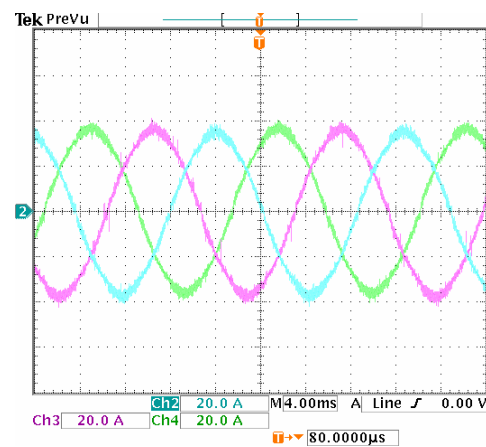
a) Correntes de entrada para 3200 W (10 A/div).



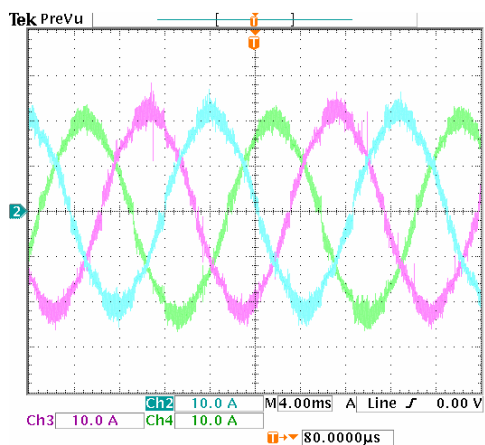
b) Correntes de entrada para 13000 W (20 A/div).



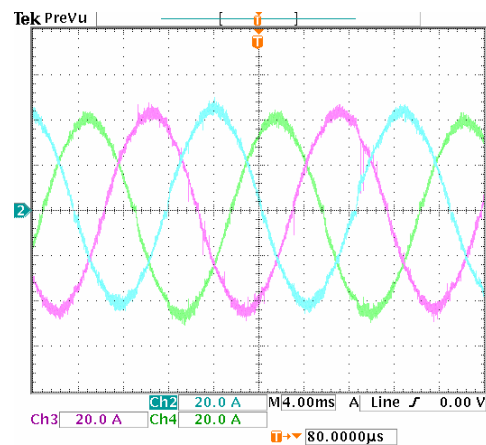
c) Correntes de entrada para 6500 W (10 A/div).



d) Correntes de entrada para 16300 W (20 A/div).



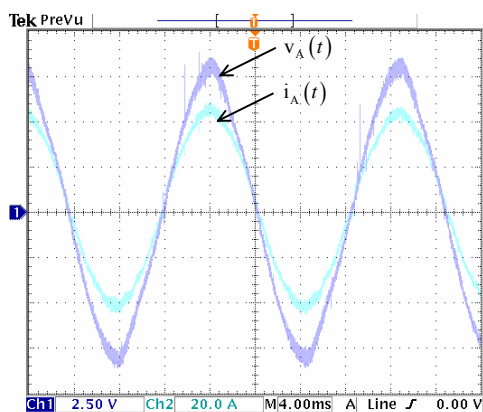
e) Correntes de entrada para 9800 W (10 A/div).



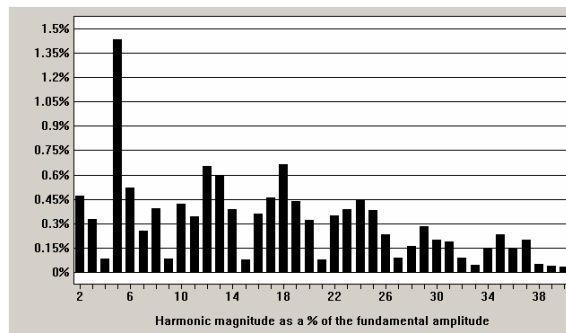
f) Correntes de entrada para 19600 W (20 A/div).

Fig. 8-35 - Correntes nas fases A, B e C.

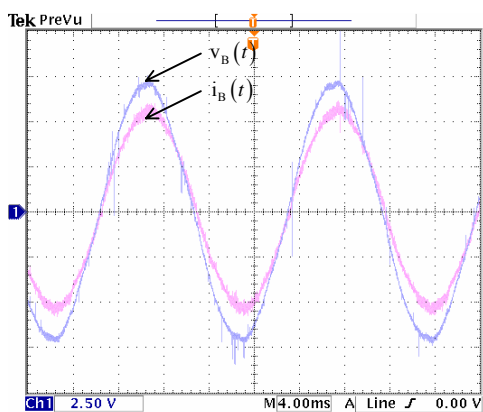
Na Fig. 8-36 mostra a corrente nas três fases do retificador unidirecional Δ_1 e os respectivos sinais de sincronismo para a potência nominal.



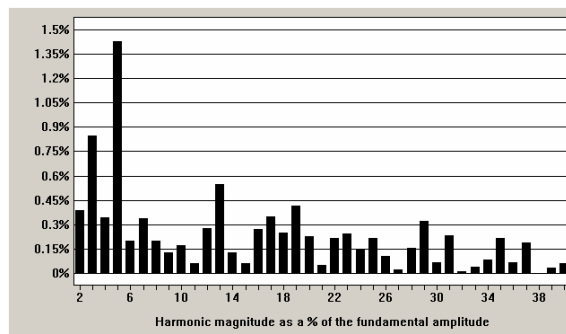
a) Tensão de referência e corrente na fase A.



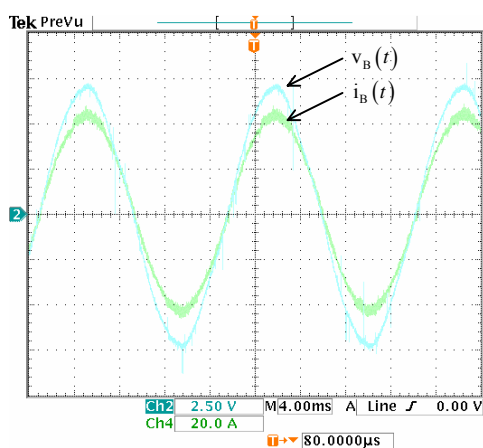
b) Harmônicas de corrente para a fase A.



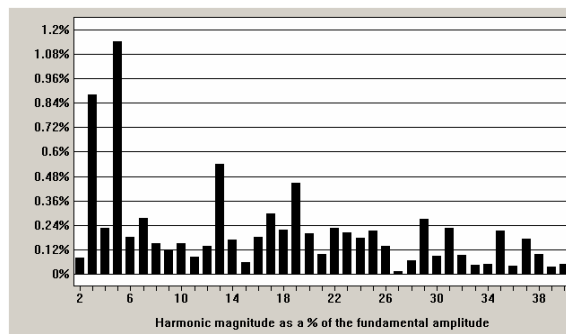
c) Tensão de referência e corrente na fase B.



d) Harmônicas de corrente para a fase B.



e) Tensão de referência e corrente na fase C.



f) Harmônicas de corrente para a fase C.

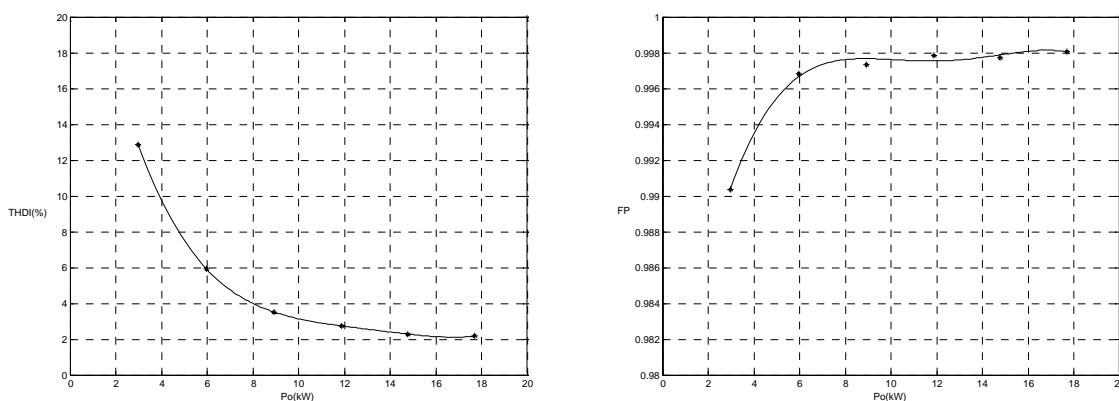
Fig. 8-36 – Tensão de sincronismo e corrente de entrada.

A Tabela 8-7 mostra os valores obtidos para as taxas de distorção harmônica de corrente e de tensão, o fator de deslocamento e o fator de potência.

Tabela 8-7 – Fator de potência.

	THD _V	THD _I	FD	FP
Fase A	4,277%	2,503%	1,24°	0,9985
Fase B	2,131%	2,162%	3,80°	0,9973
Fase C	2,845%	1,877%	2,65°	0,9983

A Fig. 8-37 (a) mostra a variação da taxa de distorção harmônica das correntes de entrada em função da potência de saída e a Fig. 8-37 (b) mostra a variação do fator de potência do retificador em função da potência de saída.



a) Taxa de distorção harmônica.

b) Fator de potência.

Fig. 8-37 – Taxa de distorção harmônica das correntes e fator de potência.

Na Fig. 8-38 verifica-se o comportamento do rendimento do retificador em função da potência de saída, observa-se que este é maior que 96% para potências acima da metade do valor nominal de projeto.

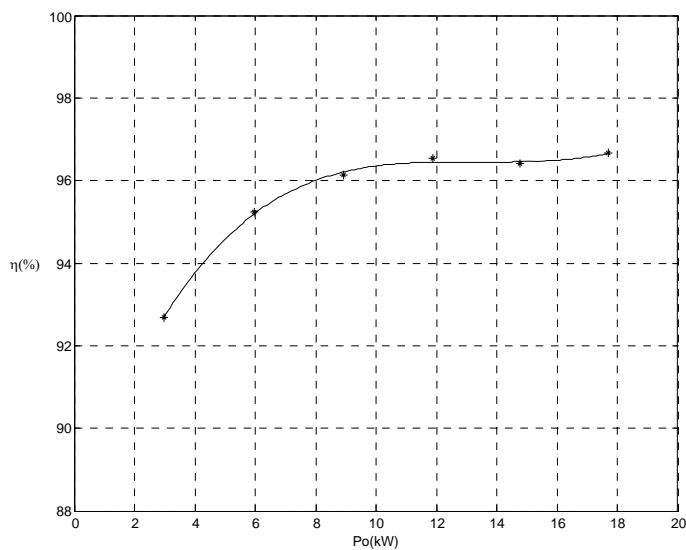
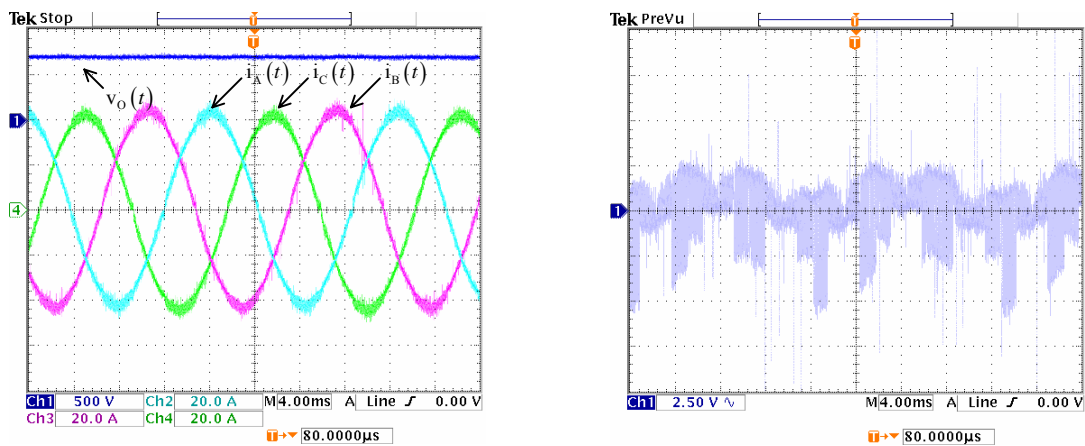


Fig. 8-38 – Rendimento do retificador em função da potência de saída.

Na Fig. 8-39 (a) observa-se tensão de saída regulada em um valor de 700 V juntamente com as correntes de entrada. Um detalhe da ondulação da tensão de saída é apresentado na Fig. 8-39 (b) na qual também se verifica que a ondulação da tensão de saída apresenta componentes de alta frequência e de baixa frequência.



a) Correntes de entrada (20 A/div) e tensão de saída.

b) Detalhe da tensão de saída.

Fig. 8-39 - Tensão de saída.

Na Fig. 8-40 têm-se a razão cíclica para as três fases para a operação do retificador com potência nominal, verifica-se a semelhança destes sinais com aqueles apresentados no capítulo 4.

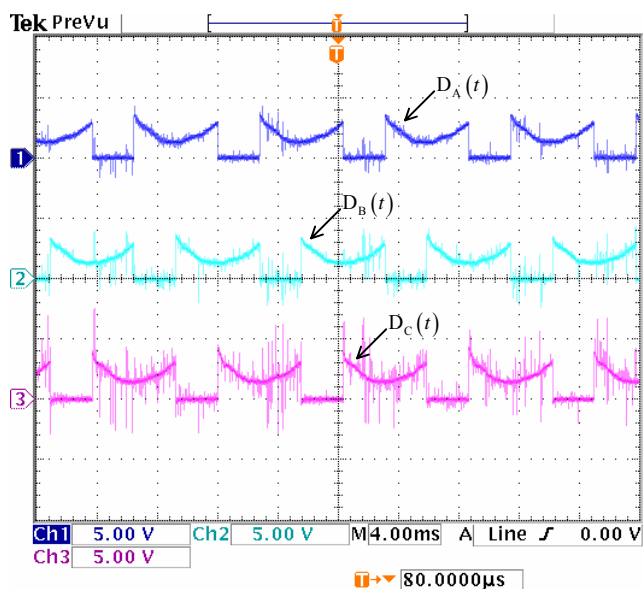


Fig. 8-40 – Razão cíclica para as três fases.

Os resultados experimentais apresentados ratificam a metodologia de modulação proposta para o retificador unidirecional Δ_1 . A estrutura estudada apresenta alto rendimento e elevado fator de potência, com as correntes de entrada apresentando baixa taxa de distorção harmônica.

Na Fig. 8-41, na Fig. 8-42 e na Fig. 8-43 são apresentadas fotos do protótipo montado em laboratório. A Fig. 8-42 destaca os componentes do estágio de entrada do retificador como os transformadores de sincronismo, a fonte auxiliar, o contator de pré-carga, os indutores de entrada e os sensores de corrente.

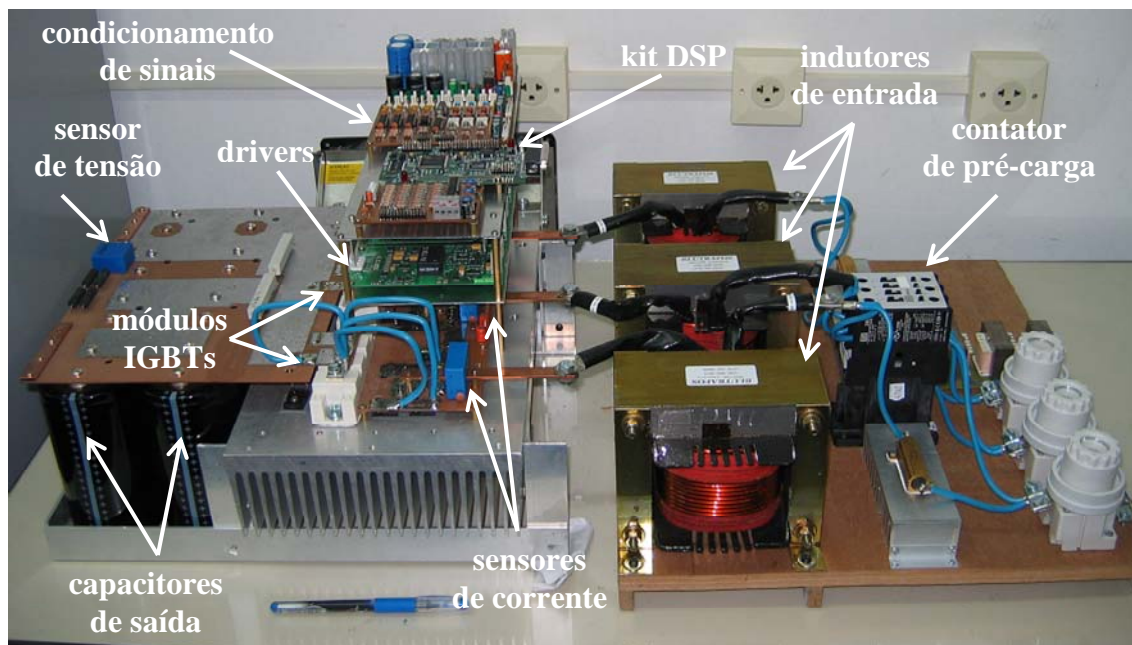


Fig. 8-41 – Protótipo montado em laboratório.

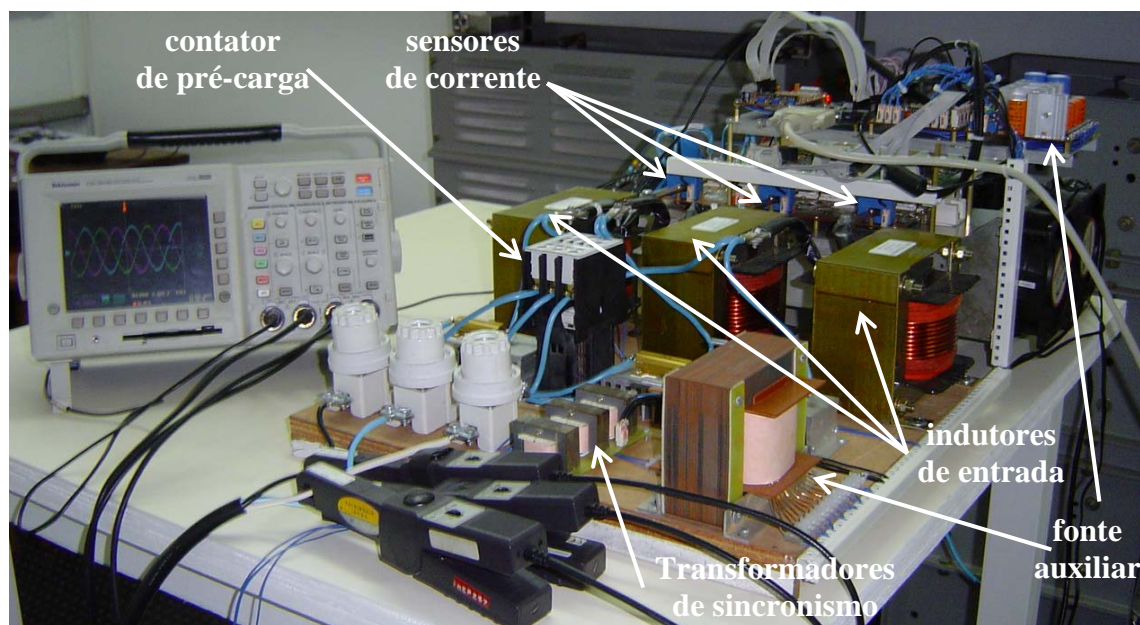


Fig. 8-42 – Protótipo montado em laboratório.

Na figura Fig. 8-43 são destacados os circuitos de controle e condicionamento de sinal do protótipo e partes do estágio de saída do retificador.

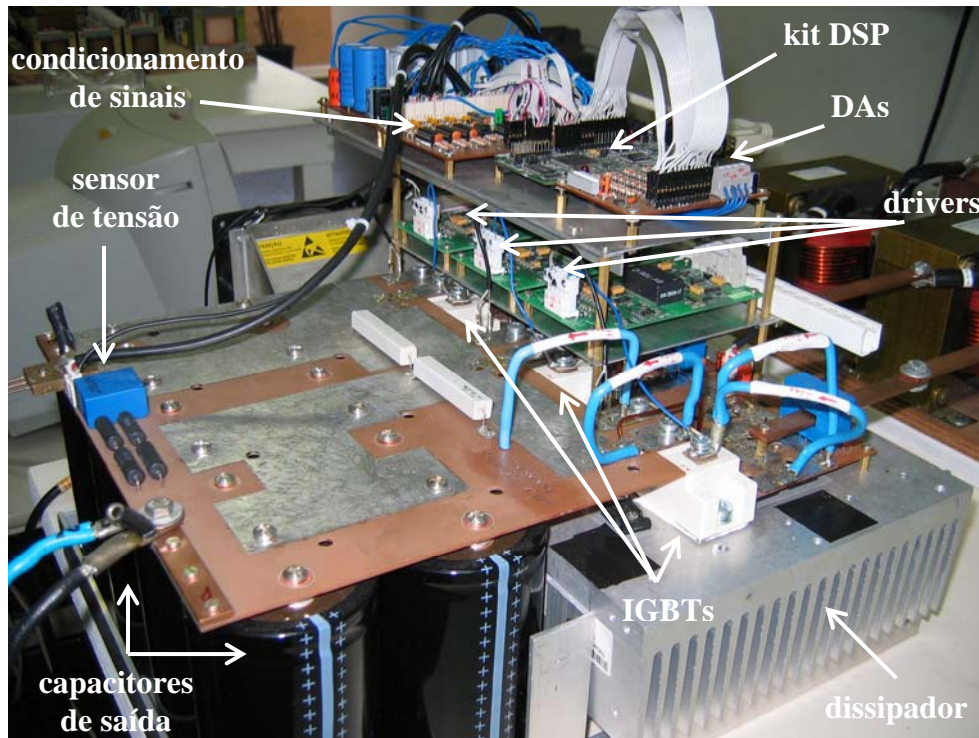


Fig. 8-43 - Protótipo montado em laboratório.

8.6. Conclusão

Foi realizada a verificação experimental da aplicação das estratégias de modulação vetorial e controle vetorial aos retificadores unidirecionais de dois níveis Y_1 e Δ_1 .

Os valores medidos na experimentação se aproximam dos valores teóricos validando a análise teórica realizada para o cálculo dos esforços de tensão e corrente dos retificadores.

As estruturas estudadas apresentam alto rendimento e elevado fator de potência, com as correntes de entrada apresentando baixa taxa de distorção harmônica e satisfazendo os requisitos da norma IEC 61000 3-4 [2].

Uma proposta do procedimento de partida foi implementada para os retificadores unidirecionais utilizando modulação e controle vetorial, em que as correntes de entrada dos retificadores ficam limitadas a níveis aceitáveis para a operação dos mesmos.

CONCLUSÃO GERAL

Foram demonstrados os princípios da modulação vetorial e do controle vetorial a partir de sua aplicação ao retificador trifásico bidirecional com elevado fator de potência.

A modelagem do retificador bidirecional foi realizada utilizando-se a transformação de Park com a amostragem das correntes nas fases e a inclusão do desacoplamento das variáveis de eixo direto e de eixo em quadratura. Verificou-se através de simulações que os modelos desenvolvidos para as malhas de corrente e de tensão podem ser aplicados a todas as topologias estudadas.

A modulação vetorial foi aplicada aos retificadores unidirecionais, sendo implementada a partir da análise das etapas de operação dos conversores para verificar os possíveis vetores e os sinais de comando necessários para a implementação destes vetores.

Para os retificadores unidirecionais foi utilizada uma seqüência de vetores que minimiza o número de comutações dos interruptores e calculados os intervalos de aplicação destes vetores. A partir destes intervalos, foram definidas as funções de razão cíclica que quando comparadas com formas de onda triangulares, definem os sinais de comando dos interruptores.

Assim, foi proposta uma metodologia simples e de fácil implementação que pode ser aplicada a todos retificadores unidirecionais estudados. Com esta metodologia, não é necessário definir-se os setores dos vetores, apenas a imposição dos setores de corrente em fase com as tensões de entrada para obtenção de um elevado fator de potência na entrada dos retificadores.

Como principal diferença entre a aplicação da modulação vetorial para os retificadores unidirecionais e para o retificador bidirecional, destaca-se o fato que para a implementação dos vetores disponíveis é necessário analisar os sentidos das correntes de entrada e assim definir os sinais de comando dos interruptores em cada setor analisado.

A principal diferença entre a aplicação da modulação vetorial para os retificadores unidirecionais conectados em Δ e em ponte para os retificadores unidirecionais conectados em Y é que nos dois primeiros casos, é possível escolher uma seqüência de vetores de forma que um dos interruptores fique aberto durante o intervalo de duração de um setor.

Os retificadores unidirecionais estudados utilizam a mesma seqüência de vetores, sendo que para a adaptação da seqüência utilizada no retificador bidirecional, é necessário

eliminar o vetor \overline{V}_7 e manter a mesma seqüência para o setor quando a corrente de maior módulo é negativa.

Como todas as estruturas apresentam os mesmos pontos de conexão (A, B, C, P e N) para os elementos da entrada do retificador (rede trifásica e indutores de entrada) e para os elementos de saída do retificador (capacitor de saída e carga), as tensões apresentadas pelas estruturas retificadoras devem ser as mesmas para a execução da função de correção de fator de potência. Por isso, utilizam-se as mesmas seqüências de vetores e podem ser empregados os mesmos modelos para o controle dos retificadores.

As funções de razão cíclica desenvolvidas para os retificadores Y_1, Δ_1 e Ponte_1 podem ser utilizadas em outros retificadores com o mesmo tipo de conexão.

Os resultados da aplicação das técnicas de controle e modulação vetorial foram verificados por simulação para todos os retificadores estudados e experimentalmente para os retificadores Y_1 e Δ_1 . Os efeitos da aplicação de diferentes técnicas de modulação sobre as perdas por comutação foram verificados através de simulação e os índices de desempenho dos arranjos de semicondutores para os retificadores estudados foram analisados.

Elaborou-se o projeto de um protótipo de 20 kW para atender as estruturas do retificador Y_1 e do retificador Δ_1 . Para tanto, foi feito o dimensionamento do estágio de potência, a definição dos componentes de potência utilizados, sensores, circuitos de sincronismo, circuitos de comando, etc. No capítulo referente a esta etapa, é realizada uma breve descrição sobre o hardware para o condicionamento dos sinais de entrada e saída do DSP.

Os controladores digitais foram projetados com a amostragem da malhas de tensão em 60 Hz e a amostragem das malhas de corrente em 10k Hz.

O desempenho dos controladores discretos de tensão e corrente foi verificado através de simulações que consideram as frequências de amostragens utilizadas e a precisão da lógica de ponto fixo.

Foi apresentada uma breve descrição das características do processador utilizado e da programação realizada em DSP, para o controle e modulação do retificador trifásico unidirecional.

Na verificação experimental da aplicação das estratégias de modulação vetorial aos retificadores unidirecionais de dois níveis Y_1 e Δ_1 , os valores medidos se aproximam

dos valores teóricos, validando a análise teórica realizada para o cálculo dos esforços de tensão e corrente dos retificadores.

As estruturas estudadas apresentam alto rendimento e elevado fator de potência, com as correntes de entrada apresentando baixa taxa de distorção harmônica e satisfazendo os requisitos da norma IEC 61000 3-4 [2].

Uma proposta do procedimento de partida foi implementada para os retificadores unidirecionais utilizando modulação e controle vetorial, em que as correntes de entrada dos retificadores ficam limitadas a níveis aceitáveis para a operação dos mesmos.

A modulação vetorial mostrou-se uma ferramenta poderosa que permite além da análise das comutações dos conversores e do conteúdo harmônico das correntes de entrada, permite a análise de topologias ainda não estudadas, onde os conversores trifásicos são vistos como um sistema único e não como três sistemas monofásicos independentes.

Como desvantagem das técnicas de controle vetorial e modulação vetorial considera-se principalmente a complexidade de implementação.

Como proposta para trabalhos futuros pode-se citar a utilização de outras técnicas de controle em conjunto com a modulação vetorial [67] e o estudo da aplicação da modulação vetorial a retificadores híbridos [68-70].

ANEXO A. Diagrama Esquemático e “Netlist” para a Simulação do Retificador Trifásico Bidirecional

A.1. Diagrama Esquemático para a Simulação do Retificador Trifásico Bidirecional

As figuras que seguem mostram os blocos implementados para a simulação do retificador trifásico PWM bidirecional em malha fechada.

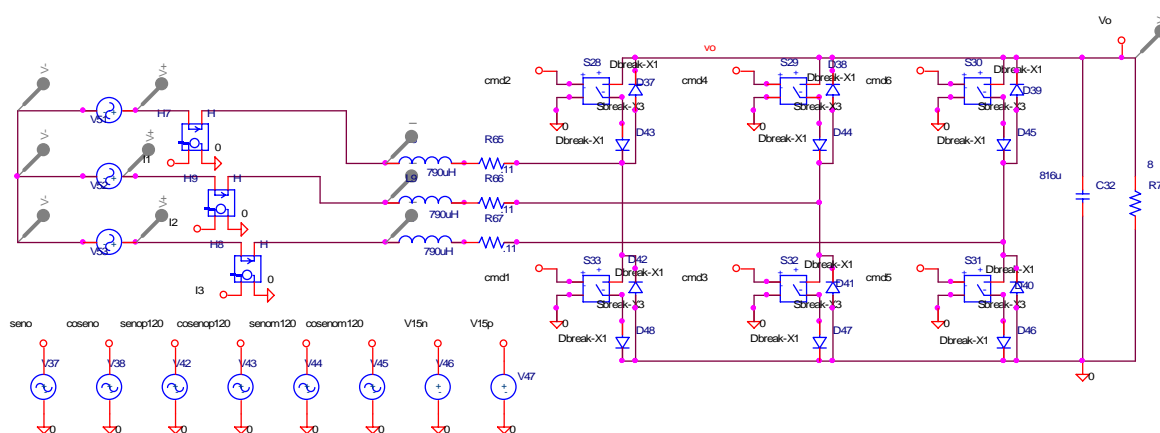


Fig. A.1 – Estágio de potência e fontes auxiliares.

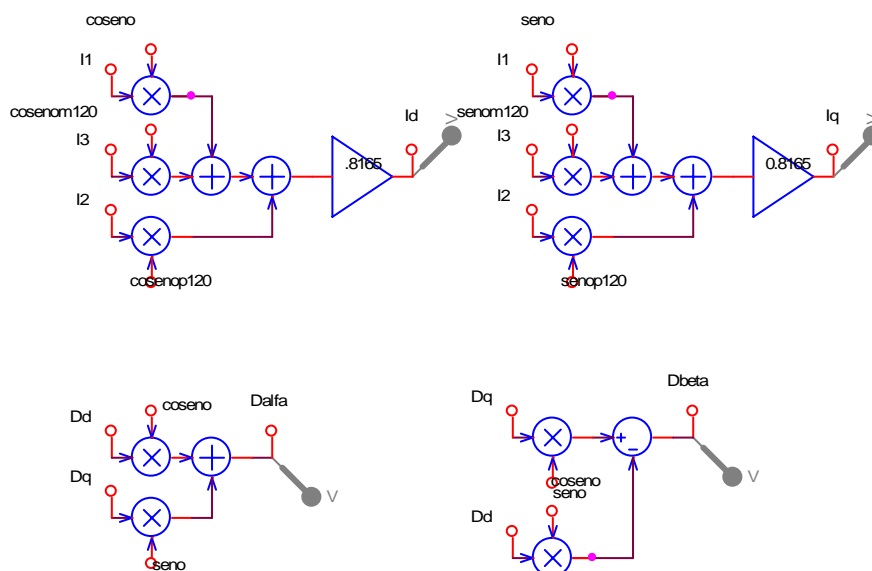


Fig. A.2 – Transformações utilizadas.

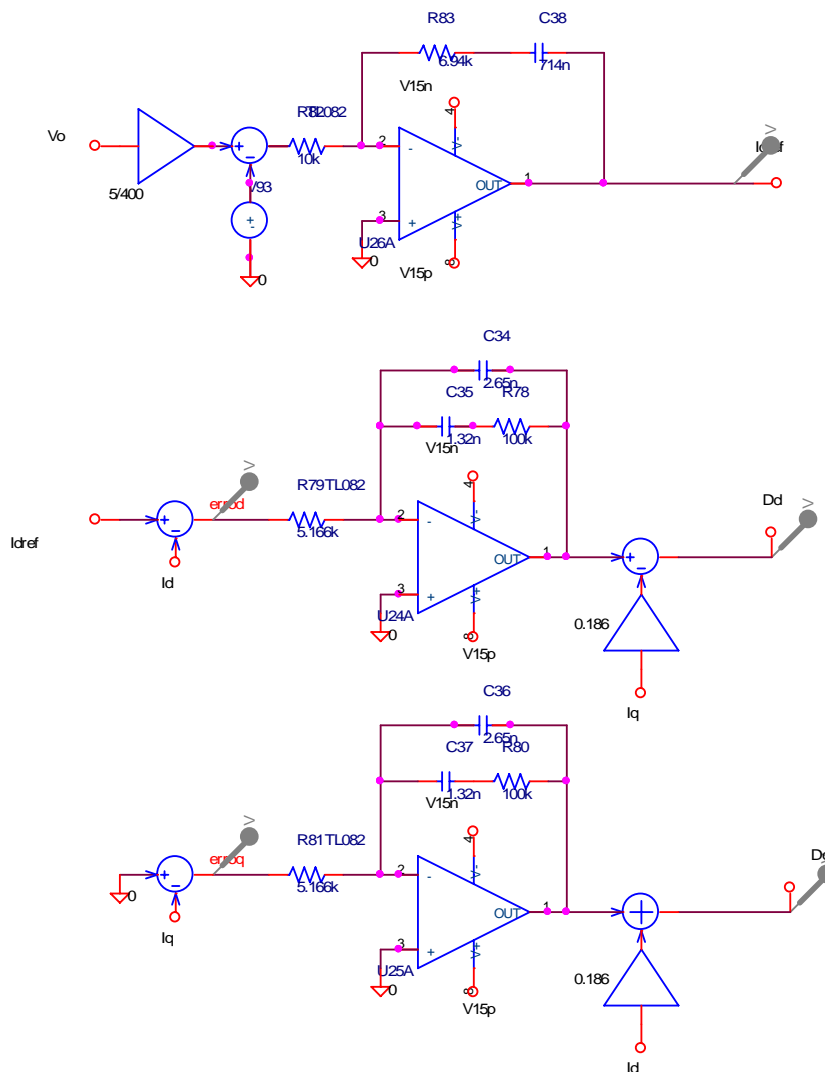


Fig. A.3 – Controlador de tensão e controladores de corrente com desacoplamento.

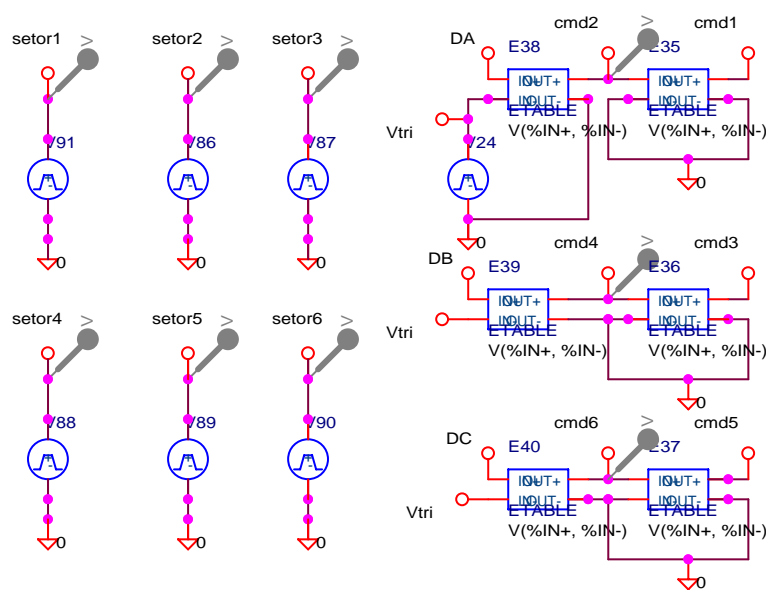


Fig. A.4 - Determinação dos setores e comparação.

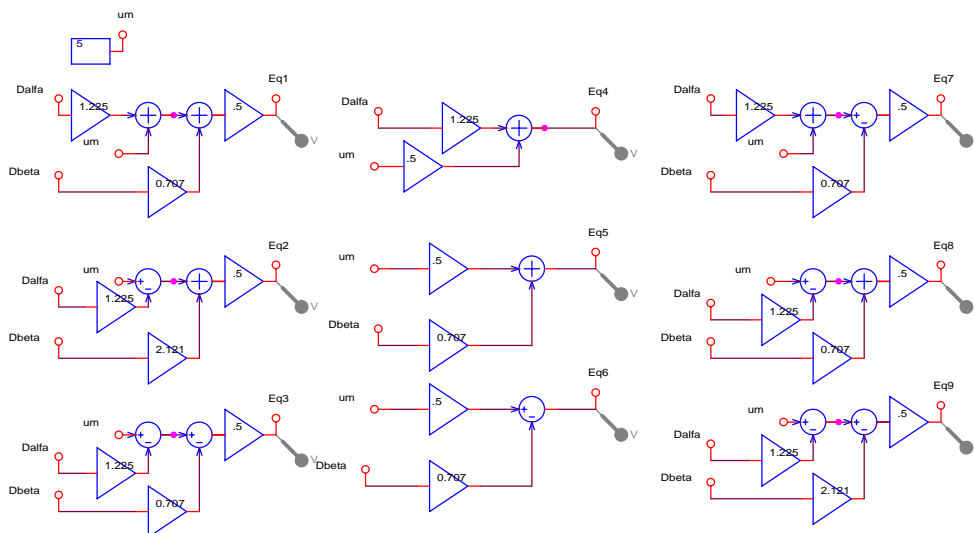


Fig. A.5 - Cálculo das razões cíclicas dos interruptores.

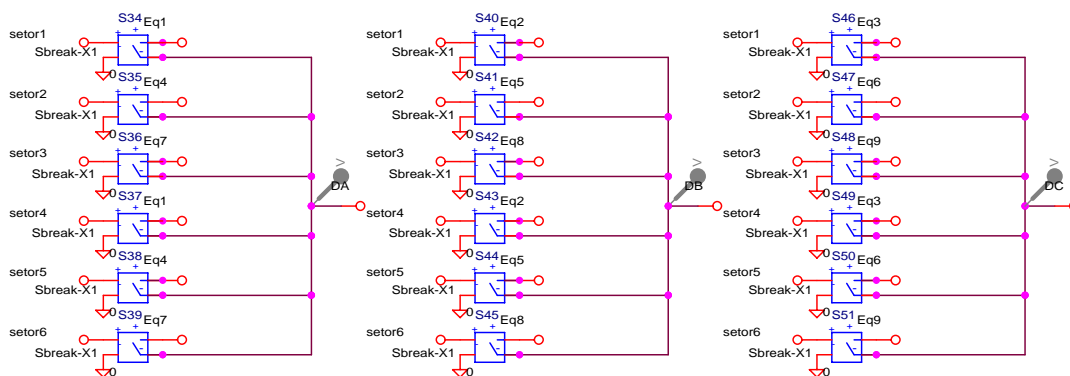


Fig. A.6 - Escolha dos setores.

Para as simulações em malha aberta o bloco representado pela Fig. A.3 foi substituído pelo bloco da Fig. A.7.

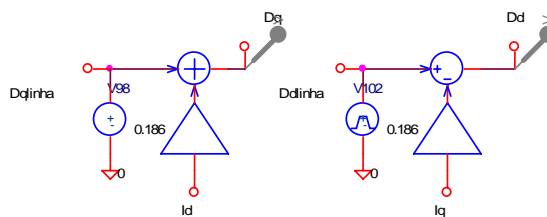


Fig. A.7 - Razões cíclicas Dd' e Dq'.

A.2. "Netlist" para a Simulação do Retificador Trifásico Bidirecional

```
* Schematics Netlist *
V_V37 seno 0
+SIN 0 1 60 0 0 0
V_V38 coseno 0
+SIN 0 1 60 0 0 90
V_V42 senop120 0
+SIN 0 1 60 0 0 120
V_V43 cosenop120 0
```

```
+SIN 0 1 60 0 0 210
V_V44 senom120 0
+SIN 0 1 60 0 0 -120
V_V45 cosenom120 0
+SIN 0 1 60 0 0 -30
D_D45 $N_0001 $N_0002 Dbreak-X1
D_D44 $N_0003 $N_0004 Dbreak-X1
V_V47 V15p 0 DC 15
```

```

V_V46      V15n 0 DC -15
D_D43      $N_0005 $N_0006 Dbreak-X1
D_D46      $N_0007 0 Dbreak-X1
D_D40      0 $N_0002 Dbreak-X1
D_D47      $N_0008 0 Dbreak-X1
D_D42      0 $N_0006 Dbreak-X1
D_D48      $N_0009 0 Dbreak-X1
D_D41      0 $N_0004 Dbreak-X1
D_D39      $N_0002 Vo Dbreak-X1
D_D37      $N_0006 Vo Dbreak-X1
D_D38      $N_0004 Vo Dbreak-X1
X_S28      cmd2 0 Vo $N_0005 test_S28
X_S29      cmd4 0 Vo $N_0003 test_S29
X_S30      cmd6 0 Vo $N_0001 test_S30
X_S31      cmd5 0 $N_0002 $N_0007 test_S31
X_S32      cmd3 0 $N_0004 $N_0008 test_S32
X_S33      cmd1 0 $N_0006 $N_0009 test_S33
V_V53      $N_0010 $N_0011
+SIN 0 180 60 0 0 -30
R_R66      $N_0012 $N_0004 .11
R_R67      $N_0013 $N_0002 .11
X_H9       $N_0014 $N_0015 I2 0 test_H9
X_H8       $N_0010 $N_0016 I3 0 test_H8
X_H7       $N_0017 $N_0018 I1 0 test_H7
L_L8       $N_0018 $N_0019 790uH IC=78.13
L_L9       $N_0015 $N_0012 790uH IC=-39.065
L_L7       $N_0016 $N_0013 790uH IC=-39.065
V_V51      $N_0017 $N_0011
+SIN 0 180 60 0 0 90
V_V52      $N_0014 $N_0011
+SIN 0 180 60 0 0 210
R_R65      $N_0019 $N_0006 .11
C_C32      Vo 0 816u IC=400
R_R77      Vo 0 8
X_S46      setor1 0 Eq3 DC test_S46
X_S47      setor2 0 Eq6 DC test_S47
X_S48      setor3 0 Eq9 DC test_S48
X_S49      setor4 0 Eq3 DC test_S49
X_S50      setor5 0 Eq6 DC test_S50
X_S51      setor6 0 Eq9 DC test_S51
X_S40      setor1 0 Eq2 DB test_S40
X_S41      setor2 0 Eq5 DB test_S41
X_S42      setor3 0 Eq8 DB test_S42
X_S43      setor4 0 Eq2 DB test_S43
X_S44      setor5 0 Eq5 DB test_S44
X_S45      setor6 0 Eq8 DB test_S45
E_DIFF37   $N_0020 0 VALUE {V($N_0022,$N_0021)}
X_U26A     0 $N_0023 V15p V15n Idref TL082
R_R82      $N_0020 $N_0023 10k
R_R78      $N_0025 $N_0024 100k
X_U24A     0 $N_0026 V15p V15n $N_0024 TL082
R_R80      $N_0028 $N_0027 100k
E_DIFF36   erroq 0 VALUE {V(0,Iq)}
X_U25A     0 $N_0029 V15p V15n $N_0027 TL082
E_DIFF35   err0d 0 VALUE {V(Idref,Id)}
E_SUM48    Dq 0 VALUE {V($N_0030)+V($N_0027)}
E_DIFF48   Dd 0 VALUE {V($N_0024,$N_0031)}
R_R83      $N_0023 $N_0032 6.94k
R_R79      err0d $N_0026 5.166k
R_R81      erroq $N_0029 5.166k
E_GAIN55   $N_0030 0 VALUE {0.186 * V(Id)}
E_GAIN57   $N_0022 0 VALUE {5/400 * V(Vo)}
C_C34      $N_0026 $N_0024 2.65n IC=-2.62
C_C35      $N_0026 $N_0025 1.32n IC=-2.62
C_C36      $N_0029 $N_0027 2.65n IC=-0.338
C_C37      $N_0029 $N_0028 1.32n IC=-0.338
E_GAIN56   $N_0031 0 VALUE {0.186 * V(Iq)}
V_V93      $N_0021 0 DC 5
C_C38      $N_0032 Idref 714n IC=-1.94
V_V24      Vtri 0
+PULSE 0 5 0 49.99u 49.99u 10n 100u
E_E35      cmd1 0 TABLE { V(cmd2, 0) }
+ ( (1.5,15) (2.5,0) )
E_E36      cmd3 0 TABLE { V(cmd4, 0) }
+ ( (1.5,15) (2.5,0) )
E_E37      cmd5 0 TABLE { V(cmd6, 0) }
+ ( (1.5,15) (2.5,0) )
E_E38      cmd2 0 TABLE { V(DA, Vtri) }
+ ( (0,0) (.1,15) )
E_E39      cmd4 0 TABLE { V(DB, Vtri) }
+ ( (0,0) (.1,15) )
E_E40      cmd6 0 TABLE { V(DC, Vtri) }
+ ( (0,0) (.1,15) )
V_V86      setor2 0
+PULSE 0 15 11.45ms 1n 1n 2.777m 16.666666m
V_V91      setor1 0
+PULSE 0 15 14.23ms 1n 1n 2.777m 16.666666m
V_V87      setor3 0
+PULSE 0 15 8.675ms 1n 1n 2.777m 16.666666m
V_V88      setor4 0
+PULSE 0 15 5.897ms 1n 1n 2.777m 16.666666m
V_V89      setor5 0
+PULSE 0 15 3.119ms 1n 1n 2.777777m 16.666666m
V_V90      setor6 0
+PULSE 0 15 341us 1n 1n 2.777m 16.666666m
E_GAIN90   Eq7 0 VALUE {.5 * V($N_0033)}
E_DIFF53   $N_0033 0 VALUE {V($N_0035,$N_0034)}
E_SUM53    $N_0035 0 VALUE {V(um)+V($N_0036)}
E_GAIN91   $N_0036 0 VALUE {1.225 * V(Dalfa)}
E_GAIN92   $N_0034 0 VALUE {0.707 * V(Dbeta)}
E_GAIN93   Eq8 0 VALUE {.5 * V($N_0037)}
E_SUM56    $N_0037 0 VALUE
{V($N_0038)+V($N_0039)}
E_DIFF55   $N_0039 0 VALUE {V(um,$N_0040)}
E_GAIN94   $N_0040 0 VALUE {1.225 * V(Dalfa)}
E_GAIN95   Eq9 0 VALUE {.5 * V($N_0041)}
E_DIFF56   $N_0041 0 VALUE {V($N_0043,$N_0042)}
E_DIFF57   $N_0043 0 VALUE {V(um,$N_0044)}
E_GAIN96   $N_0044 0 VALUE {1.225 * V(Dalfa)}
E_GAIN97   $N_0042 0 VALUE {2.121 * V(Dbeta)}
E_GAIN98   $N_0038 0 VALUE {0.707 * V(Dbeta)}
E_GAIN85   $N_0045 0 VALUE {.5 * V(um)}
E_GAIN86   $N_0046 0 VALUE {1.225 * V(Dalfa)}
E_GAIN87   $N_0047 0 VALUE {.5 * V(um)}
E_GAIN88   $N_0048 0 VALUE {.5 * V(um)}
E_GAIN89   $N_0049 0 VALUE {0.707 * V(Dbeta)}
E_SUM54    Eq4 0 VALUE {V($N_0045)+V($N_0046)}
E_SUM55    Eq5 0 VALUE {V($N_0050)+V($N_0047)}
E_DIFF54   Eq6 0 VALUE {V($N_0048,$N_0049)}
E_GAIN99   $N_0050 0 VALUE {0.707 * V(Dbeta)}
E_GAIN77   Eq1 0 VALUE {.5 * V($N_0051)}
E_SUM50    $N_0051 0 VALUE
{V($N_0052)+V($N_0053)}
E_SUM51    $N_0053 0 VALUE {V(um)+V($N_0054)}
E_GAIN78   $N_0054 0 VALUE {1.225 * V(Dalfa)}
E_GAIN79   Eq2 0 VALUE {.5 * V($N_0055)}
E_SUM52    $N_0055 0 VALUE
{V($N_0056)+V($N_0057)}
E_DIFF50   $N_0057 0 VALUE {V(um,$N_0058)}
E_GAIN80   $N_0058 0 VALUE {1.225 * V(Dalfa)}
V_CONST13  um 0 DC 5
E_GAIN81   $N_0056 0 VALUE {2.121 * V(Dbeta)}
E_GAIN82   Eq3 0 VALUE {.5 * V($N_0059)}
E_DIFF51   $N_0059 0 VALUE {V($N_0061,$N_0060)}
E_DIFF52   $N_0061 0 VALUE {V(um,$N_0062)}
E_GAIN83   $N_0062 0 VALUE {1.225 * V(Dalfa)}
E_GAIN84   $N_0060 0 VALUE {0.707 * V(Dbeta)}
E_GAIN100  $N_0052 0 VALUE {0.707 * V(Dbeta)}
E_SUM23    $N_0063 0 VALUE
{V($N_0064)+V($N_0065)}
E_SUM24    $N_0066 0 VALUE
{V($N_0067)+V($N_0063)}
E_MULT34   $N_0064 0 VALUE {V(coseno)*V(I1)}
E_MULT35   $N_0065 0 VALUE
{V(cosenom120)*V(I3)}
E_MULT36   $N_0067 0 VALUE
{V(cosenop120)*V(I2)}

```



```

E_SUM25          $N_0068  0  VALUE
{V($N_0069)+V($N_0070)}
E_SUM26          $N_0071  0  VALUE
{V($N_0072)+V($N_0068)}
E_MULT37        $N_0069  0  VALUE {V(seno)*V(I1)}
E_MULT38        $N_0070  0  VALUE {V(senom120)*V(I3)}
E_MULT39        $N_0072  0  VALUE {V(senop120)*V(I2)}
E_GAIN40        Id 0 VALUE {.8165 * V($N_0066)}
E_GAIN39        Iq 0 VALUE {0.8165 * V($N_0071)}
E_MULT54        $N_0073  0  VALUE {V(coseno)*V(Dq)}
E_MULT55        $N_0074  0  VALUE {V(seno)*V(Dd)}
E_MULT56        $N_0075  0  VALUE {V(seno)*V(Dq)}
E_MULT57        $N_0076  0  VALUE {V(coseno)*V(Dd)}
X_S34  setor1 0 Eq1 DA test_S34
X_S35  setor2 0 Eq4 DA test_S35
X_S36  setor3 0 Eq7 DA test_S36
X_S37  setor4 0 Eq1 DA test_S37
X_S38  setor5 0 Eq4 DA test_S38
X_S39  setor6 0 Eq7 DA test_S39
E_DIFF49  Dbeta 0 VALUE {V($N_0073,$N_0074)}
E_SUM49  Dalfa 0 VALUE {V($N_0075)+V($N_0076)}

.subckt test_S28 1 2 3 4
S_S28 3 4 1 2 Sbreak-X3
RS_S28 1 2 1G
.ends test_S28

.subckt test_S29 1 2 3 4
S_S29 3 4 1 2 Sbreak-X3
RS_S29 1 2 1G
.ends test_S29

.subckt test_S30 1 2 3 4
S_S30 3 4 1 2 Sbreak-X3
RS_S30 1 2 1G
.ends test_S30

.subckt test_S31 1 2 3 4
S_S31 3 4 1 2 Sbreak-X3
RS_S31 1 2 1G
.ends test_S31

.subckt test_S32 1 2 3 4
S_S32 3 4 1 2 Sbreak-X3
RS_S32 1 2 1G
.ends test_S32

.subckt test_S33 1 2 3 4
S_S33 3 4 1 2 Sbreak-X3
RS_S33 1 2 1G
.ends test_S33

.subckt test_H9 1 2 3 4
H_H9 3 4 VH_H9 .02
VH_H9 1 2 0V
.ends test_H9

.subckt test_H8 1 2 3 4
H_H8 3 4 VH_H8 .02
VH_H8 1 2 0V
.ends test_H8

.subckt test_H7 1 2 3 4
H_H7 3 4 VH_H7 .02
VH_H7 1 2 0V
.ends test_H7

.subckt test_S46 1 2 3 4
S_S46 3 4 1 2 Sbreak-X1
RS_S46 1 2 1G
.ends test_S46

.subckt test_S47 1 2 3 4
S_S47 3 4 1 2 Sbreak-X1
RS_S47 1 2 1G
.ends test_S47

.subckt test_S48 1 2 3 4
S_S48 3 4 1 2 Sbreak-X1
RS_S48 1 2 1G
.ends test_S48

.subckt test_S49 1 2 3 4
S_S49 3 4 1 2 Sbreak-X1
RS_S49 1 2 1G
.ends test_S49

.subckt test_S50 1 2 3 4
S_S50 3 4 1 2 Sbreak-X1
RS_S50 1 2 1G
.ends test_S50

.subckt test_S51 1 2 3 4
S_S51 3 4 1 2 Sbreak-X1
RS_S51 1 2 1G
.ends test_S51

.subckt test_S40 1 2 3 4
S_S40 3 4 1 2 Sbreak-X1
RS_S40 1 2 1G
.ends test_S40

.subckt test_S41 1 2 3 4
S_S41 3 4 1 2 Sbreak-X1
RS_S41 1 2 1G
.ends test_S41

.subckt test_S42 1 2 3 4
S_S42 3 4 1 2 Sbreak-X1
RS_S42 1 2 1G
.ends test_S42

.subckt test_S43 1 2 3 4
S_S43 3 4 1 2 Sbreak-X1
RS_S43 1 2 1G
.ends test_S43

.subckt test_S44 1 2 3 4
S_S44 3 4 1 2 Sbreak-X1
RS_S44 1 2 1G
.ends test_S44

.subckt test_S45 1 2 3 4
S_S45 3 4 1 2 Sbreak-X1
RS_S45 1 2 1G
.ends test_S45

.subckt test_S34 1 2 3 4
S_S34 3 4 1 2 Sbreak-X1
RS_S34 1 2 1G
.ends test_S34

.subckt test_S35 1 2 3 4
S_S35 3 4 1 2 Sbreak-X1
RS_S35 1 2 1G
.ends test_S35

.subckt test_S36 1 2 3 4
S_S36 3 4 1 2 Sbreak-X1
RS_S36 1 2 1G
.ends test_S36

.subckt test_S37 1 2 3 4
S_S37 3 4 1 2 Sbreak-X1
RS_S37 1 2 1G
.ends test_S37

.subckt test_S38 1 2 3 4
S_S38 3 4 1 2 Sbreak-X1
RS_S38 1 2 1G
.ends test_S38

.subckt test_S39 1 2 3 4
S_S39 3 4 1 2 Sbreak-X1
RS_S39 1 2 1G
.ends test_S39

```

ANEXO B. Diagrama Esquemático e “Netlist” para a Simulação do Retificador Trifásico Unidirecional Y_1

B.1. Esquemático para a Simulação do Retificador Trifásico Unidirecional Y_1

As figuras que seguem mostram os blocos implementados para a simulação do retificador trifásico PWM unidirecional Y_1 operando em malha fechada.

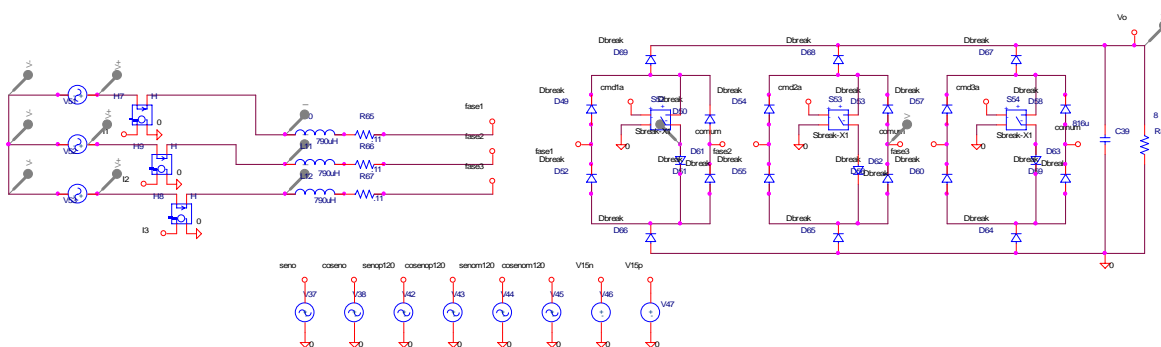


Fig. B.1 – Estágio de potência e fontes auxiliares.

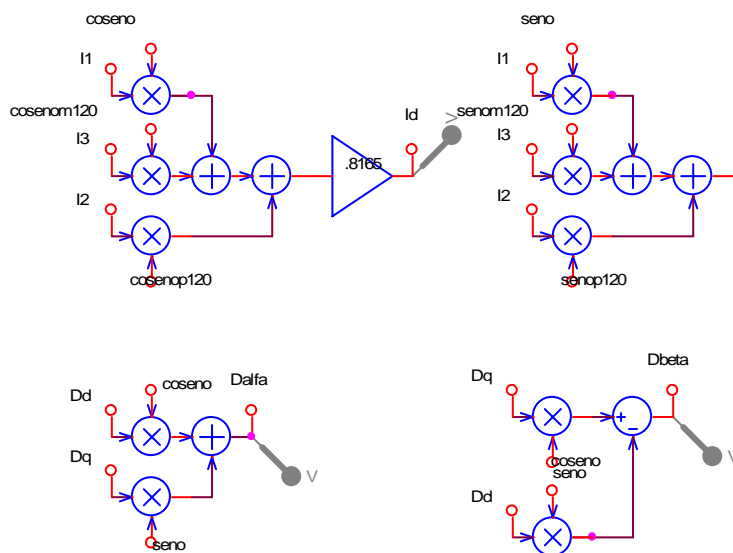


Fig. B.2 – Transformações utilizadas.

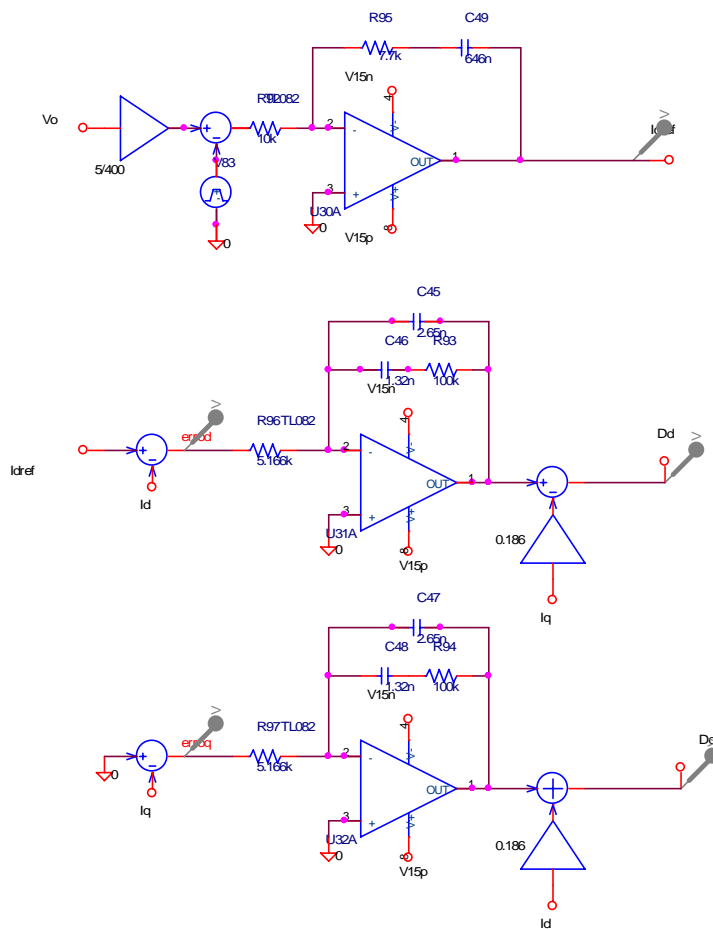


Fig. B.3 – Controlador de tensão e controladores de corrente com desacoplamento.

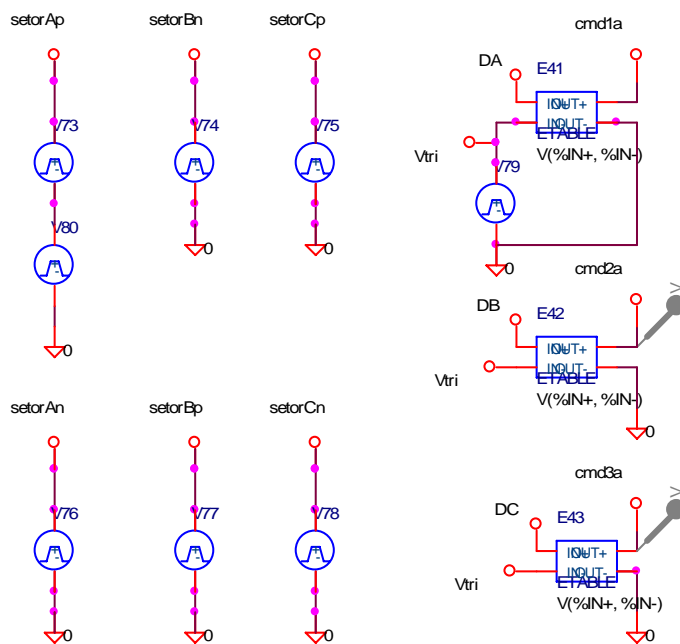


Fig. B.4 - Determinação dos setores e comparação.

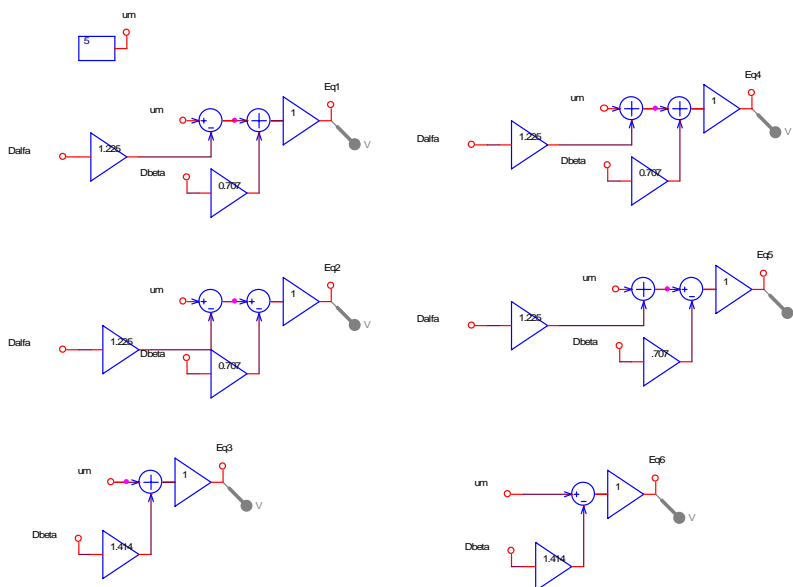


Fig. B.5 - Cálculo das razões cíclicas dos interruptores.

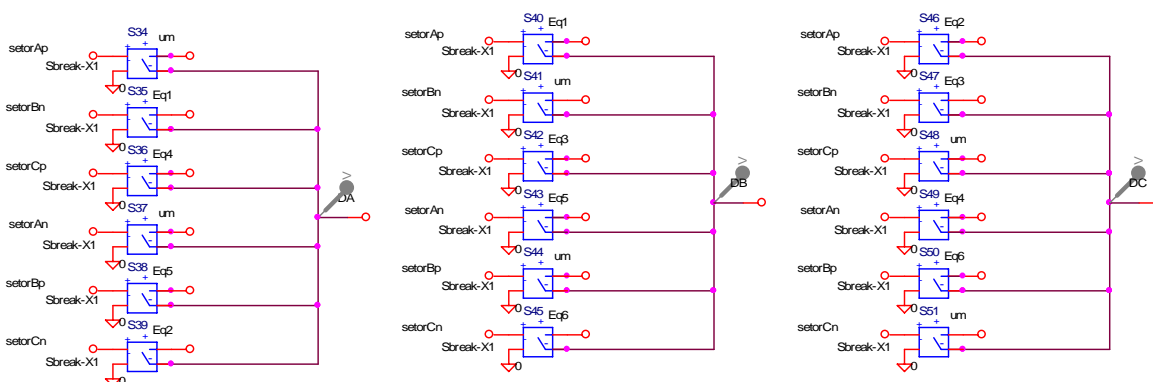


Fig. B.6 - Escolha dos setores.

B.2. “Netlist” para a Simulação do Retificador Trifásico Unidirecional

Y_1

```

* Schematics Netlist *
V_V37      seno 0
+SIN 0 1 60 0 0
V_V38      coseno 0
+SIN 0 1 60 0 90
V_V42      senop120 0
+SIN 0 1 60 0 120
V_V43      cosenop120 0
+SIN 0 1 60 0 210
V_V44      senom120 0
+SIN 0 1 60 0 -120
V_V45      cosenom120 0
+SIN 0 1 60 0 -30
V_V47      V15p 0 DC 15
V_V46      V15n 0 DC -15
E_SUM23          $N_0001  0  VALUE
{V($N_0002)+V($N_0003)}
E_SUM24          $N_0004  0  VALUE
{V($N_0005)+V($N_0001)}
E_MULT34      $N_0002 0 VALUE {V(coseno)*V(I1)}
E_MULT35          $N_0003  0  VALUE
{V(cosenom120)*V(I3)}
E_MULT36          $N_0005  0  VALUE
{V(cosenop120)*V(I2)}
E_SUM25          $N_0006  0  VALUE
{V($N_0007)+V($N_0008)}
E_SUM26          $N_0009  0  VALUE
{V($N_0010)+V($N_0006)}
E_MULT37      $N_0007 0 VALUE {V(seno)*V(I1)}
E_MULT38      $N_0008 0 VALUE {V(senom120)*V(I3)}
E_MULT39      $N_0010 0 VALUE {V(senop120)*V(I2)}
E_GAIN40      Id 0 VALUE {.8165 * V($N_0004)}
E_GAIN39      Iq 0 VALUE {0.8165 * V($N_0009)}
X_S34      setorAp 0 um DA qalyny20k_S34
X_S35      setorBn 0 Eq1 DA qalyny20k_S35
X_S36      setorCp 0 Eq4 DA qalyny20k_S36
X_S37      setorAn 0 um DA qalyny20k_S37
X_S38      setorBp 0 Eq5 DA qalyny20k_S38
X_S39      setorCn 0 Eq2 DA qalyny20k_S39
X_S52      cmd1a 0 $N_0011 $N_0012 qalyny20k_S52
    
```

```

X_S53 cmd2a 0 $N_0013 $N_0014 qalyuniy20k_S53
X_S54 cmd3a 0 $N_0015 $N_0016 qalyuniy20k_S54
D_D49 fase1 $N_0011 Dbreak
D_D50 comum $N_0011 Dbreak
D_D51 $N_0017 comum Dbreak
D_D52 $N_0017 fase1 Dbreak
D_D53 comum $N_0013 Dbreak
D_D54 fase2 $N_0013 Dbreak
D_D55 $N_0018 fase2 Dbreak
D_D56 $N_0018 comum Dbreak
D_D57 fase3 $N_0015 Dbreak
D_D58 comum $N_0015 Dbreak
D_D59 $N_0019 comum Dbreak
D_D60 $N_0019 fase3 Dbreak
D_D62 $N_0014 $N_0018 Dbreak
D_D63 $N_0016 $N_0019 Dbreak
D_D64 0 $N_0019 Dbreak
D_D65 0 $N_0018 Dbreak
D_D66 0 $N_0017 Dbreak
D_D67 $N_0015 Vo Dbreak
D_D68 $N_0013 Vo Dbreak
D_D69 $N_0011 Vo Dbreak
E_E41 cmd1a 0 TABLE { V(DA, Vtri) }
+ ( (0,0) (.08,15) )
E_E42 cmd2a 0 TABLE { V(DB, Vtri) }
+ ( (0,0) (.08,15) )
V_V73 setorAp $N_0020
+PULSE 0 15 0 1n 1n 1.388888ms 16.666666m
V_V80 $N_0020 0
+PULSE 0 15 15.277777m 1n 1n 1.388888ms 16.666666m
V_V74 setorBn 0
+PULSE 0 15 1.38888m 1n 1n 2.777m 16.666666m
V_V75 setorCp 0
+PULSE 0 15 4.166666m 1n 1n 2.777m 16.666666m
X_S40 setorAp 0 Eq1 DB qalyuniy20k_S40
X_S41 setorBn 0 um DB qalyuniy20k_S41
X_S42 setorCp 0 Eq3 DB qalyuniy20k_S42
X_S43 setorAn 0 Eq5 DB qalyuniy20k_S43
X_S44 setorBp 0 um DB qalyuniy20k_S44
X_S45 setorCn 0 Eq6 DB qalyuniy20k_S45
X_S46 setorAp 0 Eq2 DC qalyuniy20k_S46
X_S47 setorBn 0 Eq3 DC qalyuniy20k_S47
X_S48 setorCp 0 um DC qalyuniy20k_S48
X_S49 setorAn 0 Eq4 DC qalyuniy20k_S49
X_S50 setorBp 0 Eq6 DC qalyuniy20k_S50
X_S51 setorCn 0 um DC qalyuniy20k_S51
V_V76 setorAn 0
+PULSE 0 15 6.9444444m 1n 1n 2.777m 16.666666m
V_V78 setorCn 0
+PULSE 0 15 12.5m 1n 1n 2.777m 16.666666m
V_V77 setorBp 0
+PULSE 0 15 9.7222222m 1n 1n 2.777777m 16.666666m
X_H9 $N_0021 $N_0022 I2 0 qalyuniy20k_H9
X_H8 $N_0023 $N_0024 I3 0 qalyuniy20k_H8
V_V52 $N_0021 $N_0025
+SIN 0 180 60 0 0 210
V_V53 $N_0023 $N_0025
+SIN 0 180 60 0 0 -30
D_D61 $N_0012 $N_0017 Dbreak
V_V51 $N_0026 $N_0025
+SIN 0 180 60 0 0 90
X_H7 $N_0026 $N_0027 I1 0 qalyuniy20k_H7
R_R67 $N_0028 fase3 .11
R_R66 $N_0029 fase2 .11
R_R65 $N_0030 fase1 .11
L_L10 $N_0027 $N_0030 790uH IC=78.13
L_L11 $N_0022 $N_0029 790uH IC=-39.065
L_L12 $N_0024 $N_0028 790uH IC=-39.065
R_R85 Vo 0 8
E_SUM58 $N_0031 0 VALUE {V($N_0032)+V(um)}
E_GAIN90 Eq3 0 VALUE {1 * V($N_0031)}
E_DIFF62 $N_0033 0 VALUE {V(um,$N_0034)}
E_GAIN91 Eq6 0 VALUE {1 * V($N_0033)}
E_SUM59 $N_0035 0 VALUE
{V($N_0036)+V($N_0037)}
E_GAIN92 Eq1 0 VALUE {1 * V($N_0035)}
E_DIFF63 $N_0037 0 VALUE {V(um,$N_0038)}
E_GAIN93 $N_0038 0 VALUE {1.225 * V(Dalfa)}
E_GAIN94 $N_0036 0 VALUE {0.707 * V(Dbeta)}
E_GAIN95 Eq2 0 VALUE {1 * V($N_0039)}
E_DIFF64 $N_0039 0 VALUE {V($N_0041,$N_0040)}
E_DIFF65 $N_0041 0 VALUE {V(um,$N_0042)}
E_GAIN96 $N_0042 0 VALUE {1.225 * V(Dalfa)}
E_GAIN97 $N_0040 0 VALUE {0.707 * V(Dbeta)}
E_GAIN98 $N_0032 0 VALUE {1.414 * V(Dbeta)}
E_SUM60 $N_0043 0 VALUE
{V($N_0044)+V($N_0045)}
E_GAIN99 Eq4 0 VALUE {1 * V($N_0043)}
E_SUM61 $N_0045 0 VALUE {V($N_0046)+V(um)}
E_GAIN100 $N_0046 0 VALUE {1.225 * V(Dalfa)}
E_GAIN101 $N_0044 0 VALUE {0.707 * V(Dbeta)}
E_GAIN102 Eq5 0 VALUE {1 * V($N_0047)}
E_DIFF66 $N_0047 0 VALUE {V($N_0049,$N_0048)}
E_SUM62 $N_0049 0 VALUE {V($N_0051,$N_0052)}
E_GAIN103 $N_0050 0 VALUE {1.225 * V(Dalfa)}
E_GAIN104 $N_0048 0 VALUE {0.707 * V(Dbeta)}
E_GAIN105 $N_0034 0 VALUE {1.414 * V(Dbeta)}
E_MULT58 $N_0051 0 VALUE {V(coseno)*V(Dq)}
E_MULT59 $N_0052 0 VALUE {V(seno)*V(Dd)}
E_MULT60 $N_0053 0 VALUE {V(seno)*V(Dq)}
E_MULT61 $N_0054 0 VALUE {V(coseno)*V(Dd)}
E_DIFF67 Dbeta 0 VALUE {V($N_0051,$N_0052)}
E_SUM63 Dalfa 0 VALUE {V($N_0053)+V($N_0054)}
V_CONST13 um 0 DC 5
E_DIFF68 $N_0055 0 VALUE {V($N_0057,$N_0056)}
X_U30A 0 $N_0058 V15p V15n Idref TL082
R_R92 $N_0055 $N_0058 10k
R_R93 $N_0060 $N_0059 100k
X_U31A 0 $N_0061 V15p V15n $N_0059 TL082
R_R94 $N_0063 $N_0062 100k
E_DIFF69 erroq 0 VALUE {V(0,Iq)}
X_U32A 0 $N_0064 V15p V15n $N_0062 TL082
E_DIFF70 errod 0 VALUE {V(Idref,Id)}
E_SUM64 Dq 0 VALUE {V($N_0065)+V($N_0062)}
E_DIFF71 Dd 0 VALUE {V($N_0059,$N_0066)}
R_R96 errod $N_0061 5.166k
R_R97 erroq $N_0064 5.166k
E_GAIN106 $N_0065 0 VALUE {0.186 * V(Id)}
E_GAIN107 $N_0057 0 VALUE {5/400 * V(Vo)}
C_C45 $N_0061 $N_0059 2.65n IC=-2.62
C_C46 $N_0061 $N_0060 1.32n IC=-2.62
C_C47 $N_0064 $N_0062 2.65n IC=-0.338
C_C48 $N_0064 $N_0063 1.32n IC=-0.338
E_GAIN108 $N_0066 0 VALUE {0.186 * V(Iq)}
C_C39 Vo 0 816u IC=400
C_C49 $N_0067 Idref 646n IC=-1.94
R_R95 $N_0058 $N_0067 7.7k
V_V83 $N_0056 0
+PULSE 5 5.5 30m 10u 10u 75m 126m
E_E43 cmd3a 0 TABLE { V(DC, Vtri) }
+ ( (0,0) (.08,15) )
V_V79 Vtri 0
+PULSE 0 4.95 0 49.99u 49.99u 10n 100u

.subckt qalyuniy20k_S34 1 2 3 4
S_S34 3 4 1 2 Sbreak-X1
RS_S34 1 2 1G
.ends qalyuniy20k_S34

.subckt qalyuniy20k_S35 1 2 3 4
S_S35 3 4 1 2 Sbreak-X1
RS_S35 1 2 1G
.ends qalyuniy20k_S35

.subckt qalyuniy20k_S36 1 2 3 4
S_S36 3 4 1 2 Sbreak-X1
RS_S36 1 2 1G

```

```

.ends qalyuniy20k_S36

.subckt qalyuniy20k_S37 1 2 3 4
S_S37 3 4 1 2 Sbreak-X1
RS_S37 1 2 1G
.ends qalyuniy20k_S37

.subckt qalyuniy20k_S38 1 2 3 4
S_S38 3 4 1 2 Sbreak-X1
RS_S38 1 2 1G
.ends qalyuniy20k_S38

.subckt qalyuniy20k_S39 1 2 3 4
S_S39 3 4 1 2 Sbreak-X1
RS_S39 1 2 1G
.ends qalyuniy20k_S39

.subckt qalyuniy20k_S52 1 2 3 4
S_S52 3 4 1 2 Sbreak-X1
RS_S52 1 2 1G
.ends qalyuniy20k_S52

.subckt qalyuniy20k_S53 1 2 3 4
S_S53 3 4 1 2 Sbreak-X1
RS_S53 1 2 1G
.ends qalyuniy20k_S53

.subckt qalyuniy20k_S54 1 2 3 4
S_S54 3 4 1 2 Sbreak-X1
RS_S54 1 2 1G
.ends qalyuniy20k_S54

.subckt qalyuniy20k_S40 1 2 3 4
S_S40 3 4 1 2 Sbreak-X1
RS_S40 1 2 1G
.ends qalyuniy20k_S40

.subckt qalyuniy20k_S41 1 2 3 4
S_S41 3 4 1 2 Sbreak-X1
RS_S41 1 2 1G
.ends qalyuniy20k_S41

.subckt qalyuniy20k_S42 1 2 3 4
S_S42 3 4 1 2 Sbreak-X1
RS_S42 1 2 1G
.ends qalyuniy20k_S42

.subckt qalyuniy20k_S43 1 2 3 4
S_S43 3 4 1 2 Sbreak-X1
RS_S43 1 2 1G
.ends qalyuniy20k_S43

.subckt qalyuniy20k_S44 1 2 3 4
S_S44 3 4 1 2 Sbreak-X1
RS_S44 1 2 1G
.ends qalyuniy20k_S44

.subckt qalyuniy20k_S45 1 2 3 4
S_S45 3 4 1 2 Sbreak-X1
RS_S45 1 2 1G
.ends qalyuniy20k_S45

.subckt qalyuniy20k_S46 1 2 3 4
S_S46 3 4 1 2 Sbreak-X1
RS_S46 1 2 1G
.ends qalyuniy20k_S46

.subckt qalyuniy20k_S47 1 2 3 4
S_S47 3 4 1 2 Sbreak-X1
RS_S47 1 2 1G
.ends qalyuniy20k_S47

.subckt qalyuniy20k_S48 1 2 3 4
S_S48 3 4 1 2 Sbreak-X1
RS_S48 1 2 1G
.ends qalyuniy20k_S48

.subckt qalyuniy20k_S49 1 2 3 4
S_S49 3 4 1 2 Sbreak-X1
RS_S49 1 2 1G
.ends qalyuniy20k_S49

.subckt qalyuniy20k_S50 1 2 3 4
S_S50 3 4 1 2 Sbreak-X1
RS_S50 1 2 1G
.ends qalyuniy20k_S50

.subckt qalyuniy20k_S51 1 2 3 4
S_S51 3 4 1 2 Sbreak-X1
RS_S51 1 2 1G
.ends qalyuniy20k_S51

.subckt qalyuniy20k_H9 1 2 3 4
H_H9 3 4 VH_H9 .02
VH_H9 1 2 0V
.ends qalyuniy20k_H9

.subckt qalyuniy20k_H8 1 2 3 4
H_H8 3 4 VH_H8 .02
VH_H8 1 2 0V
.ends qalyuniy20k_H8

.subckt qalyuniy20k_H7 1 2 3 4
H_H7 3 4 VH_H7 .02
VH_H7 1 2 0V
.ends qalyuniy20k_H7

```

ANEXO C. Diagrama Esquemático e “Netlist” para a Simulação do Retificador Trifásico Unidirecional Δ_1

C.1. Esquemático para a Simulação do Retificador Trifásico Unidirecional Δ_1

As figuras que seguem mostram os blocos implementados para a simulação do retificador trifásico PWM unidirecional Δ_1 operando em malha fechada.

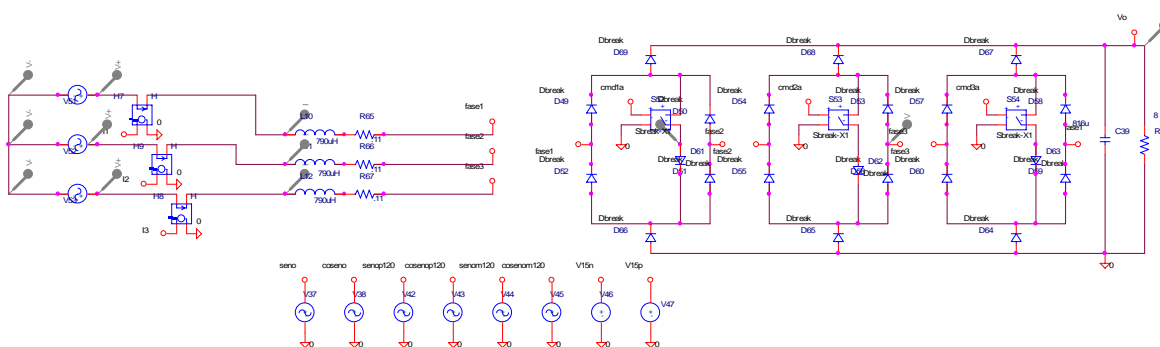


Fig. C.1 – Estágio de potência e fontes auxiliares.

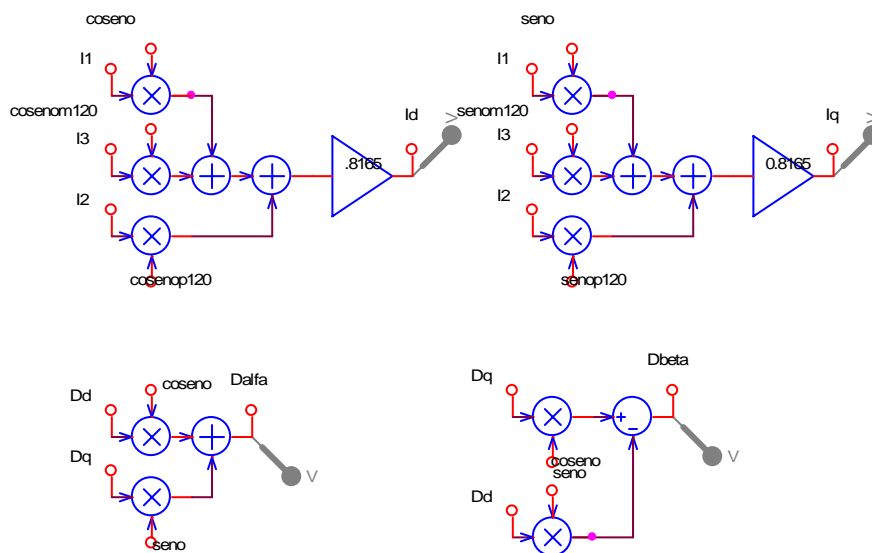


Fig. C.2 – Transformações utilizadas.

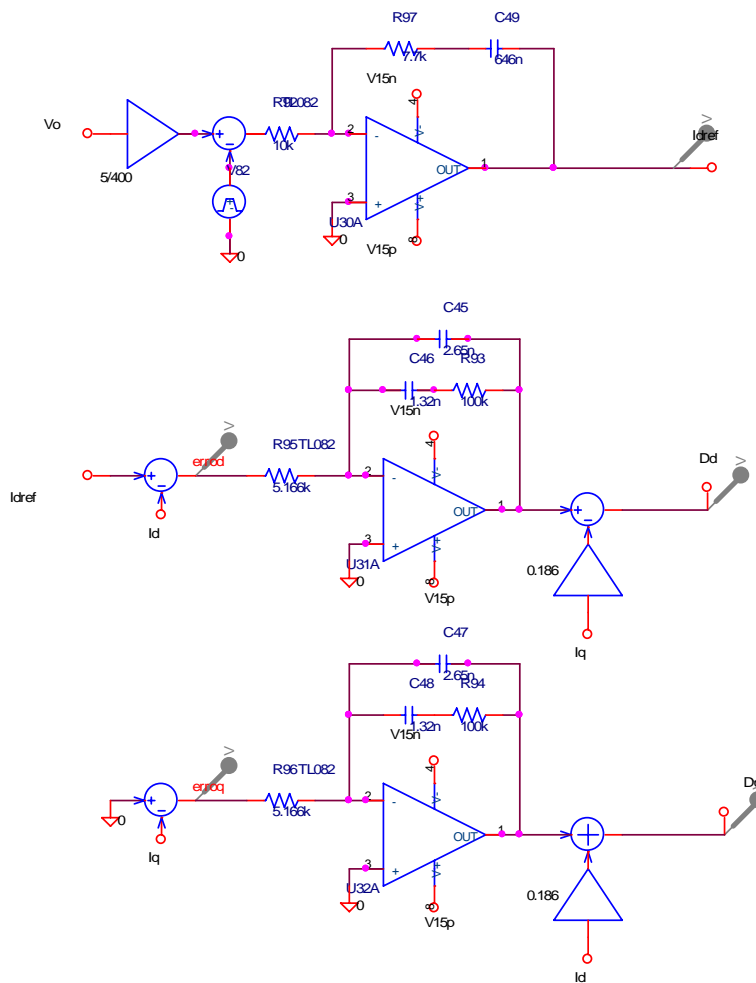


Fig. C.3 – Controlador de tensão e controladores de corrente com desacoplamento.

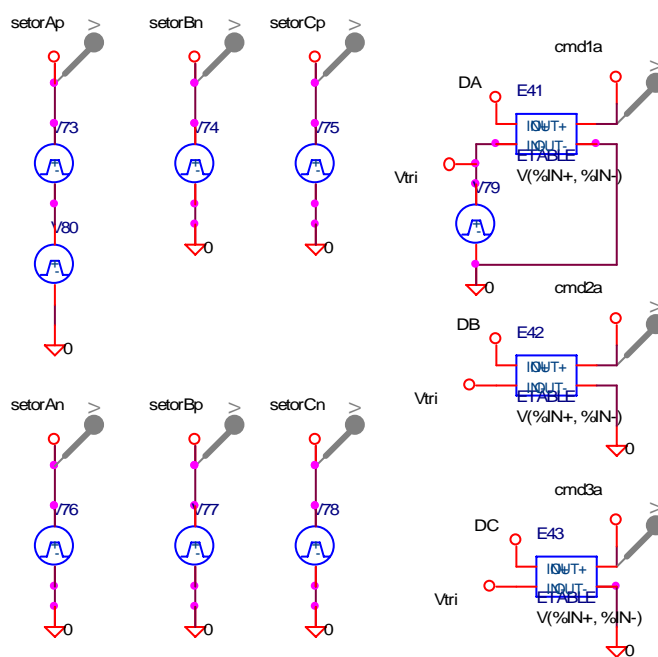


Fig. C.4 - Determinação dos setores e comparação.

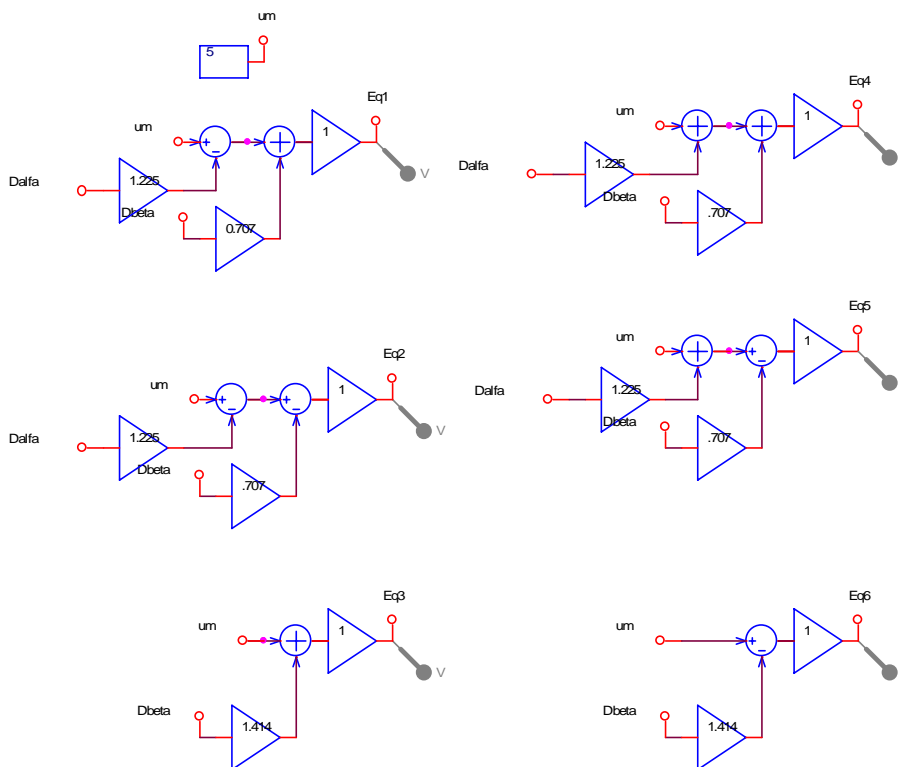


Fig. C.5 - Cálculo das razões cíclicas dos interruptores.

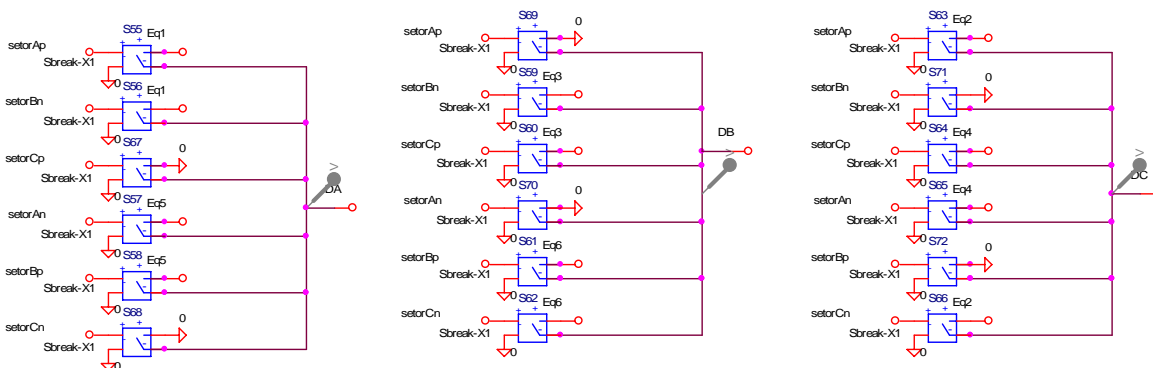


Fig. C.6 - Escolha dos setores.

C.2. “Netlist” para a Simulação do Retificador Trifásico Unidirecional Δ₁

```
* Schematics Netlist *
V_V37 seno 0
+SIN 0 1 60 0 0
V_V38 coseno 0
+SIN 0 1 60 0 90
V_V42 senop120 0
+SIN 0 1 60 0 120
V_V43 cosenop120 0
+SIN 0 1 60 0 210
V_V44 senom120 0
+SIN 0 1 60 0 -120
V_V45 cosenom120 0
+SIN 0 1 60 0 -30
```

```
V_V47 V15p 0 DC 15
V_V46 V15n 0 DC -15
E_SUM23 $N_0001 0 VALUE
{\V($N_0002)+V($N_0003)}
E_SUM24 $N_0004 0 VALUE
{\V($N_0005)+V($N_0001)}
E_MULT34 $N_0002 0 VALUE {\V(coseno)*V(I1)}
E_MULT35 $N_0003 0 VALUE
{\V(cosenom120)*V(I3)}
E_MULT36 $N_0005 0 VALUE
{\V(cosenop120)*V(I2)}
E_SUM25 $N_0006 0 VALUE
{\V($N_0007)+V($N_0008)}
```

```

E_SUM26          SN_0009 0 VALUE
{V(SN_0010)+V(SN_0006)}
E_MULT37        SN_0007 0 VALUE {V(seno)*V(I1)}
E_MULT38        SN_0008 0 VALUE {V(senom120)*V(I3)}
E_MULT39        SN_0010 0 VALUE {V(senop120)*V(I2)}
E_GAIN40        Id 0 VALUE {0.8165 * V(SN_0004)}
E_GAIN39        Iq 0 VALUE {0.8165 * V(SN_0009)}
E_MULT54        SN_0011 0 VALUE {V(coseno)*V(Dq)}
E_MULT55        SN_0012 0 VALUE {V(seno)*V(Dd)}
E_MULT56        SN_0013 0 VALUE {V(seno)*V(Dq)}
E_MULT57        SN_0014 0 VALUE {V(coseno)*V(Dd)}
X_S52  cmd1a 0 $N_0015 $N_0016 qalyunid20k_S52
X_S53  cmd2a 0 $N_0017 $N_0018 qalyunid20k_S53
X_S54  cmd3a 0 $N_0019 $N_0020 qalyunid20k_S54
D_D49  fase1 $N_0015 Dbreak
D_D50  fase2 $N_0015 Dbreak
D_D51  $N_0021 fase2 Dbreak
D_D52  $N_0021 fase1 Dbreak
D_D53  fase3 $N_0017 Dbreak
D_D54  fase2 $N_0017 Dbreak
D_D55  $N_0022 fase2 Dbreak
D_D56  $N_0022 fase3 Dbreak
D_D57  fase3 $N_0019 Dbreak
D_D58  fase1 $N_0019 Dbreak
D_D59  $N_0023 fase1 Dbreak
D_D60  $N_0023 fase3 Dbreak
D_D62  $N_0018 $N_0022 Dbreak
D_D63  $N_0020 $N_0023 Dbreak
D_D64  0 $N_0023 Dbreak
D_D65  0 $N_0022 Dbreak
D_D66  0 $N_0021 Dbreak
D_D67  $N_0019 Vo Dbreak
D_D68  $N_0017 Vo Dbreak
D_D69  $N_0015 Vo Dbreak
E_E41  cmd1a 0 TABLE { V(DA, Vtri) }
+ ( (0,0) (.08,15) )
E_E42  cmd2a 0 TABLE { V(DB, Vtri) }
+ ( (0,0) (.08,15) )
V_V73  setorAp $N_0024
+PULSE 0 15 0 1n 1n 1.388888ms 16.666666m
V_V80  $N_0024 0
+PULSE 0 15 15.277777m 1n 1n 1.388888ms 16.666666m
V_V74  setorBn 0
+PULSE 0 15 1.38888m 1n 1n 2.777m 16.666666m
V_V75  setorCp 0
+PULSE 0 15 4.166666m 1n 1n 2.777m 16.666666m
V_V76  setorAn 0
+PULSE 0 15 6.9444444m 1n 1n 2.777m 16.666666m
V_V78  setorCn 0
+PULSE 0 15 12.5m 1n 1n 2.777m 16.666666m
V_V77  setorBp 0
+PULSE 0 15 9.7222222m 1n 1n 2.777777m 16.666666m
X_H9  $N_0025 $N_0026 I2 0 qalyunid20k_H9
X_H8  $N_0027 $N_0028 I3 0 qalyunid20k_H8
V_V52  $N_0025 $N_0029
+SIN 0 180 60 0 0 210
V_V53  $N_0027 $N_0029
+SIN 0 180 60 0 0 -30
D_D61  $N_0016 $N_0021 Dbreak
V_V51  $N_0030 $N_0029
+SIN 0 180 60 0 0 90
X_H7  $N_0030 $N_0031 I1 0 qalyunid20k_H7
R_R67  $N_0032 fase3 .11
R_R66  $N_0033 fase2 .11
R_R65  $N_0034 fase1 .11
L_L11  $N_0026 $N_0033 790uH IC=-39.065
L_L12  $N_0028 $N_0032 790uH IC=-39.065
C_C39  Vo 0 816u IC=400
R_R85  Vo 0 8
V_V79  Vtri 0
+PULSE 0 5 0 49.99u 49.99u 10n 100u
X_S55  setorAp 0 Eq1 DA qalyunid20k_S55
X_S56  setorBn 0 Eq1 DA qalyunid20k_S56
X_S57  setorAn 0 Eq5 DA qalyunid20k_S57
X_S58  setorBp 0 Eq5 DA qalyunid20k_S58
X_S59  setorBn 0 Eq3 DB qalyunid20k_S59
X_S60  setorCp 0 Eq3 DB qalyunid20k_S60
X_S61  setorBp 0 Eq6 DB qalyunid20k_S61
X_S62  setorCn 0 Eq6 DB qalyunid20k_S62
X_S63  setorAp 0 Eq2 DC qalyunid20k_S63
X_S64  setorCp 0 Eq4 DC qalyunid20k_S64
X_S65  setorAn 0 Eq4 DC qalyunid20k_S65
X_S66  setorCn 0 Eq2 DC qalyunid20k_S66
X_S67  setorCp 0 0 DA qalyunid20k_S67
X_S68  setorCn 0 0 DA qalyunid20k_S68
X_S69  setorAp 0 0 DB qalyunid20k_S69
X_S70  setorAn 0 0 DB qalyunid20k_S70
X_S71  setorBn 0 0 DC qalyunid20k_S71
X_S72  setorBp 0 0 DC qalyunid20k_S72
E_DIFF49  Dbeta 0 VALUE {V(SN_0011,$N_0012)}
E_SUM49  Dalfa 0 VALUE {V(SN_0013)+V(SN_0014)}
E_SUM39          SN_0035 0 VALUE
{V(SN_0036)+V(SN_0037)}
E_GAIN58  Eq1 0 VALUE {1 * V(SN_0035)}
E_DIFF50  SN_0037 0 VALUE {V(um,$N_0038)}
E_GAIN78  Eq2 0 VALUE {1 * V(SN_0039)}
E_DIFF51  SN_0040 0 VALUE {V(um,$N_0041)}
E_SUM51  SN_0042 0 VALUE {V(SN_0043)+V(um)}
E_GAIN80  Eq3 0 VALUE {1 * V(SN_0042)}
E_SUM52          SN_0044 0 VALUE
{V(SN_0045)+V(SN_0046)}
E_GAIN82  Eq4 0 VALUE {1 * V(SN_0044)}
E_GAIN84  Eq5 0 VALUE {1 * V(SN_0047)}
E_DIFF56  SN_0039 0 VALUE {V(SN_0040,$N_0048)}
E_SUM55  SN_0046 0 VALUE {V(SN_0049)+V(um)}
E_DIFF57  SN_0047 0 VALUE {V(SN_0051,$N_0050)}
E_SUM56  SN_0051 0 VALUE {V(SN_0052)+V(um)}
E_DIFF55  SN_0053 0 VALUE {V(um,$N_0054)}
E_GAIN86  Eq6 0 VALUE {1 * V(SN_0053)}
V_CONST12  um 0 DC 5
E_GAIN90  SN_0038 0 VALUE {1.225 * V(Dalfa)}
E_GAIN59  SN_0036 0 VALUE {0.707 * V(Dbeta)}
E_GAIN91  SN_0041 0 VALUE {1.225 * V(Dalfa)}
E_GAIN77  SN_0048 0 VALUE {0.707 * V(Dbeta)}
E_GAIN79  SN_0043 0 VALUE {1.414 * V(Dbeta)}
E_GAIN92  SN_0049 0 VALUE {1.225 * V(Dalfa)}
E_GAIN81  SN_0045 0 VALUE {0.707 * V(Dbeta)}
E_GAIN93  SN_0052 0 VALUE {1.225 * V(Dalfa)}
E_GAIN83  SN_0050 0 VALUE {0.707 * V(Dbeta)}
E_GAIN85  SN_0054 0 VALUE {1.414 * V(Dbeta)}
L_L10  $N_0031 $N_0034 790uH IC=78.13
E_DIFF62  SN_0055 0 VALUE {V(SN_0057,$N_0056)}
X_U30A  0 $N_0058 V15p V15n Idref TL082
R_R92  $N_0055 $N_0058 10k
R_R93  $N_0060 $N_0059 100k
X_U31A  0 $N_0061 V15p V15n $N_0059 TL082
R_R94  $N_0063 $N_0062 100k
E_DIFF63  erroq 0 VALUE {V(0,Iq)}
X_U32A  0 $N_0064 V15p V15n $N_0062 TL082
E_DIFF64  errod 0 VALUE {V(Idref,Id)}
E_SUM58  Dq 0 VALUE {V(SN_0065)+V(SN_0062)}
E_DIFF65  Dd 0 VALUE {V(SN_0059,$N_0066)}
R_R95  errod $N_0061 5.166k
R_R96  erroq $N_0064 5.166k
E_GAIN94  SN_0065 0 VALUE {0.186 * V(Id)}
E_GAIN95  SN_0057 0 VALUE {5/400 * V(Vo)}
C_C45  $N_0061 $N_0059 2.65n IC=-2.62
C_C46  $N_0061 $N_0060 1.32n IC=-2.62
C_C47  $N_0064 $N_0062 2.65n IC=-0.338
C_C48  $N_0064 $N_0063 1.32n IC=-0.338
E_GAIN96  $N_0066 0 VALUE {0.186 * V(Iq)}
V_V82  $N_0056 0
+PULSE 5 5.5 30m 10u 10u 75m 126m
R_R97  $N_0058 $N_0067 7.7k
C_C49  $N_0067 Idref 646n IC=-1.94
E_E43  cmd3a 0 TABLE { V(DC, Vtri) }
+ ( (0,0) (.08,15) )

```

```
.subckt qalyunid20k_S52 1 2 3 4
S_S52 3 4 1 2 Sbreak-X1
RS_S52 1 2 1G
.ends qalyunid20k_S52
```

```
.subckt qalyunid20k_S53 1 2 3 4
S_S53 3 4 1 2 Sbreak-X1
RS_S53 1 2 1G
.ends qalyunid20k_S53
```

```
.subckt qalyunid20k_S54 1 2 3 4
S_S54 3 4 1 2 Sbreak-X1
RS_S54 1 2 1G
.ends qalyunid20k_S54
```

```
.subckt qalyunid20k_H9 1 2 3 4
H_H9 3 4 VH_H9 .02
VH_H9 1 2 0V
.ends qalyunid20k_H9
```

```
.subckt qalyunid20k_H8 1 2 3 4
H_H8 3 4 VH_H8 .02
VH_H8 1 2 0V
.ends qalyunid20k_H8
```

```
.subckt qalyunid20k_H7 1 2 3 4
H_H7 3 4 VH_H7 .02
VH_H7 1 2 0V
.ends qalyunid20k_H7
```

```
.subckt qalyunid20k_S55 1 2 3 4
S_S55 3 4 1 2 Sbreak-X1
RS_S55 1 2 1G
.ends qalyunid20k_S55
```

```
.subckt qalyunid20k_S56 1 2 3 4
S_S56 3 4 1 2 Sbreak-X1
RS_S56 1 2 1G
.ends qalyunid20k_S56
```

```
.subckt qalyunid20k_S57 1 2 3 4
S_S57 3 4 1 2 Sbreak-X1
RS_S57 1 2 1G
.ends qalyunid20k_S57
```

```
.subckt qalyunid20k_S58 1 2 3 4
S_S58 3 4 1 2 Sbreak-X1
RS_S58 1 2 1G
.ends qalyunid20k_S58
```

```
.subckt qalyunid20k_S59 1 2 3 4
S_S59 3 4 1 2 Sbreak-X1
RS_S59 1 2 1G
.ends qalyunid20k_S59
```

```
.subckt qalyunid20k_S60 1 2 3 4
S_S60 3 4 1 2 Sbreak-X1
RS_S60 1 2 1G
.ends qalyunid20k_S60
```

```
.subckt qalyunid20k_S61 1 2 3 4
S_S61 3 4 1 2 Sbreak-X1
RS_S61 1 2 1G
.ends qalyunid20k_S61
```

```
.subckt qalyunid20k_S62 1 2 3 4
S_S62 3 4 1 2 Sbreak-X1
RS_S62 1 2 1G
.ends qalyunid20k_S62
```

```
.subckt qalyunid20k_S63 1 2 3 4
S_S63 3 4 1 2 Sbreak-X1
RS_S63 1 2 1G
.ends qalyunid20k_S63
```

```
.subckt qalyunid20k_S64 1 2 3 4
S_S64 3 4 1 2 Sbreak-X1
RS_S64 1 2 1G
.ends qalyunid20k_S64
```

```
.subckt qalyunid20k_S65 1 2 3 4
S_S65 3 4 1 2 Sbreak-X1
RS_S65 1 2 1G
.ends qalyunid20k_S65
```

```
.subckt qalyunid20k_S66 1 2 3 4
S_S66 3 4 1 2 Sbreak-X1
RS_S66 1 2 1G
.ends qalyunid20k_S66
```

```
.subckt qalyunid20k_S67 1 2 3 4
S_S67 3 4 1 2 Sbreak-X1
RS_S67 1 2 1G
.ends qalyunid20k_S67
```

```
.subckt qalyunid20k_S68 1 2 3 4
S_S68 3 4 1 2 Sbreak-X1
RS_S68 1 2 1G
.ends qalyunid20k_S68
```

```
.subckt qalyunid20k_S69 1 2 3 4
S_S69 3 4 1 2 Sbreak-X1
RS_S69 1 2 1G
.ends qalyunid20k_S69
```

```
.subckt qalyunid20k_S70 1 2 3 4
S_S70 3 4 1 2 Sbreak-X1
RS_S70 1 2 1G
.ends qalyunid20k_S70
```

```
.subckt qalyunid20k_S71 1 2 3 4
S_S71 3 4 1 2 Sbreak-X1
RS_S71 1 2 1G
.ends qalyunid20k_S71
```

```
.subckt qalyunid20k_S72 1 2 3 4
S_S72 3 4 1 2 Sbreak-X1
RS_S72 1 2 1G
.ends qalyunid20k_S72
```

ANEXO D. Dimensionamento do Estágio de Potência para o Retificador Trifásico PWM Unidirecional Δ_1

D.1. Cálculos Preliminares

O equacionamento que será apresentado neste anexo será efetuado a partir do circuito equivalente para o setor A+, apresentado na Fig. D.1, em que foram desprezadas as resistências série do circuito. A metodologia utilizada para o dimensionamento do estágio de potência é a mesma aplicada em [24] para o retificador unidirecional de dois níveis Y₁.

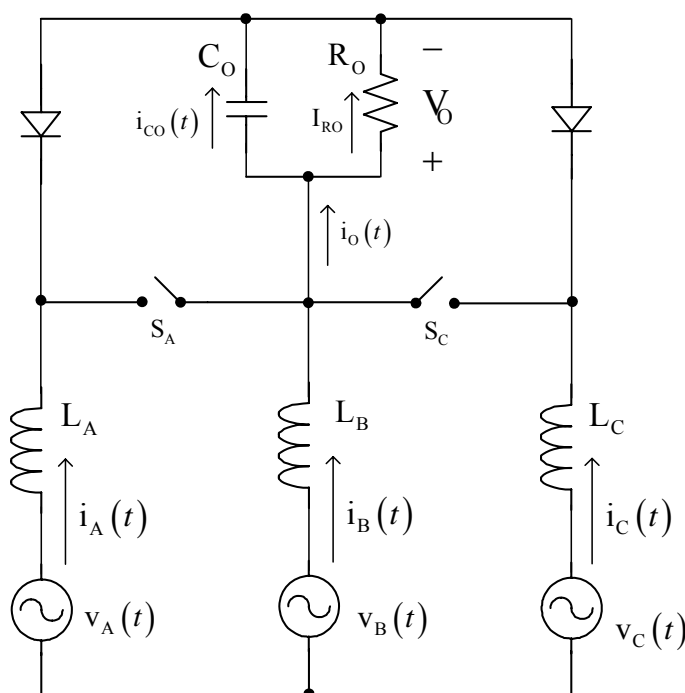


Fig. D.1 – Circuito equivalente do retificador trifásico PWM para o setor A+.

Este equacionamento será desenvolvido considerando a aplicação da estratégia de modulação da seção 4.3 e as expressões (D.1).

$$\begin{cases} v_A(t) = V_p \cdot \text{sen}(\omega \cdot t + 90^\circ) \\ v_B(t) = V_p \cdot \text{sen}(\omega \cdot t + 210^\circ) \\ v_C(t) = V_p \cdot \text{sen}(\omega \cdot t - 30^\circ) \end{cases} \text{ e } \begin{cases} i_A(t) = I_p \cdot \text{sen}(\omega \cdot t + 90^\circ) \\ i_B(t) = I_p \cdot \text{sen}(\omega \cdot t + 210^\circ) \\ i_C(t) = I_p \cdot \text{sen}(\omega \cdot t - 30^\circ) \end{cases} \quad (\text{D.1})$$

Com $I_q = 0$ e $Q = 0$, desconsiderando-se R_s , as razões cíclicas de eixo direto e de eixo em quadratura são dadas pela expressão (D.2).

$$\begin{cases} D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_o} \\ D_q = \sqrt{\frac{2}{3}} \cdot \frac{L \cdot \omega \cdot P_o}{\eta \cdot V_p \cdot V_o} \end{cases} \quad (D.2)$$

Aplicando a transformação inversa (D.3) e calculando as razões cíclicas para o setor A+ (D.4), chega-se a expressão (D.5).

$$\vec{M}_{dq}^{-1} = \begin{bmatrix} \cos(\omega \cdot t) & \text{sen}(\omega \cdot t) \\ -\text{sen}(\omega \cdot t) & \cos(\omega \cdot t) \end{bmatrix} \quad (D.3)$$

$$\begin{cases} D_A(t) = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha(t) + \frac{1}{\sqrt{2}} \cdot D_\beta(t) \\ D_B(t) = 0 \\ D_C(t) = 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha(t) - \frac{1}{\sqrt{2}} \cdot D_\beta(t) \end{cases} \quad (D.4)$$

$$\begin{cases} D_A(t) = 1 - \sqrt{3} \cdot \frac{V_p}{V_o} \cdot \left[\cos(\omega \cdot t - 30^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P_o}{\eta \cdot V_p \cdot V_o} \cdot \text{sen}(\omega \cdot t - 30^\circ) \right] \\ D_B(t) = 0 \\ D_C(t) = 1 - \sqrt{3} \cdot \frac{V_p}{V_o} \cdot \left[\cos(\omega \cdot t + 30^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P_o}{\eta \cdot V_p \cdot V_o} \cdot \text{sen}(\omega \cdot t + 30^\circ) \right] \end{cases} \quad (D.5)$$

Desprezando-se a parcela em seno, pois D_q é muito menor que um, têm-se as razões cíclicas das fases A, B e C dadas pela expressão (D.6) para o setor considerado.

$$\begin{cases} D_A(t) = 1 - \sqrt{3} \cdot \frac{V_p}{V_o} \cdot \cos(\omega \cdot t - 30^\circ) \\ D_B(t) = 0 \\ D_C(t) = 1 - \sqrt{3} \cdot \frac{V_p}{V_o} \cdot \cos(\omega \cdot t + 30^\circ) \end{cases} \quad (D.6)$$

D.2. Dimensionamento dos Indutores de Entrada

D.2.1. Valor da Indutância

Sabe-se que a corrente de entrada é controlada por largura de pulso, desta forma têm-se a relação (D.7).

$$V_L = L \cdot \frac{\Delta I}{\Delta t} \rightarrow \Delta I = \frac{V_L \cdot \Delta t}{L} \quad (\text{D.7})$$

Observa-se que a maior ondulação de corrente ocorre quando a corrente é máxima, para a corrente $i_A(t)$ isto ocorre em $\omega \cdot t = 0^\circ$.

Nesta situação:

$$D_A(t) = D_C(t) = 1 - \sqrt{3} \cdot \frac{V_P}{V_O} \cdot \cos(+30^\circ) = 1 - \sqrt{3} \cdot \frac{V_P}{V_O} \cdot \frac{\sqrt{3}}{2}. \quad (\text{D.8})$$

E o intervalo em que ambos interruptores estão fechados é dado por:

$$\Delta t = \left(1 - \frac{3}{2} \cdot \frac{V_P}{V_O}\right) \cdot T_S = \left(\frac{2 \cdot V_O - 3 \cdot V_P}{2 \cdot V_O}\right) \cdot T_S. \quad (\text{D.9})$$

Sabendo-se que neste intervalo, a tensão sobre o indutor L_A é igual à V_P e definindo a variação percentual da corrente em relação ao pico de corrente como mostrado na expressão (D.10), determina-se o valor de L conforme a expressão (D.11).

$$\Delta I = \Delta I\% \cdot I_P = \Delta I\% \cdot \frac{2 \cdot P_O}{3 \cdot \eta \cdot V_P} \quad (\text{D.10})$$

$$L = \frac{3 \cdot \eta \cdot V_P^2 \cdot (2 \cdot V_O - 3 \cdot V_P)}{f_s \cdot \Delta I\% \cdot 4 \cdot P_O \cdot V_O} \quad (\text{D.11})$$

D.2.2. Corrente Eficaz no Indutor

Desprezando a ondulação de alta frequência, a corrente eficaz no indutor é a mesma da fase correspondente:

$$I_{L_{\text{EF}}} = \frac{\sqrt{2} \cdot P_O}{3 \cdot \eta \cdot V_P} \quad (\text{D.12})$$

D.2.3. Corrente de Pico no Indutor

A corrente de pico no indutor é dada pelo valor da corrente de pico, mais a parcela devida a ondulação de alta frequência.

$$I_{L_p} = \frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \cdot \left(1 + \frac{\Delta I \%}{2} \right) \quad (D.13)$$

D.2.4. Corrente Média no Indutor

Com a corrente no indutor é praticamente senoidal, seu valor médio é zero.

$$I_{L_{MED}} = 0 \quad (D.14)$$

D.2.5. Tensão de Pico no Indutor

Observa-se que a máxima tensão no indutor L_A ocorre em $\omega \cdot t = 60^\circ$, neste caso, o sistema opera no setor B-, onde a partir da transição do sub-setor SS6B para o sub-setor SS5B têm-se: $D_A(t) \geq D_B(t)$ e $D_C(t) = 0$.

Para o caso em que apenas S_A está fechado, o sistema pode ser representado pelo circuito equivalente da Fig. D.1.

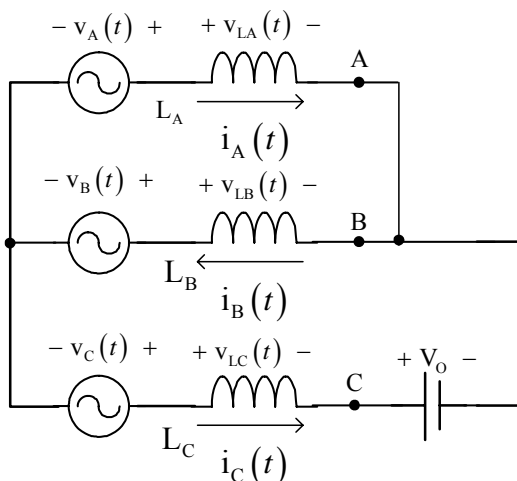


Fig. D.2 – Circuito equivalente para o retificador trifásico PWM.

Sendo válidas as relações da expressão (D.15).

$$\begin{cases} v_A(t) + v_B(t) + v_C(t) = 0 \\ v_A(t) - v_{LA}(t) = v_B(t) - v_{LB}(t) = v_C(t) - v_{LC}(t) - V_O \\ \dot{i}_{LA}(t) + \dot{i}_{LB}(t) + \dot{i}_{LC}(t) = 0 \rightarrow v_{LA}(t) + v_{LB}(t) + v_{LC}(t) = 0 \end{cases} \quad (D.15)$$

Dando origem ao sistema (D.16).

$$\begin{cases} v_A(t) + v_B(t) + v_C(t) = 0 \\ v_{LA}(t) - v_{LB}(t) = v_A(t) - v_B(t) \\ v_{LA}(t) - v_{LC}(t) = v_A(t) - v_C(t) + V_O \end{cases} \quad (\text{D.16})$$

A solução deste sistema é apresentada em (D.17).

$$\begin{cases} v_{LA}(t) = v_A(t) + \frac{1}{3} \cdot V_O \\ v_{LB}(t) = v_B(t) + \frac{1}{3} \cdot V_O \\ v_{LC}(t) = v_C(t) - \frac{2}{3} \cdot V_O \end{cases} \quad (\text{D.17})$$

Para $\omega \cdot t = 60^\circ$ têm-se $v_A(t) = V_p \cdot \text{sen}(\omega \cdot t + 90^\circ) = V_p/2$ assim, a máxima tensão sobre a indutância é dada pela expressão (D.18).

$$V_{Lp} = V_{LAp} = \frac{V_p}{2} + \frac{V_O}{3} \quad (\text{D.18})$$

D.3. Dimensionamento do Capacitor de Saída

D.3.1. Valor da Capacitância

Analisando o circuito da Fig. D.1 chega-se as relações da expressão (D.19).

$$i_o(t) = -i_B(t) \cdot [1 - D_A(t)] - i_C(t) \cdot [1 - D_C(t)] \quad (\text{D.19})$$

Substituindo-se as expressões (D.1) e (D.5) em (D.19) e simplificando a expressão através de relações trigonométricas chega-se a expressão (D.20).

$$i_o(t) = \frac{3}{2} \cdot \frac{V_p \cdot I_p}{V_O} \quad (\text{D.20})$$

Ou seja, se forem desprezadas as componentes de alta frequência, considerando-se apenas os valores médios instantâneos dos sinais, a corrente de saída não apresenta ondulações de baixa frequência. Desta forma, o dimensionamento do capacitor deve considerar apenas a ondulação de alta frequência.

Assim, observando-se o circuito equivalente da Fig. D.1 pode-se concluir que quando os interruptores S_A e S_B estão fechados, $i_o(t) = 0$, ou seja, circula pelo capacitor a corrente drenada pela carga (resistor), assim:

$$\Delta Q_{C_o} = \int_0^{\frac{2 \cdot V_o - 3 \cdot V_p}{2 \cdot V_o \cdot f_s}} \frac{P_o}{V_o} \cdot dt \text{ e} \quad (\text{D.21})$$

$$\frac{P_o \cdot (2 \cdot V_o - 3 \cdot V_p)}{2 \cdot f_s \cdot V_o^2} = C_o \cdot \Delta V_o = C_o \cdot \Delta V_o \% \cdot V_o \cdot \quad (\text{D.22})$$

Onde o intervalo no qual os interruptores S_A e S_B estão fechados é dado pela expressão (D.9).

Desta forma, define-se o valor da capacitância através da expressão (D.23).

$$C_o = \frac{P_o \cdot (2 \cdot V_o - 3 \cdot V_p)}{2 \cdot f_s \cdot V_o^3 \cdot \Delta V_o \%} \quad (\text{D.23})$$

D.3.2. Corrente Eficaz no Capacitor

Pela simetria apresentada para a corrente no capacitor, pode-se utilizar o valor da corrente em um determinado sub-setor, com o próprio valor eficaz em um período de rede.

Observa-se que no intervalo de duração do sub setor SS6A $D_c(t) \geq D_A(t)$ e $D_c(t) = 0$, considerando-se que as correntes de fase e as razões cíclicas permanecem constantes em um período de comutação, a corrente eficaz no capacitor em um período de chaveamento pode ser calculada pela expressão (D.24).

$$I_{CO_{EF} T_s} = \sqrt{\frac{1}{T_s} \cdot \left[\int_0^{D_A \cdot T_s} [-I_{RO}]^2 \cdot dt + \int_{D_A \cdot T_s}^{D_C \cdot T_s} [-I_{RO} - I_B]^2 \cdot dt + \int_{D_C \cdot T_s}^{T_s} [-I_{RO} - I_B - I_C]^2 \cdot dt \right]} \quad (\text{D.24})$$

Resolvendo (D.24) resulta em (D.25).

$$I_{CO_{EF} T_s} = \sqrt{D_A \cdot I_{RO}^2 + (D_C - D_A) \cdot (I_{RO} + I_B)^2 + (1 - D_C) \cdot (I_{RO} + I_B + I_C)^2} \quad (\text{D.25})$$

Em um período da rede, a corrente eficaz é dada pela expressão (D.26).

$$I_{CO_{EF}} = \sqrt{\frac{1}{\pi} \cdot \int_0^{\frac{\pi}{6}} [I_{CO_{EF} T_s}(\omega \cdot t)]^2 \cdot d\omega \cdot t} \quad (\text{D.26})$$

Substituindo (D.1), (D.5) e (D.25) em (D.26) determina-se, após simplificação, a expressão (D.27) para o cálculo da corrente eficaz do capacitor de saída.

$$I_{COEF} = \frac{P_O}{V_O} \cdot \sqrt{\frac{0,613 \cdot V_O - 2 \cdot \eta \cdot V_P}{\eta^2 \cdot V_P} + 1} \quad (D.27)$$

D.3.3. Corrente de Pico no Capacitor

A corrente máxima no capacitor é igual a corrente na carga dada pela expressão (D.28).

$$I_{CO_P} = \frac{P_O}{V_O} \quad (D.28)$$

D.3.4. Corrente Média no Capacitor

Na operação em regime permanente a energia do capacitor é constante, sendo a corrente média no capacitor obtida através de (D.29).

$$I_{CO_{MED}} = 0 \quad (D.29)$$

D.3.5. Tensão no Capacitor

A tensão máxima no capacitor, desprezando-se a ondulação de alta frequência, é dada pela equação (D.30).

$$V_{CO_{EF}} \cong V_{CO_{MED}} \cong V_O \quad (D.30)$$

D.4. Dimensionamento dos Interruptores

D.4.1. Corrente Eficaz no Interruptor

Considerando-se que as correntes de fase e as razões cíclicas permanecem constantes em um período de comutação, a corrente eficaz em um interruptor em um período de comutação é dada pela expressão (D.31).

$$I_{Si_{EF}T_S} = \sqrt{\frac{1}{T_S} \cdot \int_0^{D_i \cdot T_S} [I_{Si}]^2 \cdot dt} = I_{Si} \cdot \sqrt{D_i} \quad (D.31)$$

Como as razões cíclicas e as correntes que circulam em um determinado interruptor dependem do setor analisado pode-se utilizar a simetria destes sinais em relação a outros setores. Por exemplo, o interruptor S_B apresenta um funcionamento no setor $A+$ idêntico

ao funcionamento do interruptor S_A no setor C- e o interruptor S_C apresenta um funcionamento no setor A+ idêntico ao funcionamento do interruptor S_A no setor B-, sendo que o funcionamento do interruptor é igual para os semi-ciclos positivo e negativo da rede.

Neste caso, a corrente eficaz em um interruptor para um período da rede é dada pela expressão (D.32).

$$I_{S_{EF}} = \sqrt{2 \cdot \left[\left(I_{S_{A_{EF_{SETOR A+}}} \right)^2 + \left(I_{S_{B_{EF_{SETOR A+}}} \right)^2 + \left(I_{S_{C_{EF_{SETOR A+}}} \right)^2 \right]} \quad (D.32)$$

Então, pela análise do circuito da Fig. D.1 obtém-se a expressão (D.33).

$$I_{S_{EF}} = \sqrt{\frac{1}{\pi} \cdot \left\{ \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \left[I_B(t)^2 \cdot D_A(t) \right] \cdot d\omega \cdot t + \int_{\frac{\pi}{6}}^{\frac{\pi}{6}} \left[I_C(t)^2 \cdot D_C(t) \right] \cdot d\omega \cdot t \right\}} \quad (D.33)$$

Substituindo (D.1) e (D.5) em (D.33) determina-se, o valor da corrente eficaz no interruptor (D.34).

$$I_{S_{EF}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{0,087 \cdot V_O - 0,141 \cdot V_P}{V_O}} \quad (D.34)$$

D.4.2. Corrente de Pico no Interruptor

A corrente de pico no interruptor S_A cuja envoltória é dada pela corrente da fase A para o setor B- tem seu valor máximo no início deste setor ($\omega \cdot t = 30^\circ$), sendo este valor obtido através da expressão (D.35).

$$I_{S_p} = I_p \cdot \text{sen}(\omega \cdot t + 90^\circ) = \frac{\sqrt{3}}{2} \cdot I_p \quad (D.35)$$

D.4.3. Corrente Média no Interruptor

Utilizando o mesmo raciocínio aplicado na determinação da corrente eficaz no interruptor, tem-se que a corrente média no interruptor para um período de comutação dada pela expressão (D.36).

$$I_{S_{i_{MED T_S}}} = \frac{1}{T_S} \cdot \int_0^{D_i \cdot T_S} I_{S_i} \cdot dt = I_{S_i} \cdot D_i \quad (D.36)$$

Então, pela análise do circuito da Fig. D.1 obtém-se a expressão (D.37).

$$I_{S_{MED}} = \frac{1}{\pi} \cdot \left\{ \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} [-I_B(t) \cdot D_A(t)] \cdot d\omega \cdot t + \int_{\frac{\pi}{6}}^{\frac{\pi}{6}} [-I_C(t) \cdot D_C(t)] \cdot d\omega \cdot t \right\} \quad (D.37)$$

Substituindo (D.1) e (D.5) em (D.37) determina-se, o valor da corrente média no interruptor (D.38).

$$I_{S_{MED}} = \frac{P_O}{\eta \cdot V_P} \cdot \left(\frac{0,212 \cdot V_O - 0,333 \cdot V_P}{V_O} \right) \quad (D.38)$$

D.4.4. Tensão de Pico no Interruptor

A tensão máxima em um interruptor, desprezando-se a ondulação de alta frequência, é dada pela equação (D.39), como pode ser observado na etapa 5 da Fig. 4.2 .

$$V_{Sp} \cong V_O \quad (D.39)$$

D.5. Dimensionamento dos Diodos D_{I3456}

D.5.1. Corrente Eficaz nos Diodos D_{I3456}

O dimensionamento os diodos D_{I3456} será realizado considerando a mesma metodologia aplicada no dimensionamento dos interruptores. Considerar-se-á a simetria existente entre os setores para os sinais de corrente que circulam por estes diodos.

Como exemplo, o diodo D_{B4} apresenta um funcionamento no setor A+ idêntico ao funcionamento do diodo D_{A3} no setor C-e o diodo D_{C4} apresenta um funcionamento no setor A+ idêntico ao funcionamento do interruptor D_{A3} no setor B-, sendo que o funcionamento do diodo é em apenas um semi-ciclo da rede.

A corrente eficaz em um diodo em um período de comutação é dada pela expressão (D.40).

$$I_{D_{I3456}EF T_S} = \sqrt{\frac{1}{T_S} \cdot \int_0^{t_{DI}} [I_{D_{I3456}}]^2 \cdot dt} = I_{D_{I3456}} \cdot \sqrt{\frac{t_{DI}}{T_S}} \quad (D.40)$$

Onde t_{DI} é o intervalo de condução da cada diodo.

Neste caso, a corrente eficaz em um diodo para um período da rede é dada pela expressão (D.41).

$$I_{D_{13456_{EF}}} = \sqrt{\left(I_{D_{A3EFSETOR A^+}}\right)^2 + \left(I_{D_{B4EFSETOR A^+}}\right)^2 + \left(I_{D_{C4EFSETOR A^+}}\right)^2} \quad (D.41)$$

Analisando as etapas de operação 3, 4, 5 e 6 apresentadas na Fig. 4.2 e os sinais de comando para os sub-setores SS1A obtém-se a expressão (D.42).

$$I_{D_{13456_{EF}}} = \frac{1}{2 \cdot \pi} \cdot \left\{ \begin{array}{l} \int_{-\frac{\pi}{6}}^0 \left[\left([-I_B(t)]^2 + [-I_C(t)]^2 \right) \cdot D_C(t) \right] \cdot d\omega \cdot t + \\ \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \left[\left(\left[\frac{I_A(t)}{2} \right]^2 + \left[-\frac{I_C(t)}{2} \right]^2 \right) \cdot (1 - D_C(t)) \right] \cdot d\omega \cdot t + \\ \int_0^{\frac{\pi}{6}} \left[\left([-I_B(t)]^2 + [-I_C(t)]^2 \right) \cdot D_A(t) \right] \cdot d\omega \cdot t + \\ \int_0^{\frac{\pi}{6}} \left[\left(\left[-\frac{I_B(t)}{2} \right]^2 + \left[-\frac{I_C(t)}{2} \right]^2 \right) \cdot (D_C(t) - D_A(t)) \right] \cdot d\omega \cdot t \end{array} \right\} \quad (D.42)$$

Substituindo (D.1) e (D.5) em (D.42) determina-se, o valor da corrente eficaz no nos diodos D_{13456} (D.43).

$$I_{D_{13456_{EF}}} = \frac{P_o}{\eta \cdot V_p} \cdot \sqrt{\frac{0,043 \cdot V_o - 0,027 \cdot V_p}{V_o}} \quad (D.43)$$

D.5.2. Corrente de Pico nos Diodos D_{13456}

A corrente de pico nos diodos D_{13456} cuja envoltória é dada pela corrente da fase A para o setor B- tem seu valor máximo no início deste setor ($\omega \cdot t = 30^\circ$), sendo este valor obtido através da expressão (D.44).

$$I_{D_{13456_p}} = \frac{\sqrt{3}}{2} \cdot I_p \quad (D.44)$$

D.5.3. Corrente Média nos Diodos D_{13456}

Utilizando o mesmo raciocínio aplicado na determinação da corrente eficaz nos diodos D_{13456} e analisando as etapas de operação 3, 4, 5 e 6 apresentadas na Fig. 4.2 e os sinais de comando para os sub-setores SS1A obtém-se a expressão.

$$I_{D_{3456}_{MED}} = \frac{1}{2 \cdot \pi} \cdot \left\{ \begin{array}{l} \int_{-\frac{\pi}{6}}^0 [(-I_B(t) - I_C(t)) \cdot D_C(t)] \cdot d\omega \cdot t + \\ \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \left[\left(\frac{I_A(t)}{2} - \frac{I_C(t)}{2} \right) \cdot (1 - D_C(t)) \right] \cdot d\omega \cdot t + \\ \int_0^{\frac{\pi}{6}} [(-I_B(t) - I_C(t)) \cdot D_A(t)] \cdot d\omega \cdot t + \\ \int_0^{\frac{\pi}{6}} \left[\left(-\frac{I_B(t)}{2} - \frac{I_C(t)}{2} \right) \cdot (D_C(t) - D_A(t)) \right] \cdot d\omega \cdot t \end{array} \right\} \quad (D.45)$$

Substituindo (D.1) e (D.5) em (D.45) determina-se, o valor da corrente média no diodos $D_{I_{3456}}$.

$$I_{D_{I_{3456}_{MED}}} = \frac{P_O}{\eta \cdot V_P} \cdot \left(\frac{0,106 \cdot V_O + 0,004 \cdot V_P}{V_O} \right) \quad (D.46)$$

D.5.4. Tensão de Pico nos Diodos $D_{I_{3456}}$

A tensão máxima nos diodos $D_{I_{3456}}$, desprezando-se a ondulação de alta frequência, é dada pela equação (D.47), como pode ser observado na etapa 5 da Fig. 4.2 .

$$V_{D_{I_{3456}_p}} \cong V_O \quad (D.47)$$

D.6. Dimensionamento dos Diodos $D_{I_{12}}$

D.6.1. Corrente Eficaz nos Diodos $D_{I_{12}}$

Pela análise do circuito da Fig. 4.1 verifica-se que:

$$I_{DA3}(t) + I_{DA5}(t) = I_{SA}(t) + I_{DA1}(t) \quad (D.48)$$

Com isso, tem-se que o valor eficaz da corrente nos diodos $D_{I_{12}}$ é dado pela expressão (D.49).

$$I_{D_{I_{12}_{EF}}} = \sqrt{2 \cdot (I_{D_{I_{3456}_{EF}}})^2 - (I_{S_{EF}})^2} \quad (D.49)$$

Substituindo (D.34) e (D.43) em (D.49) obtém-se (D.50).

$$I_{D_{112_{EF}}} = \frac{P_O}{\eta \cdot V_P} \cdot \sqrt{\frac{0,085 \cdot V_P}{V_O}} \quad (D.50)$$

D.6.2. Corrente de Pico nos Diodos D_{112}

Observando as etapas de operação da Fig. 4.2, observa-se que os diodos D_{A1} e D_{C1} conduzem a corrente da fase A no semi-ciclo positivo, dividindo sua amplitude de forma igual, assim a envoltória da corrente destes diodos é a corrente desta fase dividida por dois, sendo o valor máximo deste sinal obtido através da expressão (D.51).

$$I_{D_{112p}} = \frac{I_P}{2} \quad (D.51)$$

D.6.3. Corrente Média nos Diodos D_{112}

A partir de (D.48), tem-se que o valor médio da corrente nos diodos D_{112} é dado pela expressão(D.52).

$$I_{D_{112_{MED}}} = 2 \cdot I_{D_{13456_{MED}}} - I_{S_{MED}} \quad (D.52)$$

Substituindo (D.38) e (D.46) em (D.52) obtém-se (D.53).

$$I_{D_{112_{MED}}} = \frac{P_O}{\eta \cdot 3 \cdot V_O} \quad (D.53)$$

D.6.4. Tensão de Pico nos Diodos D_{112}

A tensão máxima nos diodos D_{112} , desprezando-se a ondulação de alta frequência, é dada pela equação (D.54), como pode ser observado na etapa 4 da Fig. 4.2 .

$$V_{D_{112p}} \cong V_O \quad (D.54)$$

ANEXO E. Esquemas Elétricos das Placas Utilizadas no Protótipo

E.1. Esquemas Elétricos

Os esquemas elétricos das placas utilizadas no protótipo são apresentados da seguinte maneira:

- Fig. E-1 - Estágio de potência;
- Fig. E-2 - Amostragem dos Sinais de Corrente;
- Fig. E-3 - Amostragem do Sinal de Tensão e Adaptação dos Sinais PWM para os circuitos de comando dos interruptores;
- Fig. E-4 - Amostragem dos Sinais de Sincronismo;
- Fig. E-5 - Fontes Auxiliares e Circuito de Pré-Carga;
- Fig. E-6 - Conversores D/A.

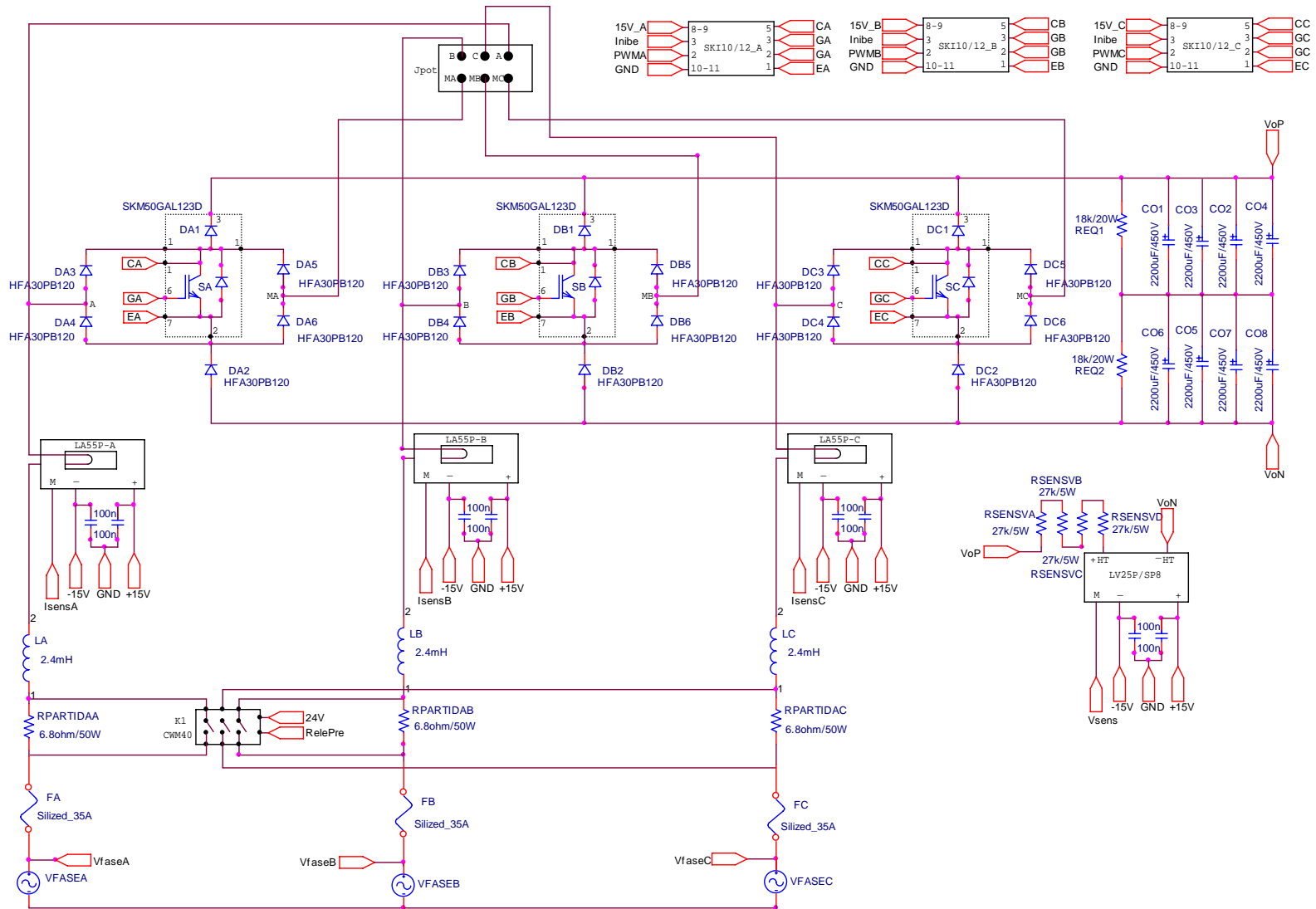


Fig. E-1 – Estágio de potência.

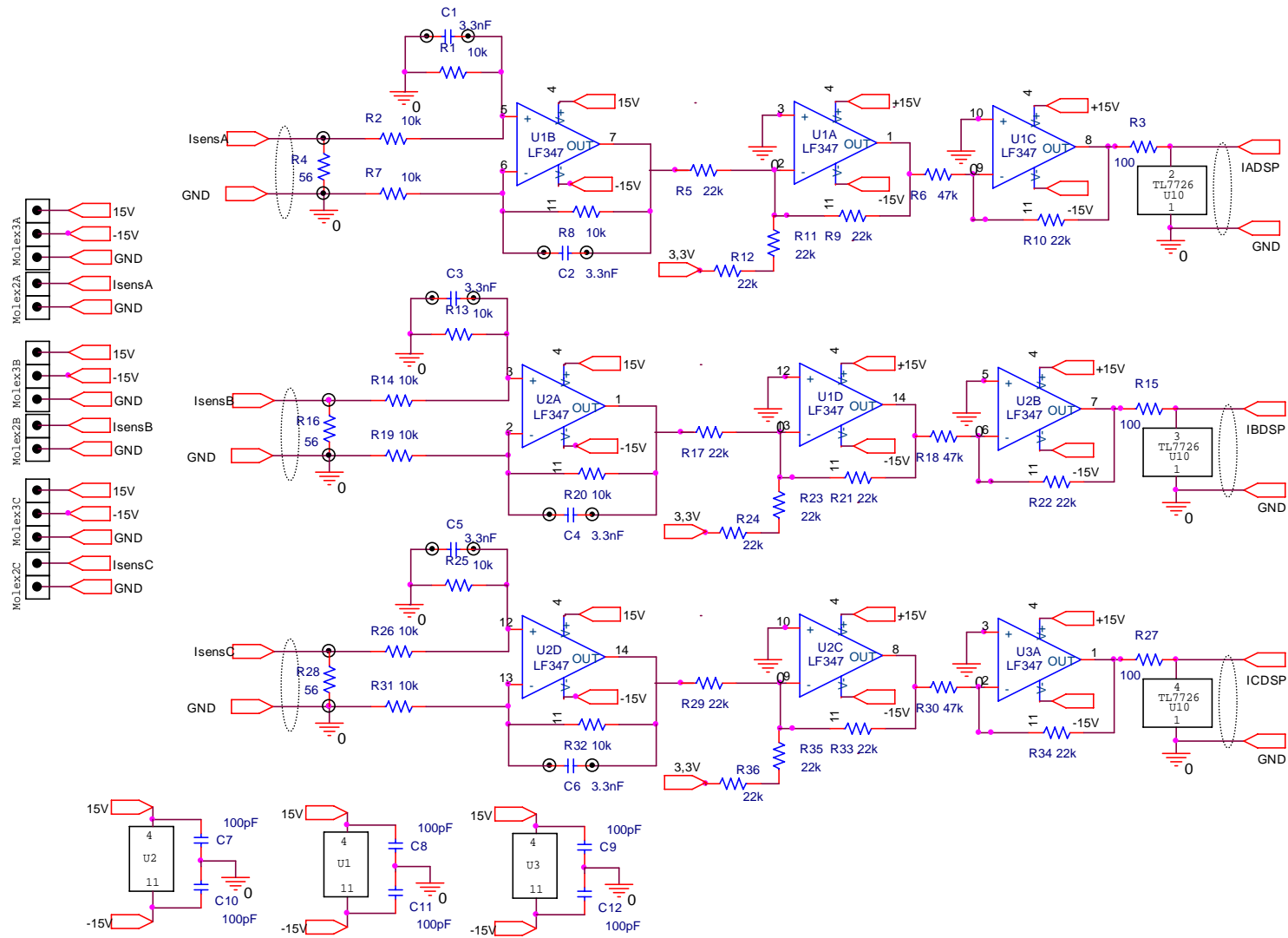


Fig. E-2 - Amostragem dos sinais de corrente.

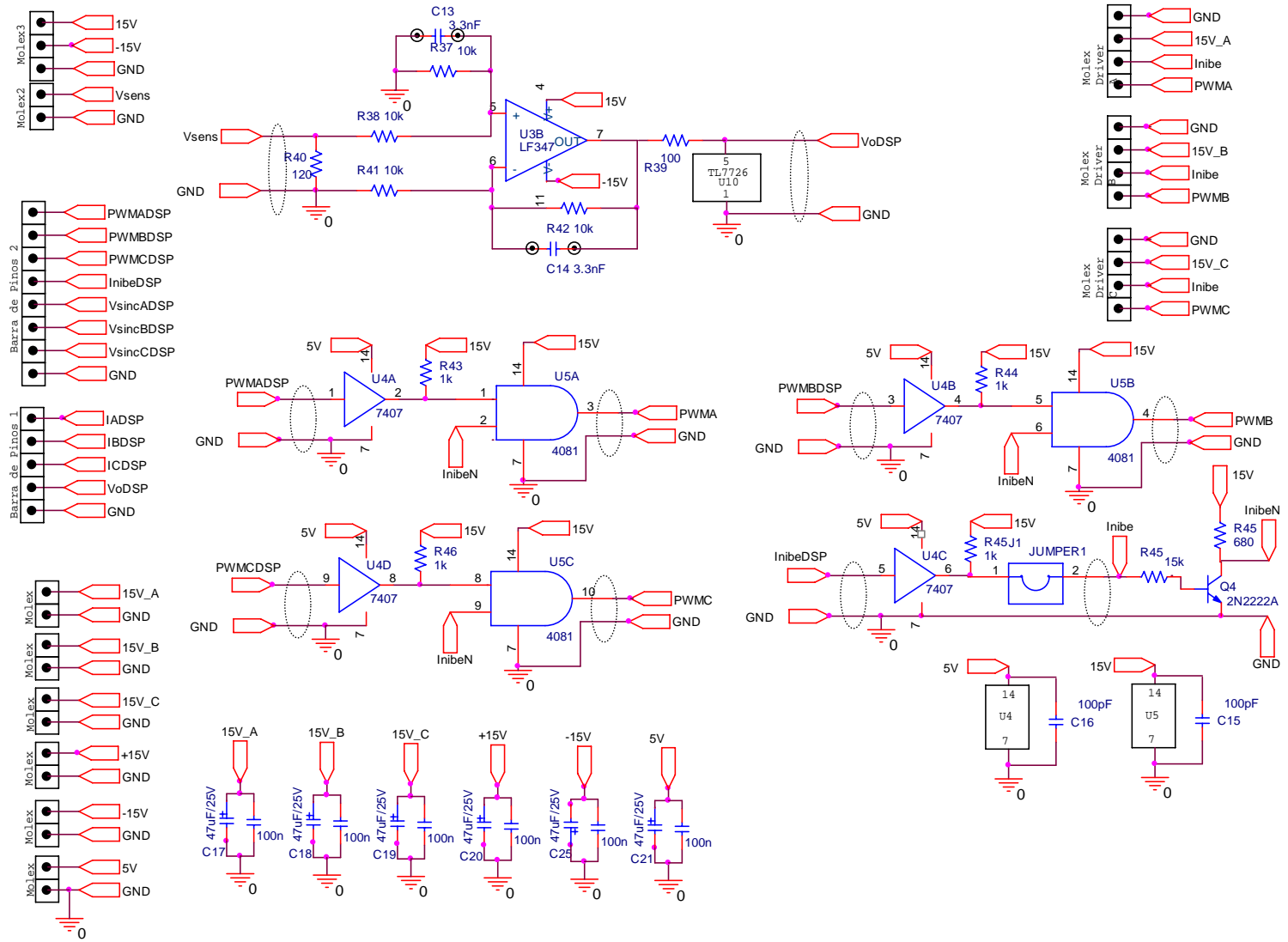


Fig. E-3 - Amostragem do sinal de tensão e adaptação dos sinais PWM para os “drivers”.

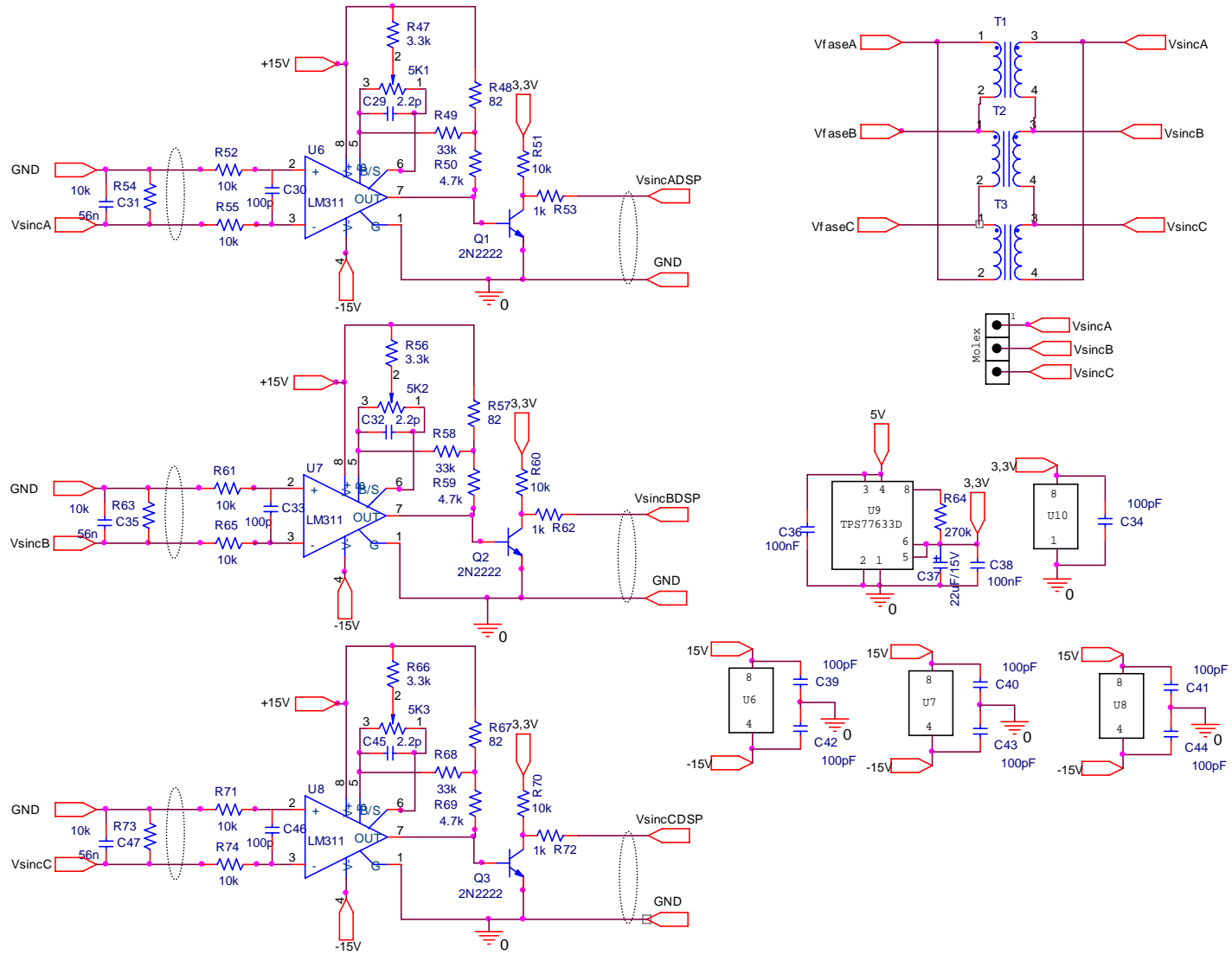


Fig. E-4 - Amostragem dos sinais de sincronismo.

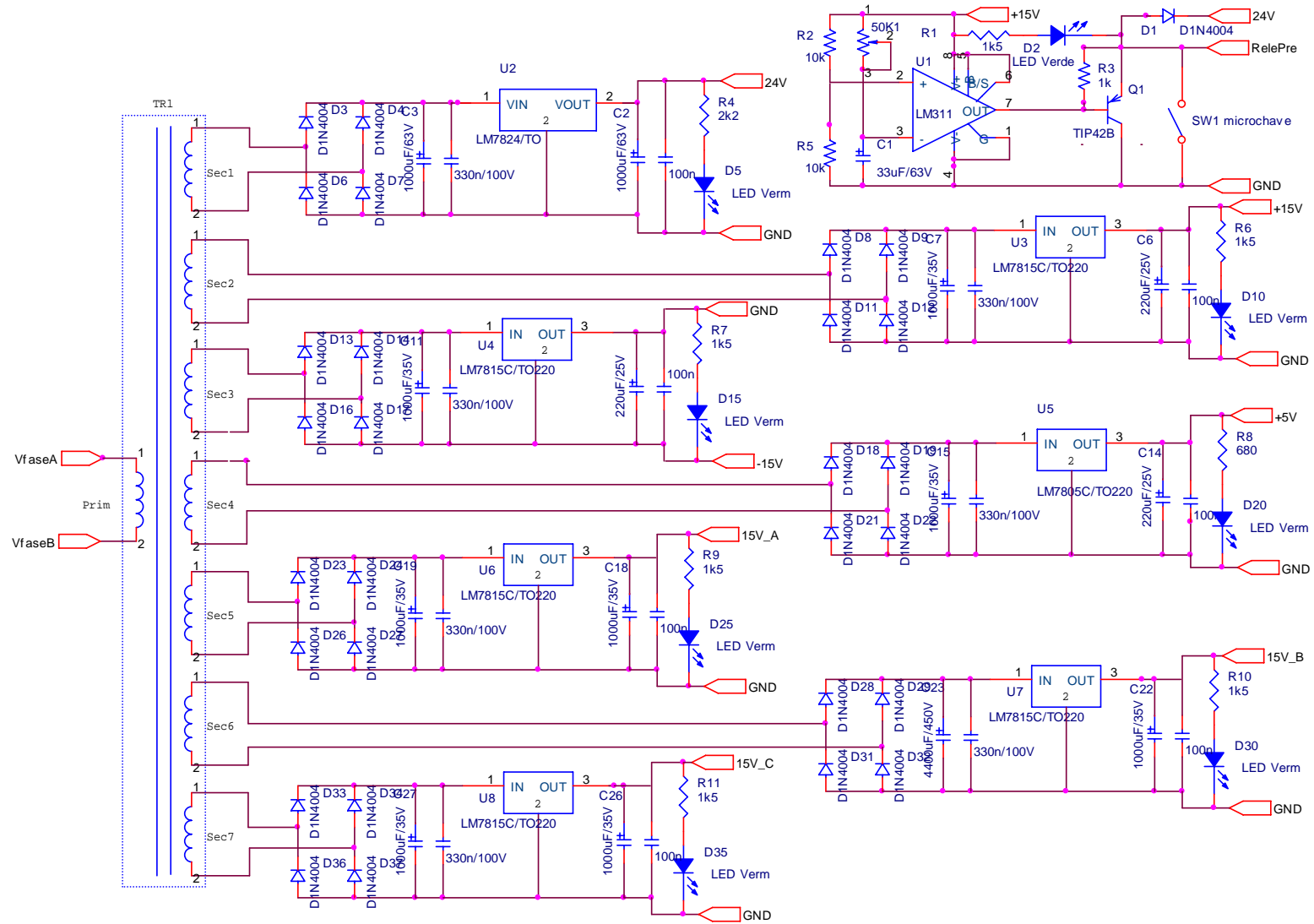


Fig. E-5 - Fontes auxiliares e circuito de pré-carga.

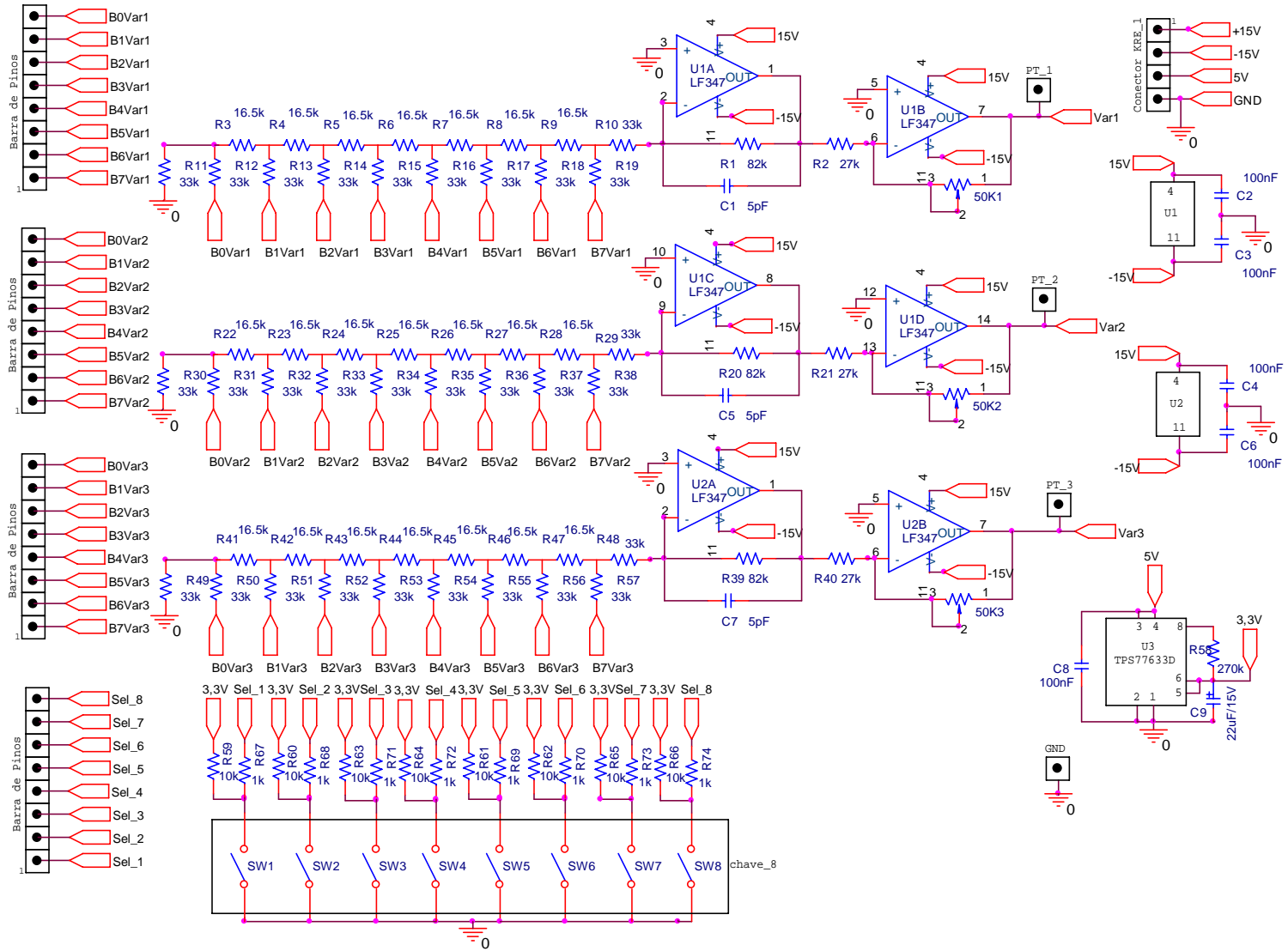


Fig. E-6 – Conversores D/A.

ANEXO F. Listagem do Programa para o Controle do Retificador Trifásico Unidirecional

A listagem do programa de controle para o retificador Y₁ com $V_L = 380$ V e $V_O = 400$ V é apresentada a seguir, sendo que não são apresentadas as partes relativas à seleção e saída de variáveis para os conversores D/A.

```

        .include f2407.h
;~~~~~
;Definicao de Constantes
;~~~~~
stk_len      .set      200
pwm_half_per .set      1984
pwm_duty     .set      992
table_len    .set      168
;~~~~~
;Definição de variaveis e secoes
;~~~~~
        .bss      temp,1
        .bss      SincA,1
        .bss      SincB,1
        .bss      SincC,1
        .bss      SincA_ant,1
        .bss      setor,1
        .bss      Dd,1
        .bss      Dq,1
        .bss      Ddnom,1
        .bss      Dqnom,1
        .bss      Ddlinha,1
        .bss      Dqlinha,1
        .bss      DA,1
        .bss      DB,1
        .bss      DC,1
        .bss      Dalfa,1
        .bss      Dbeta,1
        .bss      escala,1
        .bss      KD_1,1
        .bss      KD_2,1
        .bss      KD_3,1
        .bss      pcos,1
        .bss      psen,1
        .bss      pcosp120,1
        .bss      pcosm120,1
        .bss      psenp120,1
        .bss      psenm120,1
        .bss      IA,1
        .bss      IA1,1
        .bss      IB,1
        .bss      IB1,1
        .bss      IC,1
        .bss      IC1,1
        .bss      VO,1
        .bss      VO1,1
        .bss      ID,1
        .bss      IQ,1
        .bss      XA2,1
        .bss      Sel,1
        .bss      Kdesacopl,1
        .bss      DdlinhaIANT,1
        .bss      DqlinhaIANT,1
        .bss      DdlinhaP,1
        .bss      DdlinhaI,1
        .bss      DqlinhaP,1
        .bss      DqlinhaI,1
        .bss      ErroId,1
        .bss      ErroIq,1
        .bss      ErroIdANT,1

        .bss      ErroIqANT,1
        .bss      IDref,1
        .bss      IDrefSAT,1
        .bss      IDrefP,1
        .bss      IDrefI,1
        .bss      IDrefIANT,1
        .bss      ErroV,1
        .bss      ErroVANT,1
        .bss      Voref,1
        .bss      Vorefnom,1
        .bss      IDrefF,1
        .bss      IDrefFANT,1
        .bss      K1I,1
        .bss      K2I,1
        .bss      K1F,1
        .bss      K2F,1
        .bss      K1V,1
        .bss      K2V,1
        .bss      KARWV,1
        .bss      KARWI,1
        .bss      IDrefSATANT,1
        .bss      DqlinhaSAT,1
        .bss      Umquarto,1
        .bss      soma_A,1
        .bss      media_A,1
        .bss      soma_B,1
        .bss      media_B,1
        .bss      soma_C,1
        .bss      media_C,1
        .bss      soma_VO,1
        .bss      Vomed,1
        .bss      Kmed,1
        .bss      Inibe,1
        .bss      Vmin,1
        .bss      Vmedio,1
        .bss      Vmin1,1
        .bss      histerese,1
        .bss      Vmax,1
        .bss      Vmax1,1
        .bss      histerese2,1
        .bss      temporizador,1
        .bss      Ddsoft,1
        .bss      Dqsoft,1
        .bss      sincronismo,1
        .bss      fator,1

stk      .usect "stack",stk_len
;~~~~~
;Tabela dos vetores de interrupcao
;~~~~~
        .sect      "vectors"
                B      start
int1:      B      adc_isr
int2:      B      int2
int3:      B      int3
int4:      B      int4
int5:      B      int5
int6:      B      int6
int7:      B      int7
int8:      B      int8
int9:      B      int9

```

```

int10:      B      int10
int11:      B      int11
int12:      B      int12
int13:      B      int13
int14:      B      int14
int15:      B      int15
int16:      B      int16
int17:      B      int17
int18:      B      int18
int19:      B      int19
int20:      B      int20
int21:      B      int21
int22:      B      int22
int23:      B      int23
int24:      B      int24
int25:      B      int25
int26:      B      int26
int27:      B      int27
int28:      B      int28
int29:      B      int29
int30:      B      int30
int31:      B      int31
;~~~~~
; Rotina principal
;~~~~~
      .text
start:
;~~~~~
; atribuição de valores
;~~~~~
      LDP      #SincA
      SPLK     #lh, SincA
      LDP      #SincB
      SPLK     #lh, SincB
      LDP      #SincC
      SPLK     #lh, SincC
      LDP      #SincA_ant
      SPLK     #0h, SincA_ant
      LDP      #setor
      SPLK     #lh, setor
      LDP      #Dd
      SPLK     #8492, Dd
      LDP      #Dq
      SPLK     #1127, Dq
      LDP      #Ddsoft
      SPLK     #12435, Ddsoft
      LDP      #Dqsoft
      SPLK     #133, Dqsoft
      LDP      #Ddnom
      SPLK     #8492, Ddnom
      LDP      #Dqnom
      SPLK     #1127, Dqnom
      LDP      #Ddlinha
      SPLK     #8492, Ddlinha
      LDP      #DdlinhaP
      SPLK     #0, DdlinhaP
      LDP      #DdlinhaI
      SPLK     #8492, DdlinhaI
      LDP      #Dqlinha
      SPLK     #0, Dqlinha
      LDP      #KD_1
      SPLK     #20066, KD_1
      LDP      #KD_2
      SPLK     #23170, KD_2
      LDP      #KD_3
      SPLK     #11585, KD_3
      LDP      #KD_4
      SPLK     #26755, KD_4
      LDP      #DA
      SPLK     #0, DA
      LDP      #DB
      SPLK     #0, DB
      LDP      #DC
      SPLK     #0, DC
      LDP      #Dalfa

      SPLK     #0, Dalfa
      LDP      #Dbeta
      SPLK     #0, Dbeta
      LDP      #escala
      SPLK     #7936,escala
      LDP      #Kdesacopl
      SPLK     #2666,Kdesacopl
      LDP      #sincronismo
      SPLK     #0,sincronismo
      LDP      #pcos
      SPLK     TABELA,pcos
      LDP      #psen
      SPLK     (TABELA+126),psen
      LDP      #pcospl20
      SPLK     (TABELA+56),pcospl20
      LDP      #psenpl20
      SPLK     (TABELA+14),psenpl20
      LDP      #pcosm120
      SPLK     (TABELA+112),pcosm120
      LDP      #psenm120
      SPLK     (TABELA+70),psenm120
      LDP      #IA
      SPLK     #0,IA
      LDP      #IA1
      SPLK     #0,IA1
      LDP      #IB
      SPLK     #0,IB
      LDP      #IB1
      SPLK     #0,IB1
      LDP      #IC
      SPLK     #0,IC
      LDP      #IC1
      SPLK     #0,IC1
      LDP      #VO
      SPLK     #0,VO
      LDP      #VO1
      SPLK     #0,VO1
      LDP      #ID
      SPLK     #0,ID
      LDP      #IQ
      SPLK     #0,IQ
      LDP      #XA2
      SPLK     #0, XA2
      LDP      #Sel
      SPLK     #0, Sel
      LDP      #DdlinhaIANT
      SPLK     #0, DdlinhaIANT
      LDP      #DqlinhaIANT
      SPLK     #0, DqlinhaP
      LDP      #DqlinhaP
      SPLK     #0, DqlinhaI
      LDP      #DqlinhaI
      SPLK     #0, DqlinhaIANT
      LDP      #ErroId
      SPLK     #0, ErroId
      LDP      #ErroIq
      SPLK     #0, ErroIq
      LDP      #ErroIdANT
      SPLK     #0, ErroIdANT
      LDP      #ErroIqANT
      SPLK     #0, ErroIqANT
      LDP      #IDref
      SPLK     #0, IDref
      LDP      #IDrefIANT
      SPLK     #0, IDrefIANT
      LDP      #IDrefI
      SPLK     #0, IDrefI
      LDP      #IDrefP
      SPLK     #0, IDrefP
      LDP      #IDrefSAT
      SPLK     #0, IDrefSAT
      LDP      #ErroV
      SPLK     #0, ErroV
      LDP      #ErroVANT
      SPLK     #0, ErroVANT

```



```

LDP      #Voref
SPLK    #22012, Voref
LDP      #Vorefnom
SPLK    #28768, Vorefnom
LDP      #Vmedio
SPLK    #24658, Vmedio
LDP      #Vmin
SPLK    #18986, Vmin
LDP      #Vmin1
SPLK    #17437, Vmin1
LDP      #histerese
SPLK    #0, histerese
LDP      #Vmax
SPLK    #32056, Vmax
LDP      #Vmax1
SPLK    #30822, Vmax1
LDP      #histerese2
SPLK    #0, histerese2
LDP      #fator
SPLK    #1, fator
LDP      #IDrefF
SPLK    #0, IDrefF
LDP      #IDrefFANT
SPLK    #0, IDrefFANT
LDP      #K1I
SPLK    #19939, K1I
LDP      #K2I
SPLK    #8323, K2I
LDP      #K1F
SPLK    #27099, K1F
LDP      #K2F
SPLK    #5669, K2F
LDP      #K1V
SPLK    #29196, K1V
LDP      #K2V
SPLK    #21561, K2V
LDP      #KARWV
SPLK    #16384, KARWV
LDP      #KARWI
SPLK    #3277, KARWI
LDP      #IDrefsATANT
SPLK    #0, IDrefsATANT
LDP      #DqlinhaSAT
SPLK    #0, DqlinhaSAT
LDP      #Umquarto
SPLK    #8193, Umquarto
LDP      #temporizador
SPLK    #0, temporizador
LDP      #soma_A
SPLK    #0, soma_A
LDP      #media_A
SPLK    #16384, media_A
LDP      #soma_B
SPLK    #0, soma_B
LDP      #media_B
SPLK    #16384, media_B
LDP      #soma_C
SPLK    #0, soma_C
LDP      #media_C
SPLK    #16384, media_C
LDP      #soma_VO
SPLK    #0, soma_VO
LDP      #Vomed
SPLK    #0, Vomed
LDP      #Kmed
SPLK    #195, Kmed
LDP      #Inibe
SPLK    #666, Inibe
LDP      #TABELA
LAR      AR5, #TABELA
LAR      AR6, #1h
LAR      AR7, #(TABELA+126)
;~~~~~
;Desabilita o watchdog
;~~~~~

LDP      #DP_PF1
SPLK    #11101000b, WDCR
;~~~~~
;Configura os regs. de controle do sist.
;~~~~~
LDP      #DP_PF1
SPLK    #000000001111101b, SCSR1
SPLK    #0000000000001111b, SCSR2
;~~~~~
;Configura a pilha
;~~~~~
LAR      AR1, #stk
MAR      *, AR1
;~~~~~
;Configura as interrupcoes do nucleo
;~~~~~
LDP      #0h
SPLK    #111111b, IFR
SPLK    #000001b, IMR
;~~~~~
;Configura os pinos de I/O
;~~~~~
LDP      #DP_PF2
SPLK    #000000000000000b, MCRA
SPLK    #11111100000000b, MCRB
SPLK    #000000000101010b, MCRC
;~~~~~
;Configura os pinos do IOPA como saida
;~~~~~
LDP      #DP_PF2
LACC    PADATDIR
OR      #111111110000000b
SACL    PADATDIR
;~~~~~
;Configura os pinos do IOPB como saida
;~~~~~
LDP      #DP_PF2
LACC    PBDATDIR
OR      #111111110000000b
SACL    PBDATDIR
;~~~~~
;Configura os pinos do IOPC como saida
;~~~~~
LDP      #DP_PF2
LACC    PCDATDIR
OR      #111111110000000b
SACL    PCDATDIR
;~~~~~
;Configura pino IOPE7 como saida
;~~~~~
LDP      #DP_PF2
LACC    PEDATDIR
OR      #100000010000000b
SACL    PEDATDIR
;~~~~~
;Configura pinos IOPF 0-6 como entrada
;~~~~~
LDP      #DP_PF2
LACC    PFDATDIR
AND     #10000001111111b
SACL    PFDATDIR
;~~~~~
;Configura o ADC
;~~~~~
LDP      #DP_PF2
SPLK    #010000000000000b, ADCTRL1
SPLK    #000000000000011b,
MAX_CONV
SPLK    #0011001000010000b,
CHSELSEQ1
SPLK    #0010000000010000b, ADCTRL1
SPLK    #110001100000010b, ADCTRL2
;~~~~~
;Config. Full Compare 4,5 e 6 e GP Timer 3
;~~~~~

```

```

LDP    #DP_EVB
SPLK  #0000h, T3CON
SPLK  #0000h, T3CNT
SPLK  #pwm_half_per, T3PR
SPLK  #0000h, DBTCONB
SPLK  #0, CMPR4
SPLK  #0, CMPR5
SPLK  #0, CMPR6
SPLK  #0000000010000000b, GPTCONB
SPLK  #0000000100010001b, ACTRB
SPLK  #1010001000000000b, COMCONB
SPLK  #1000100001000100b, T3CON
;~~~~~
;Configura as interrupcoes dos EVMs
;~~~~~
LDP    #DP_EVA
SPLK  #0FFFFh, EVAIFRA
SPLK  #0FFFFh, EVAIFRB
SPLK  #0FFFFh, EVAIFRC
SPLK  #00000h, EVAIMRA
SPLK  #00000h, EVAIMRB
SPLK  #00000h, EVAIMRC
LDP    #DP_EVB
SPLK  #0FFFFh, EVBIFRA
SPLK  #0FFFFh, EVBIFRB
SPLK  #0FFFFh, EVBIFRC
SPLK  #00000h, EVBIMRA
SPLK  #00000h, EVBIMRB
SPLK  #00000h, EVBIMRC
; atualiza os PWMs DA, DB e DC =0
LDP    #DA
LACC  DA
LDP    #DP_EVB
SACL  CMPR4
LDP    #DB
LACC  DB
LDP    #DP_EVB
SACL  CMPR5
LDP    #DC
LACC  DC
LDP    #DP_EVB
SACL  CMPR6
;~~~~~
;Habilita interrupcoes globais
;~~~~~
CLRC  INTM
;~~~~~
;Laco principal
;~~~~~
Loop:  NOP
      B    loop
;~~~~~
;Rotina de tratamneto da interrupcao ADC
;~~~~~
adc_isr:
;salva contexto
MAR   *,AR1
MAR   *+
SST   #1, *+
SST   #0, *+
SACH  *+
SACL  *+
SAR   AR2, *+
SAR   AR0, *+
SAR   AR3, *+
SAR   AR4, *+
;limpa o INT_FLAG_SEQ1 e le o ADC
CLR   CSXM
LDP   #DP_PF2
LACC  ADCTRL2
SACL  ADCTRL2
;armazena variáveis lidas no AD
LACC  #0
LDP   #DP_PF2
LACC  RESULT3,15
LDP   #VO
SACH  VO
LACC  #0
LDP   #DP_PF2
LACC  RESULT2,15
LDP   #IC
SACH  IC
LACC  #0
LDP   #DP_PF2
LACC  RESULT1,15
LDP   #IB
SACH  IB
LACC  #0
LDP   #DP_PF2
LACC  RESULT0,15
LDP   #IA
SACH  IA
;reset ADC SEQ1 para o estado CONV00
LDP   #DP_PF2
LACC  ADCTRL2
OR    #4000h
SACL  ADCTRL2
;media da tensao de saida
SETC  SXM
SETC  OVM
SPM   1
LACC  #0
MPY   #0
LDP   #VO
LT    VO
LDP   #Kmed
MPY   Kmed
APAC
LDP   #soma_VO
ADD   soma_VO,16
SACH  soma_VO
; partida suave de tensao
LDP   #Voref
LACC  Voref
ADD   #1
SACL  Voref
MAR   *,AR4
LAR   AR4,Voref
LDP   #Vrefnom
LAR   AR0,Vrefnom
CMPR  2
BCND  nlimita, NTC
LACC  Vrefnom
LDP   #Voref
SACL  Voref
nlimita:
;proteção de tensão mínima na malha V
MAR   *,AR4
LDP   #VO
LAR   AR4,VO
LDP   #Vmin
LAR   AR0,Vmin
CMPR  1
BCND  nreiniciamv, NTC
LACC  #0
LDP   #VO
LACC  VO
LDP   #Voref
SACL  Voref
LDP   #ID
LACC  ID
LDP   #IDrefIANT
SACL  IDrefIANT
LDP   #IDrefFANT
SACL  IDrefFANT
LDP   #IDrefSATANT
SACL  IDrefSATANT
nreiniciamv:
;teste de sincronismo - passagem por zero

```

```

LDP #sincronismo
SPLK #0,sincronismo
;SincC
LDP #DP_Pf2
LACC PFDATDIR
RPT #5
ROR
AND #0000000000000001b
MAR *, AR4
LDP #SincC
SACL SincC
;SincB
LDP #DP_Pf2
LACC PFDATDIR
RPT #4
ROR
AND #0000000000000001b
MAR *, AR4
LDP #SincB
SACL SincB
;SincA
LDP #DP_Pf2
LACC PFDATDIR
RPT #3
ROR
AND #0000000000000001b
MAR *, AR4
LDP #SincA
SACL SincA
LAR AR4, SincA
LDP #SincA_ant
LAR AR0, SincA_ant
CMPR 2
BCND continua3, NTC
LDP #sincronismo
SPLK #1,sincronismo
LDP #TABELA
LAR AR5, #TABELA
LAR AR6, #1h
LAR AR7, #(TABELA+126)
LDP #pcos
SPLK TABELA,pcos
LDP #psen
SPLK (TABELA+126),psen
LDP #pcosp120
SPLK (TABELA+56),pcosp120
LDP #psenp120
SPLK (TABELA+14),psenp120
LDP #pcosm120
SPLK (TABELA+112),pcosm120
LDP #psenm120
SPLK (TABELA+70),psenm120
;contagem
MAR *,AR4
LDP #VO
LAR AR4,VO
LDP #Vmin
LAR AR0,Vmin
CMPR 2
BCND nconta, NTC
LDP #temporizador
LACC temporizador
ADD #1
SACL temporizador
nconta:
MAR *,AR4
LAR AR4,temporizador
LAR AR0,#100
CMPR 2
BCND nlimconta, NTC
SPLK #100,temporizador
nlimconta:
;Reset da media da tensao
LDP #soma_VO
LACC soma_VO
SPLK #0,soma_VO
LDP #Vomed
SACL Vomed
;comutacao de controle na malha de tensao
MAR *,AR4
LDP #temporizador
LAR AR4,temporizador
LAR AR0,#94
CMPR 0
BCND nresetamv, NTC
LACC #0
LDP #VO
LACC VO
LDP #Voref
SACL Voref
LDP #ID
LACC ID
LDP #IDrefIANT
SACL IDrefIANT
LDP #IDrefFANT
SACL IDrefFANT
LDP #IDrefSATANT
SACL IDrefSATANT
nresetamv:
;calculo do compensador de tensao
SETC SXM
SETC OVM
SPM 1
;erro de tensao
LACC #0
LDP #Voref
LACC Voref,16
LDP #Vomed
SUB Vomed,16
LDP #ErroV
SACH ErroV
; IDref proporcional
LACC #0
MPY #0
LDP #K1V
LT K1V
LDP #ErroV
MPY ErroV
APAC
APAC
LDP #IDrefP
SACH IDrefP
; IDref integral
LACC #0
MPY #0
LDP #K2V
LT K2V
LDP #ErroV
MPY ErroV
APAC
LDP #IDrefP
ADD IDrefIANT,16
LDP #IDrefI
SACH IDrefI
;IDref (total)
LDP #IDrefP
ADDIDrefP,16
LDP #IDref
SACH IDref
;atualiza IDref integral anterior
LACC #0
LDP #IDrefI
LACC IDrefI
LDP #IDrefIANT
SACL IDrefIANT
;limitação de IDref (saturação)
LACC #0
LDP #IDref
LACC IDref
LDP #IDrefSAT
SACL IDrefSAT

```

```

SACL IDrefsAT
MAR *,AR4
LDP #IDref
LAR AR4, IDref
LAR AR0, #32767
CMPR 2
BCND nsatura, NTC
LDP #IDrefsAT
SPLK #0, IDrefsAT
nsatura:
;reset das medias de corrente
LDP #soma_A
LACC soma_A
SPLK #0, soma_A
LDP #media_A
SACL media_A
;Limites de Média A
MAR *,AR4
LAR AR4, media_A
LAR AR0, #26215
CMPR 2
BCND nlimmedA, NTC
SPLK #16384, media_A
nlimmedA:
LDP #soma_B
LACC soma_B
SPLK #0, soma_B
LDP #media_B
SACL media_B
;Limites de Média B
MAR *,AR4
LAR AR4, media_B
LAR AR0, #26215
CMPR 2
BCND nlimmedB, NTC
SPLK #16384, media_B
nlimmedB:
LDP #soma_C
LACC soma_C
SPLK #0, soma_C
LDP #media_C
SACL media_C
;Limites de Média C
MAR *,AR4
LAR AR4, media_C
LAR AR0, #26215
CMPR 2
BCND nlimmedC, NTC
SPLK #16384, media_C
nlimmedC:
continua3:
LDP #SincA_ant
SACL SincA_ant
; retirar offset das correntes
SETC SXM
SETC OVM
SPM 1
LACC #0
;A
MPY #0
LDP #IA
LT IA
LDP #Kmed
MPY Kmed
APAC
LDP #soma_A
ADD soma_A, 16
SACH soma_A
LACC #0
LDP #IA
LACC IA
LDP #media_A
SUB media_A
LDP #IA
SACL IA
;B
MPY #0
LDP #IB
LT IB
LDP #Kmed
MPY Kmed
APAC
LDP #soma_B
ADD soma_B, 16
SACH soma_B
LACC #0
LDP #IB
LACC IB
LDP #media_B
SUB media_B
LDP #IB
SACL IB
;C
MPY #0
LDP #IC
LT IC
LDP #Kmed
MPY Kmed
APAC
LDP #soma_C
ADD soma_C, 16
SACH soma_C
LACC #0
LDP #IC
LACC IC
LDP #media_C
SUB media_C
LDP #IC
SACL IC
; calculo de ID e IQ (transformação direta)
SETC SXM
SETC OVM
SPM 1
; calculo de ID
MPY #0
LACC #0
MAR *, AR4
LDP #pcos
LAR AR4, pcos
LT *
LDP #IA
MPY IA
APAC
LDP #pcosp120
LAR AR4, pcosp120
LT ++
SAR AR4, pcosp120
LDP #IB
MPY IB
APAC
LDP #pcosm120
LAR AR4, pcosm120
LT ++
SAR AR4,
LDP #IC
MPY IC
APAC
LDP #KD_4
LT KD_4
LDP #ID
SACH ID
LACC #0
MPY ID
APAC
SACH ID
; calculo de IQ
MPY #0
LACC #0
MAR *, AR4
LDP #psen

```

```

LAR      AR4,psen
LT       *
LDP      #IA
MPY      IA
APAC
LDP      #psenp120
LAR      AR4,psenp120
LT       *+
SAR      AR4,psenp120
LDP      #IB
MPY      IB
APAC
LDP      #psenm120
LAR      AR4,psenm120
LT       *+
SAR      AR4,psenm120
LDP      #IC
MPY      IC
APAC
LDP      #KD_4
LT       KD_4
LDP      #IQ
SACH     IQ
LACC     #0
MPY      IQ
APAC
SAC      IQ
;cálculo do filtro de referência
LACC     #0
SPM      1
SETC     SXM
LDP      #IDrefFANT
LT       IDrefFANT
MPY      K1F
APAC
LDP      #IDrefsATANT
LT       IDrefsATANT
MPY      K2F
APAC
LDP      #IDrefF
SACH     IDrefF
;atualiza IDrefSAT anterior
LACC     #0
LDP      #IDrefsAT
LACC     IDrefsAT
LDP      #IDrefsATANT
SACL     IDrefsATANT
; atualiza IDref filtrado anterior
LACC     #0
LDP      #IDrefF
LACC     IDrefF
LDP      #IDrefFANT
SACL     IDrefFANT
;comutacao de controle nas malhas I
MAR      *,AR4
LDP      #temporizador
LAR      AR4,temporizador
LAR      AR0,#94
CMPR     0
BCND     nresetami, NTC
LDP      #ID
LACC     ID
LDP      #IDrefF
SACL     IDrefF
;acoplamento
LACC     #0
LDP      #Kdesacopl
LT       Kdesacopl
MPY      IQ
APAC
LDP      #Dd
ADD      Dd,16
LDP      #DdlinhaIANT
SACH     DdlinhaIANT
LACC     #0
LDP      #Kdesacopl
LT       Kdesacopl
MPY      IQ
APAC
LDP      #Dd
ADD      Dd,16
LDP      #DdlinhaIANT
SACH     DdlinhaIANT
LACC     #0

LDP      #Kdesacopl
LT       Kdesacopl
MPY      ID
SPAC
LDP      #Dq
ADD      Dq,16
LDP      #DqlinhaIANT
SACH     DqlinhaIANT
nresetami:
;cálculo do compensador de corrente
;D
; Errio ID
LACC     #0
LDP      #IDrefF
LACC     IDrefF,16
LDP      #ID
SUB      ID,16
LDP      #ErroId
SACH     ErroId
; Ddlinha proporcional
LACC     #0
LDP      #K1I
LT       K1I
MPY      ErroId
SPAC
SPAC
LDP      #DdlinhaP
SACH     DdlinhaP
; Ddlinha Integral
LACC     #0
LDP      #K2I
LT       K2I
MPY      ErroId
SPAC
LDP      #DdlinhaIANT
ADD      DdlinhaIANT,16
LDP      #DdlinhaI
SACH     DdlinhaI
; atualiza Ddlinha integral anterior
LDP      #DdlinhaIANT
SACH     DdlinhaIANT
; Ddlinha (total)
LDP      #DdlinhaP
ADD      DdlinhaP,16
LDP      #Ddlinha
SACH     Ddlinha
;Q
; erro IQ
LACC     #0
LDP      #IQ
SUB      IQ,16
LDP      #ErroIq
SACH     ErroIq
; Dqlinha proporcional
LACC     #0
LDP      #K1I
LT       K1I
MPY      ErroIq
SPAC
SPAC
LDP      #DqlinhaP
SACH     DqlinhaP
; Dqlinha Integral
LACC     #0
LDP      #K2I
LT       K2I
MPY      ErroIq
SPAC
LDP      #DqlinhaIANT
ADD      DqlinhaIANT,16
LDP      #DqlinhaI
SACH     DqlinhaI
; atualiza Dqlinha integral anterior
LDP      #DqlinhaIANT
SACH     DqlinhaIANT

```

```

; Dqlinha (total)
LDP #DqlinhaP
ADD DqlinhaP,16
LDP #Dqlinha
SACH Dqlinha
;limitação de Dqlinha (saturação)
LACC #0
LDP #Dqlinha
LACC Dqlinha
LDP #DqlinhaSAT
SACL DqlinhaSAT
MAR *,AR4
LDP #Dqlinha
LAR AR4,Dqlinha
LAR AR0,#32767
CMPR 2
BCND nsaturaIq, NTC
LAR AR0,#60622
CMPR 1
BCND nsaturaIq, NTC
LDP #DqlinhaSAT
SPLK #60622, DqlinhaSAT
nsaturaIq:
;desacoplamento
LACC #0
LDP #Kdesacopl
LT Kdesacopl
MPY IQ
SPAC
LDP #Ddlinha
ADD Ddlinha,16
LDP #Dd
SACH Dd
LACC #0
LDP #Kdesacopl
LT Kdesacopl
MPY ID
APAC
LDP #DqlinhaSAT
ADD DqlinhaSAT,16
LDP #Dq
SACH Dq
;soft start de razao ciclica
CLRC C
CLRC SXM
MAR *,AR4
LDP #temporizador
LAR AR4,temporizador
LAR AR0,#95
CMPR 1
BCND ndecDs, NTC
LACC #0
LDP #Ddsoft
LACC Ddsoft
LDP #fator
SUB fator
SACL Ddsoft
LDP #Dd
SACL Dd
LACC #0
LDP #fator
LACC fator
CMPL
AND #0000000000000001b
SACL fator
LDP #sincronismo
LAR AR4,sincronismo
LAR AR0,#1
CMPR 0
BCND nincDq, NTC
LACC #0
LDP #Dqsoft
LACC Dqsoft
ADD #1
SACL Dqsoft

nincDq:
LDP #Dqsoft
LACC Dqsoft
LDP #Dq
SACL Dq
ndecDs:
;cálculo de Dalfa e Dbeta
SETC SXM
SETC OVM
SPM 1
; calculo de Dalfa
MPY #0
LACC #0
MAR *, AR4
LDP #pcos
LAR AR4,pcos
LT *
LDP #Dd
MPY Dd
APAC
LDP #psen
LAR AR4,psen
LT *
LDP #Dq
MPY Dq
APAC
LDP #Dalfa
SACH Dalfa
; cálculo de Dbeta
MPY #0
LACC #0
LDP #pcos
LAR AR4,pcos
LT **
SAR AR4,pcos
LDP #Dq
MPY Dq
APAC
LDP #psen
LAR AR4,psen
LT **
SAR AR4,psen
LDP #Dd
MPY Dd
SPAC
LDP #Dbeta
SACH Dbeta
; testa fim da tabela e reset do psen
MAR *,AR4
LDP #psen
LAR AR4,psen
LDP #TABELA
LAR AR0,#(TABELA+table_len-1)
CMPR 2
BCND continua4, NTC
LDP #psen
SPLK TABELA,psen
continua4:
; testa fim da tabela e reset do pcoseno
LDP #pcos
LAR AR4,pcos
CMPR 2
BCND continua5, NTC
LDP #pcos
SPLK TABELA,pcos
continua5:
; testa fim da tabela e reset do pcosp120
LDP #pcosp120
LAR AR4,pcosp120
CMPR 2
BCND continua6, NTC
LDP #pcosp120
SPLK TABELA,pcosp120
continua6:
; testa fim da tabela e reset do pcosm120

```

```

LDP    #pcosm120
LAR    AR4,pcosm120
CMPR   2
BCND   continua7, NTC
LDP    #pcosm120
SPLK   TABELA,pcosm120
continua7:
; testa fim da tabela e reset psenp120
LDP    #psenp120
LAR    AR4,psenp120
CMPR   2
BCND   continua8, NTC
LDP    #psenp120
SPLK   TABELA,psenp120
continua8:
; testa fim da tabela e reset do psenm120
LDP    #psenm120
LAR    AR4,psenm120
CMPR   2
BCND   continua9, NTC
LDP    #psenm120
SPLK   TABELA,psenm120
continua9:
;definição dos setores -> testes com AR6
;teste setor 1
MAR    *,AR6
LAR    AR0,#28
CMPR   2
BCND   setor_1, NTC
;teste setor 2
LAR    AR0,#56
CMPR   2
BCND   setor_2, NTC
;teste setor 3
LAR    AR0,#84
CMPR   2
BCND   setor_3, NTC
;teste setor 4
LAR    AR0,#112
CMPR   2
BCND   setor_4, NTC
;teste setor 5
LAR    AR0,#140
CMPR   2
BCND   setor_5, NTC
;setor 6
LDP    #setor
SPLK   #6h, setor
;cálculo DA, DB e DC para o setor 6
;DA
MPY    #0
LACC   #0
LDP    #KD_1
LT     KD_1
MPY    Dalfa
APAC
LDP    #KD_3
LT     KD_3
MPY    Dbeta
SPAC
LDP    #DA
SACH   DA
;DB
LACC   #0
LDP    #DB
SACL   DB
;DC
LACC   #0
LDP    #KD_2
LT     KD_2
MPY    Dbeta
SPAC
LDP    #DC
SACH   DC
B      fim_setores

;setor1
setor_1:
LDP    #setor
SPLK   #1h, setor
;cálculo DA, DB e DC para o setor 1
;DA
MPY    #0
LACC   #0
LDP    #KD_1
LT     KD_1
MPY    Dalfa
SPAC
LDP    #KD_3
LT     KD_3
MPY    Dbeta
SPAC
LDP    #DA
SACH   DA
;DB
LACC   #0
LDP    #KD_2
LT     KD_2
MPY    Dbeta
SPAC
LDP    #DB
SACH   DB
;DC
LACC   #0
LDP    #DC
SACL   DC
B      fim_setores

;setor2
setor_2:
LDP    #setor
SPLK   #2h, setor
;cálculo DA, DB e DC para o setor 2
;DA
LACC   #0
LDP    #DA
SACL   DA
;DB
MPY    #0
LACC   #0
LDP    #KD_1
LT     KD_1
MPY    Dalfa
SPAC
LDP    #KD_3
LT     KD_3
MPY    Dbeta
APAC
LDP    #DB
SACH   DB
;DC
MPY    #0
LACC   #0
LDP    #KD_1
LT     KD_1
MPY    Dalfa
SPAC
LDP    #KD_3
LT     KD_3
MPY    Dbeta
SPAC
LDP    #DC
SACH   DC
B      fim_setores

;setor3
setor_3:
LDP    #setor
SPLK   #3h, setor
;cálculo DA, DB e DC para o setor 3
;DA
MPY    #0
LACC   #0

```

```

LDP #KD_1
LT KD_1
MPY Dalfa
SPAC
LDP #KD_3
LT KD_3
MPY Dbeta
APAC
LDP #DA
SACH DA
;DB
LACC #0
LDP #DB
SACL DB
;DC
LACC #0
LDP #KD_2
LT KD_2
MPY Dbeta
APAC
LDP #DC
SACH DC
B fim_setores
;setor4
setor_4:
LDP #setor
SPLK #4h, setor
;cálculo DA, DB e DC para o setor 4
;DA
MPY #0
LACC #0
LDP #KD_1
LT KD_1
MPY Dalfa
APAC
LDP #KD_3
LT KD_3
MPY Dbeta
APAC
LDP #DA
SACH DA
;DB
LACC #0
LDP #KD_2
LT KD_2
MPY Dbeta
APAC
LDP #DB
SACH DB
;DC
LACC #0
LDP #DC
SACL DC
B fim_setores
;setor5
setor_5:
LDP #setor
SPLK #5h, setor
;cálculo DA, DB e DC para o setor 5
;DA
LACC #0
LDP #DA
SACL DA
;DB
MPY #0
LACC #0
LDP #KD_1
LT KD_1
MPY Dalfa
APAC
LDP #KD_3
LT KD_3
MPY
SPAC
LDP #DB
SACH DB
;DC
MPY #0
LACC #0
LDP #KD_1
LT KD_1
MPY Dalfa
APAC
LDP #KD_3
LT KD_3
MPY Dbeta
APAC
LDP #DC
SACH DC
fim_setores:
MAR *,AR6
MAR *+
SETC SXM
SPM 1
; Escalonamento
;DA
MPY #0
LDP #Umquarto
LACC Umquarto,16
LDP #DA
ADD DA,16
SACH DA
LACC #0
LDP #escala
LT escala
LDP #DA
MPY DA
APAC
SACH DA
;DB
MPY #0
LDP #Umquarto
LACC Umquarto,16
LDP #DB
ADD DB,16
SACH DB
LACC #0
LDP #escala
LT escala
LDP #DB
MPY DB
APAC
SACH DB
;DC
MPY #0
LDP #Umquarto
LACC Umquarto,16
LDP #DC
ADD DC,16
SACH DC
LACC #0
LDP #escala
LT escala
LDP #DC
MPY DC
APAC
SACH DC
;limitações das razões cíclicas
;DA
MAR *,AR4
LDP #DA
LAR AR4,DA
LAR AR0,#32767
CMPR 2
BCND nlimitaDA, NTC
LDP #DA
SPLK #0, DA
nlimitaDA:

```



```

;DB
LDP #DB
LAR AR4,DB
CMPR 2

BCND nlimitaDB, NTC
LDP #DB
SPLK #0, DB
nlimitaDB:
;DC
LDP #DC
LAR AR4,DC
CMPR 2

BCND nlimitaDC, NTC
LDP #DC
SPLK #0, DC
nlimitaDC:
; testa limites da tensão de saída
;tensão mínima
MAR *,AR4
LDP #VO
LAR AR4,VO
LDP #Vmin
LAR AR0,Vmin
CMPR 1
BCND sethist, NTC
MAR *,AR4
LDP #VO
LAR AR4,VO
LDP #Vmin1
LAR AR0,Vmin1
CMPR 2
BCND zera, NTC
MAR *,AR4
LDP #histerese
LAR AR4,histerese
LAR AR0,#1
CMPR 3
BCND atualizal, NTC
;zera pwm e inibe saídas
zera:
LDP #DA
SPLK #0, DA
LDP #DB
SPLK #0, DB
LDP #DC
SPLK #0, DC
; IOPE7 em nivel alto
LDP #DP_PF2
LACC PEDATDIR
OR #1000000010000000b
SACL
LDP #Inibe
SPLK #666, Inibe
LDP #histerese
SPLK #0, histerese
B atualizal
; seta histerese
sethist:
LDP #histerese
SPLK #1, histerese
;tensão máxima
atualizal:
MAR *,AR4
LDP #VO
LAR AR4,VO
LDP #Vmax
LAR AR0,Vmax
CMPR 1

BCND zera2, NTC
MAR *,AR4
LDP #VO
LAR AR4,VO

LDP #Vmax1
LAR AR0,Vmax1
CMPR 2
BCND sethist2, NTC
MAR *,AR4
LDP #histerese2
LAR AR4,histerese2
LAR AR0,#1
CMPR 0
BCND atualiza, NTC
;zera pwm e inibe saídas
zera2:
LDP #DA
SPLK #0, DA
LDP #DB
SPLK #0, DB
LDP #DC
SPLK #0, DC
; IOPE7 em nivel alto
LDP #DP_PF2
LACC PEDATDIR
OR #1000000010000000b
SACL PEDATDIR
LDP #Inibe
SPLK #666, Inibe
LDP #histerese2
SPLK #1, histerese2
B atualiza
; seta histerese2
sethist2:
LDP #histerese2
SPLK #0, histerese2
atualiza:
;inibicao dos PWMs pelo temporizador
MAR *,AR4
LDP #temporizador
LAR AR4,temporizador
LAR AR0,#60
CMPR 1
BCND ninibePWM, NTC
LDP #Dd
SPLK #12435, Dd
LDP #Dq
SPLK #133, Dq
LDP #Ddsoft
SPLK #12435, Ddsoft
LDP #Dqsoft
SPLK #133, Dqsoft
LDP #DA
SPLK #0, DA
LDP #DB
SPLK #0, DB
LDP #DC
SPLK #0, DC
; IOPE7 em nivel alto
LDP #DP_PF2
LACC PEDATDIR
OR #1000000010000000b
SACL PEDATDIR
LDP #Inibe
SPLK #666, Inibe
ninibePWM:
; atualiza o valor dos PWMs
LDP #DA
LACC DA
LDP #DP_EVB
SACL CMPR4
LDP #DB
LACC DB
LDP #DP_EVB
SACL CMPR5
LDP #DC
LACC DC
LDP #DP_EVB
SACL CMPR6

```

```

        CLRC    SXM                .word    32745
        CLRC    OVM                .word    32676
; testa Inibe para habilitar
        MAR    *,AR4              .word    32562
        LDP    #Inibe             .word    32402
        LAR    AR4,Inibe         .word    32197
        LAR    AR0,#666          .word    31946
        CMPR   3                  .word    31651
        BCND   nhabout, NTC      .word    31312
; habilita saídas
        LDP    #DP_PF2           .word    30929
        LACC   PEDATDIR          .word    30503
        AND    #111111101111111b .word    30034
        SACL   PEDATDIR          .word    29523
nhabout:
        LDP    #Inibe             .word    28971
        SPLK   #1971,Inibe       .word    28378
;context restore
        MAR    *, AR1            .word    27745
        MAR    *-                 .word    27074
        LAR    AR4, *-           .word    26365
        LAR    AR3, *-           .word    25619
        LAR    AR0, *-           .word    24837
        LAR    AR2, *-           .word    24021
        LACL   *-                 .word    23170
        ADD    *- ,16             .word    22288
        LST    #0, *-            .word    21374
        LST    #1, *-            .word    20431
        CLRC   INTM              .word    19458
        RET                    .word    18459
        .sect    "dados"         .word    17434
; tabela de senos no formato Q15
TABELA .word    0                .word    16384
        .word    1225            .word    15311
        .word    2449            .word    14218
        .word    3669            .word    13104
        .word    4884            .word    11971
        .word    6092            .word    10823
        .word    7292            .word    9659
        .word    8481            .word    8481
        .word    9659            .word    7292
        .word    10823           .word    6092
        .word    11971           .word    4884
        .word    13104           .word    3669
        .word    14218           .word    2449
        .word    15311           .word    1225
        .word    16384           .word    0
        .word    17434           .word    64312
        .word    18459           .word    63088
        .word    19458           .word    61868
        .word    20431           .word    60653
        .word    21374           .word    59445
        .word    22288           .word    58245
        .word    23170           .word    57056
        .word    24021           .word    55878
        .word    24837           .word    54714
        .word    25619           .word    53566
        .word    26365           .word    52433
        .word    27074           .word    51319
        .word    27745           .word    50226
        .word    28378           .word    49153
        .word    28971           .word    48103
        .word    29523           .word    47078
        .word    30034           .word    46079
        .word    30503           .word    45106
        .word    30929           .word    44163
        .word    31312           .word    43249
        .word    31651           .word    42367
        .word    31946           .word    41516
        .word    32197           .word    40700
        .word    32402           .word    39918
        .word    32562           .word    39172
        .word    32676           .word    38463
        .word    32745           .word    37792
        .word    32767           .word    37159
        .word                    .word    36566
        .word                    .word    36014
        .word                    .word    35503
        .word                    .word    35034
        .word                    .word    34608

```

.word 34225
.word 33886
.word 33591
.word 33340
.word 33135
.word 32975
.word 32861
.word 32792
.word 32768
.word 32792
.word 32861
.word 32975
.word 33135
.word 33340
.word 33591
.word 33886
.word 34225
.word 34608
.word 35034
.word 35503
.word 36014
.word 36566
.word 37159
.word 37792
.word 38463
.word 39172
.word 39918
.word 40700
.word 41516
.word 42367
.word 43249
.word 44163
.word 45106
.word 46079
.word 47078
.word 48103
.word 49153
.word 50226
.word 51319
.word 52433
.word 53566
.word 54714
.word 55878
.word 57056
.word 58245
.word 59445
.word 60653
.word 61868
.word 63088
.word 64312

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] BARBI, Ivo; SOUZA, Alexandre F.; *Correção de Fator de Potência de Fontes de Alimentação*. Apostila – Publicação Interna – INEP. UFSC, Florianópolis, 1995.
- [2] International Electrotechnical Commission. Electromagnetic compatibility (EMC) – Part 3-4: Limits – Limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current greater than 16 A, IEC 61000 3-4. 1998.
- [3] IEEE Industry Application Society. IEEE Recommended Practices and Requirements of Harmonic Control in Electrical Power Systems, IEEE std 519. NY-USA, 1993.
- [4] BOOST, M. A.; ZIOGAS, P. D.; *State-Of-The-Art Carrier PWM Techniques: A Critical Evaluation*, IEEE Transactions on Industry Applications, Vol. 24, No. 2, p. 271-280, March/April 1998.
- [5] HOLTZ, J.; *Pulsewidth Modulation for Electronic Power Conversion*. Proceedings of IEEE, Vol. 82, No. 8, p. 1194-1214, August 1994.
- [6] XIE, M.; LU, B.; *Relationship between Space-Vector Modulation and Three-Phase Carrier-Based PWM*. IEEE Transactions on Industrial Electronics, Volume: 49, Issue: 1, p. 186 – 196, February 2002.
- [7] PINHEIRO, H.; BOTTERÓN, F.; *et al.*; *Modulação Space Vector para Inversores Alimentados em Tensão: Uma Abordagem Unificada*. XIV CONGRESSO BRASILEIRO DE AUTOMÁTICA. Anais. Natal, 2002. p. 787-794.
- [8] BOSE, B. K.; *Power Electronics and AC Drivers*. 1st. Ed. New Jersey: Prentice-Hall. 1986.
- [9] LOSIC, N. A.; CHENG, L.; KHATRI V.; *Modeling and Design of a Vector-Controlled PWM Active Rectifier*. IECON '01. The 27th Annual Conference of the IEEE Industrial Electronics Society. Volume: 2, 29 Nov.-2 Dec. 2001. p. 1096 – 1101.
- [10] CHUNG, D.; SUL, S.; *Minimum-loss Strategy for Three-phase PWM Rectifier*. IEEE Transactions on Industrial Electronics, Vol. 46, No. 3, June 1999.
- [11] LONGCHUN C.; BLAABJERG, F.; *A Three-Phase Predictive PWM AC/DC Converter with Phase Compensation and Space Vector Control*. Applied Power Electronics Conference and Exposition. Proceedings. Vol.2. 5-9 March, 1995. p. 863 – 869.

- [12] ILLA FONT, C. H.; BATISTA, F.; *et al.* *Modulation Techniques for a Bidirectional Three-phase Switch Mode Rectifier*. VI Conferência Internacional de Aplicações Industriais – INDUSCON. Joinville, Outubro 2004.
- [13] VIITANEN, T.; TUUSA H.; *Three Level Space Vector Modulation – An Application to a Space Vector Controlled Unidirectional Three-Phase/Level/Switch VIENNA I Rectifier*. 10th European Conference on Power Electronics and Applications (EPE 2003). Proceedings. Toulouse, France, 2-4 September 2003.
- [14] BACKMAN, N.; ROJAS, R.; *Modern Circuit Topology Enables Compact Power Factor Corrected Three-Phase Rectifier Module*. 24th. Annual International Telecommunications Energy Conference (INTELEC 2002). Proceedings. 29 Sept. -3 Oct. 2002. p. 107 - 114.
- [15] KOLAR J.; DROFENIK, U.; *A New Switching Loss Reduced Discontinuous PWM Scheme for a Unidirectional Three-Phase/Switch/Level Boost-Type PWM (VIENNA) Rectifier*. 21st. Annual International Telecommunications Energy Conference (INTELEC 99). Proceedings. Copenhagen, Denmark, 6-9 June 1999.
- [16] KOLAR J.; DROFENIK, U.; ZACH F. C.; *Space Vector Based Analysis of the Variation and Control of the Neutral Point Potential of Hysteresis Current Controlled Three-Phase/Switch/Level PWM Rectifier Systems*. International Conference on Power Electronics and Drive Systems. Proceedings. vol.1. 21-24 Feb. 1995. p. 22–33.
- [17] KOLAR J.; ERTL, H.; ZACH F. C.; *Space Vector-Based Analysis of the Input Current Distortion of a Three-Phase Discontinuous-mode Boost Rectifier System*. Record of the 24th IEEE Power Electronics Specialists Conference, Seattle (WA), June 1993, p. 696-703.
- [18] VIITANEN, T.; TUUSA H.; *Experimental Results of Vector Controlled and Vector Modulated VIENNA I Rectifier*. Record of the 35th IEEE Power Electronics Specialists Conference 20-25, June 2004, p. 4637-4643, vol. 6.
- [19] WATANABE, E. H.; STEPHAN, R. M.; *Potência Ativa e Reativa Instantâneas em Sistemas Elétricos com Fontes e Cargas Genéricas*. Revista da SBA: Controle e Automação, Vol. 3, N^o1, março/abril, 1991.
- [20] WATANABE, E. H.; STEPHAN, R. M.; AREDES M.; *New Concepts of Instantaneous Active and Reactive Powers in Electrical Systems with Generic Loads*. IEEE Transactions on Power Delivery, Vol. 8, No. 2, p. 697-703, April 1993.

- [21] AREDES, M.; *Active Power Line Conditioners*, Dr.-Ing. Thesis, Technische Universität Berlin, Berlin, Germany, March 1996.
- [22] BARBI, I.; NOVAES, Y. R.; *et al.*; *Retificadores PW Trifásicos Unidirecionais com Alto Fator de Potência*. *Eletrônica de Potência* – Vol. 7, no. 1, Novembro de 2002.
- [23] SALMON, J. C.; *Circuit topologies for PWM boost rectifiers operated from 1-phase and 3-phase AC supplies and using either single or split DC rail voltage outputs*. 10th. Annual Applied Power Electronics Conference and Exposition (APEC '95). Proceedings. 5-9 March 1995 . p. 473-479.
- [24] KOLAR J.; ERTL, H.; *Status of the Techniques of Three-Phase Rectifier Systems with Low Effects on the Mains*. 21st. Annual International Telecommunications Energy Conference (INTELEC 99). Proceedings. Copenhagen, Denmark, 6-9 June 1999.
- [25] OMEDI, T. J.; BARLIK, R.; *Three-Phase AC-DC Unidirectional PWM Multiple-Switch Rectifier Topologies – Selected Proprieties and Critical Evaluation*. IEEE International Symposium on Industrial Electronics (ISIE '96). Proceedings. Vol. 2, 17-20 June 1996. p. 784 - 789.
- [26] SINGH, B.; *et al.*; *A review of Three-Phase Improved Power Quality AC-DC Converters*. IEEE Transactions on Industrial Electronics, vol. 51, no. 3, 2004. p. 641-660.
- [27] BORGONOVO, Deivis; *Modelagem e Controle de Retificadores PWM Trifásicos Empregando a Transformação de Park*. Florianópolis, 2001. Dissertação de Mestrado em Engenharia Elétrica – INEP, UFSC.
- [28] BORGONOVO, Deivis; BARBI, I.; NOVAES, Y. R.. *A Three-Phase Three-Switch Two-Level PWM Rectifier*. Record of the 34th IEEE Power Electronics Specialists Conference. Vol. 3, 15-19 June 2003. p. 1075-1079.
- [29] TU, Rong-Jie; CHEN, Chern-Lin.; *A New Space-Vector-Modulated Control for a Unidirectional Three-Phase Switch-Mode Rectifier*. IEEE Transactions on Industrial Electronics, vol. 45, no. 2, 1998. p. 256-262,
- [30] TU, Rong-Jie; CHEN, Chern-Lin.; *A New Three-Phase Space-Vector-Modulated Power Factor Corrector*. 9th. Annual Applied Power Electronics Conference and Exposition (APEC '94). Proceedings. vol.2. Feb. 1994. p. 725-730.
- [31] KOCZARA, W.; BIALOSKORKI, P.; *Controllability of the Simple Three Phase Rectifier Operating with Unity Power Factor*. Fifth European Conference on Power Electronics and Applications. vol.7. 13-16 Sep 1993. p. 183-187.

- [32] KOCZARA, W.; BIALOSKORKI, P.; *Unity Power Factor Three Phase Rectifiers*. 24th Annual IEEE Power Electronics Specialists Conference (PESC '93). Record. 20-24 June 1993. p. 669-674.
- [33] YIMIN J.; HENGCHUM, M.; LEE. F. C.; *Simple High Performance Three-Phase Boost Rectifiers*. Record of the 25th IEEE Power Electronics Specialists Conference 20-25, June 1994, p. 1158-1163, vol. 2.
- [34] WERNERKINCK E.; KAWAMURA, A.; HOFT. R.; *A High Frequency AC/DC Converter with Unity Power Factor and Minimum Harmonic Distortion*. Record of the IEEE Power Electronics Specialists Conference, 1987, p. 264-270.
- [35] ERICKSON, R. W.; *Fundamentals of Power Electronics*. New York: Chapman & Hall. 1997.
- [36] VAN DER BROECK, H. W.; SKUDELNY, H.; STANKE, G. V.; *Analysis and Realization of a Pulsewidth Modulator Based on Voltage Space Vectors*. IEEE Trans. On Industry Applications. vol. 24. 1988. p. 142-150.
- [37] HOLMES, D. G.; LIPO, T. A.; *Pulse Width Modulation for Power Converters: Principles and Praticce*. 1. ed. Reading: John Wiley & Sons, 2002.
- [38] BARBI, Ivo; *Teoria Fundamental do Motor de Indução*. Florianópolis: Editora da UFSC-Eletróbrás, 1985.
- [39] *Clarke and Park Transform on the TMS320C2xx*, Application Report BPRA048. Texas Instruments. Houston, 1997.
- [40] *Space-Vector PWM With TMS320C24x/F24x Using Hardware and Software Determined Switching Patterns*, Application Report SPRA524. Texas Instruments. Houston, 1999.
- [41] BOTTERÓN, F.; PINHEIRO, H.; *et al*; *Fully Digital Voltage and Current Controller for Three Phase Voltage Source PWM Inverters*. 6o. Congresso Brasileiro de Eletrônica de Potência (COBEP'2001). Anais. 11-14 Novembro 2001. Florianopolis. p. 208-214.
- [42] DOVAL-GANDOY, J.; IGLESIAS, A.; *et al*; *Three Alternatives for Implementing Space Vector Modulation with the DSP TMS320F240*. 25th Annual Conference of the IEEE (IECON '99). Proceedings. Vol. 1. 29 Nov.- 3 Dec.1999. p. 336-341.
- [43] MOHAN, N.; UNDELAND, T. M. and ROBBINS, W. P.; *Power Electronics: Converters, Applications and Design*, 2nd. Ed. New York: John Wiley & Sons. 1995.

- [44] BOTTERÓN, F.; *Análise, Projeto e Implementação de um Inversor PWM Trifásico para UPS de Média Potência*, 2001. Dissertação de Mestrado em Engenharia Elétrica, Universidade Federal de Santa Maria.
- [45] SIMONETTI, Domingos; *Contribuição ao estudo do Acionamento de um Motor de Indução com Comando Vetorial*, 1987. Dissertação de Mestrado em Engenharia Elétrica –UFES.
- [46] KRAUSE, P. C.; WASYNCZUK, O.; SUDHOFF, S. D.; *Analysis of Electric Machinery and Drive Systems*, John Wiley & Sons, 2002.
- [47] MALINOWSKI, M.; KAZMIERKOWSKI, M. P.; et al.; *Virtual-Flux-Based Direct Power Control of Three-Phase PWM Rectifiers*. IEEE Transactions on Industry Applications. Volume: 37, Issue: 4, July-Aug. 2001. p. 1019-1027.
- [48] BATISTA, F.; ILLA FONT, C. H.; et al.; *Comparison of Control Techniques Applied to Bidirectional Boost-Type PWM Rectifier*. VI Conferência Internacional de Aplicações Industriais – INDUSCON. Joinville, Outubro 2004.
- [49] ILLA FONT, C. H.; NASCIMENTO, C. B.; PEREIRA, E. I. et al.; *Retificador Trifásico PWM com Elevado Fator de Potência utilizando Transformação de Park: Abordagem por Variáveis de Fase*. Relatório Interno da Disciplina T. A. em Eletrônica de Potência: Retificadores Trifásicos PWM com Elevado Fator de Potência – 2o Trimestre de 2003. INEP/UFSC.
- [50] CICHOWLAS, M.; KAMIERKOWSKI, A. P.; *Comparison of Current Control Techniques for PWM Rectifiers*. IEEE International Symposium on Industrial Electronics (ISIE-2002). Proceedings. vol.4. 8-11 July 2002. p. 1259-1263.
- [51] OGATA, K.; *Engenharia de Controle Moderno*, 2^a. Ed. Rio de Janeiro: Prentice-Hall do Brasil. 1993.
- [52] BATISTA, F.; BARBI, I.; *Modulação Vetorial Para Retificador Trifásico Unidirecional*. XV Congresso Brasileiro de Automática – (CBA-2004). Gramado, Setembro 2004.
- [53] BATISTA, F.; BARBI, I.; *Space Vector Modulation Applied to Three-Phase Three-Switch Two-Level Unidirectional PWM Rectifier*. 21st Applied Power Electronics Conference and Exposition”, Dallas, Texas, March 19_23, 2006, p. 944 - 950.
- [54] CHUNG, D.; SUL, S.; *Minimum-Loss Strategy for Three-Phase PWM Rectifier*. IEEE Transactions on Industrial Electronics, Volume: 46, p. 517 – 526, June 1999.

- [55] TODD, P. C.; *UC3854 Controlled Power Factor Correction Circuit Design*. Application Note U-134. Unitrode, 2000.
- [56] BATISTA, F.; BARBI, I.; *Three-Phase Unidirectional PWM Rectifier with Space Vector Modulation*. VI Conferência Internacional de Aplicações Industriais – INDUSCON. Joinville, Outubro 2004.
- [57] HOLDEFER, A. E.; *Controle Digital de Retificador Trifásico Utilizando Controlador DSP*. Florianópolis, 2004. Dissertação de Mestrado em Engenharia Elétrica – INEP, UFSC.
- [58] TOMASELI, L. C.; *Controle de um Pré-Regulador com Alto Fator de Potência o Controlador DSP TMS320F243*. Florianópolis, 2001. Dissertação de Mestrado em Engenharia Elétrica – INEP, UFSC.
- [59] MUSSA, S. A.; *Controle de um Conversor CA-CC Trifásico de Três Níveis com Fator de Potência Unitário Utilizando DSP*. Florianópolis, 2003. Tese de Doutorado em Engenharia Elétrica – INEP, UFSC.
- [60] HOROWITZ, P. and HILL, W.; *The art of Electronics*, Cambridge University Press, 1989.
- [61] CHEHAB NETO, A. C.; *Retificador PWM Trifásico de 26kW, Três Níveis, Unidirecional, Fator de Potência Unitário e Alto Rendimento para Aplicação em Centrais de Telecomunicação*. Florianópolis, 2002. Dissertação de Mestrado em Engenharia Elétrica – INEP, UFSC.
- [62] OGATA, K.. *Discrete Time Control Systems*, 2nd. Ed. New Jersey: Prentice-Hall. 1995.
- [63] *TMS320LF2407A, TMS320LF2406A, TMS320LF2403A, TMS320LF2402A, TMS320LC2406A, TMS320LC2404A, TMS320LC2402A DSP Controllers*, Application Report SPRS145I. Texas Instruments. Houston, 2003.
- [64] *TMS320F/C24x DSP Controllers Reference Guide: CPU and Instruction Set*, Application Report SPRU160C. Texas Instruments. Houston, 1999.
- [65] *TMS320F/C24x DSP Controllers Reference Guide: System and Peripherals*, Application Report SPRU357B. Texas Instruments. Houston, 2001.
- [66] *TMS320C2xx/C24x Code Composer User's Guide*. Application Report SPRU490. Texas Instruments. Houston, 2000.

- [67] BORGONOVO, Deivis; *Análise, Modelagem e Controle de Retificadores PWM Trifásicos. Florianópolis, 2005*. Tese de Doutorado em Engenharia Elétrica – INEP, UFSC.
- [68] ALVES, R. L.; ILLA FONT, C. H. and BARBI, I.; *Novel Unidirectional Hybrid Three-Phase Rectifier System Employing Boost Topology*. 26th Annual IEEE Power Electronics Specialists Conference (PESC '2005). June 2005. p. 487-493.
- [69] ILLA FONT, C. H. and BARBI, I.; *A New Bidirectional Hybrid Three-Phase Rectifier*. 8^o. Congresso Brasileiro de Eletrônica de Potência (COBEP'2005). Anais. Junho 2005. Recife. p. 25-30.
- [70] ILLA FONT, C. H. and BARBI, I.; *A New High Power Factor Bidirectional Hybrid Three-Phase Rectifier*. 21st Applied Power Electronics Conference and Exposition", Dallas, Texas, March 19_23, 2006, p. 1300 - 1306.

Livros Grátis

(<http://www.livrosgratis.com.br>)

Milhares de Livros para Download:

[Baixar livros de Administração](#)

[Baixar livros de Agronomia](#)

[Baixar livros de Arquitetura](#)

[Baixar livros de Artes](#)

[Baixar livros de Astronomia](#)

[Baixar livros de Biologia Geral](#)

[Baixar livros de Ciência da Computação](#)

[Baixar livros de Ciência da Informação](#)

[Baixar livros de Ciência Política](#)

[Baixar livros de Ciências da Saúde](#)

[Baixar livros de Comunicação](#)

[Baixar livros do Conselho Nacional de Educação - CNE](#)

[Baixar livros de Defesa civil](#)

[Baixar livros de Direito](#)

[Baixar livros de Direitos humanos](#)

[Baixar livros de Economia](#)

[Baixar livros de Economia Doméstica](#)

[Baixar livros de Educação](#)

[Baixar livros de Educação - Trânsito](#)

[Baixar livros de Educação Física](#)

[Baixar livros de Engenharia Aeroespacial](#)

[Baixar livros de Farmácia](#)

[Baixar livros de Filosofia](#)

[Baixar livros de Física](#)

[Baixar livros de Geociências](#)

[Baixar livros de Geografia](#)

[Baixar livros de História](#)

[Baixar livros de Línguas](#)

[Baixar livros de Literatura](#)
[Baixar livros de Literatura de Cordel](#)
[Baixar livros de Literatura Infantil](#)
[Baixar livros de Matemática](#)
[Baixar livros de Medicina](#)
[Baixar livros de Medicina Veterinária](#)
[Baixar livros de Meio Ambiente](#)
[Baixar livros de Meteorologia](#)
[Baixar Monografias e TCC](#)
[Baixar livros Multidisciplinar](#)
[Baixar livros de Música](#)
[Baixar livros de Psicologia](#)
[Baixar livros de Química](#)
[Baixar livros de Saúde Coletiva](#)
[Baixar livros de Serviço Social](#)
[Baixar livros de Sociologia](#)
[Baixar livros de Teologia](#)
[Baixar livros de Trabalho](#)
[Baixar livros de Turismo](#)