

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA E
INFORMÁTICA INDUSTRIAL – CPGEI**

LUIS EDUARDO PALOMINO BOLÍVAR

**SISTEMA DE SIMULAÇÃO VIRTUAL DE *JITTER* PARA ANÁLISE DE
DETECTORES DE FASE DIGITAIS USANDO ORCAD**

DISSERTAÇÃO

CURITIBA
2010

Livros Grátis

<http://www.livrosgratis.com.br>

Milhares de livros grátis para download.

LUIS EDUARDO PALOMINO BOLÍVAR

**SISTEMA DE SIMULAÇÃO VIRTUAL DE *JITTER* PARA ANÁLISE DE
DETECTORES DE FASE DIGITAIS USANDO ORCAD**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial da Universidade Federal do Paraná, como requisito parcial para obtenção do grau de “Mestre em Ciências” – Área de Concentração: Informática industrial.

Orientador: Prof. Dr. Volnei A. Pedroni.

CURITIBA
2010

Dados Internacionais de Catalogação na Publicação

B689s Bolívar, Luis Eduardo Palomino
Sistema de simulação virtual de Jitter para análise de detectores de fase digitais usando OrCAD / Luis Eduardo Palomino Bolívar. – 2010.
78 f. : il. ; 30 cm

Orientador: Volnei A. Pedroni
Dissertação (Mestrado) – Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial, Curitiba, 2010.
Bibliografia: p. 72-74

1. Detector de fase digital. 2. Comunicações digitais – Jitter. 3. OrCad (Programa de computador). 4. Engenharia elétrica - Dissertações. I Pedroni, Volnei A., orient. II. Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial. III. Título.

CDD (22. ed.) 621.3

Biblioteca Central da UTFPR

Título da Dissertação N° 525:

“Sistema de simulação virtual de jitter para análise de detectores de fase digitais usando OrCAD”

por

Luis Eduardo Palomino Bolivar

Esta dissertação foi apresentada, às 10h do dia 19 de abril de 2010, como requisito parcial à obtenção do grau de MESTRE EM CIÊNCIAS – Área de Concentração: Telemática, ao Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial – CPGEI – da Universidade Tecnológica Federal do Paraná – UTFPR – Campus Curitiba. O trabalho foi aprovado pela Banca Examinadora.



Prof. Volnei Pedroni, Dr.
(Presidente – UTFPR)



Prof. Angelo Marcelo Tusset, Dr.
(Universidade do Contestado)



Prof. Paulo de Tarso Neves, Dr.
(UTFPR - Campus Toledo)

Visto da coordenação:



Prof. Humberto Remigio Gamba, Dr.
(Coordenador do CPGEI)

Dedicado a João André e Miguel Angel, meu aporte com a Sabrina à prolongação da humanidade.

A Fanny Bolivar, pelo exemplo de vida e apoio incondicionado. Obrigado, mãe.

À minha família pelas manifestações contínuas de apreço e respeito.

AGRADECIMENTOS

Claramente serei injusto, intencionalmente, com aquelas pessoas que não nomearei nesta folha, mas que foram importantes nesta fase de minha vida, portanto, desde já peço desculpas e tenham a certeza de que sempre os levarei em minhas melhores lembranças.

Professor Dr. Volnei Pedroni, pela sua paciência, pela sua virtuosa vida que me deixa um exemplo de alto compromisso profissional. Agradeço seus aportes oportunos e a confiança que depositou em mim.

Agradeço a Ricardo Jasinski, quem inicialmente me orientou para ingressar à UTFPR e sempre teve posicionamentos enriquecedores. Da Mesma forma aos professores Argos Gumbowski e Marcos Schimalski, pelas cartas de recomendação no programa do CPGEI.

Professores doutores, Richard Demo Souza, Walter Godoy Junior, Lúcia Valeria Ramos Arruda, Fabio Antonio Dorini, Cesar Augusto Tacla, Paulo César Stadzisz, Ricardo Lüders, pelos conhecimentos transferidos nesta jornada.

A todos meus colegas do Laboratório de Micro-Eletrônica, LME e dos colegas de aula em especial a Sibilla Batista da Luz, que sempre esteve on-line para me dar suporte nos processos administrativos e acadêmicos na UTFPR.

Agradeço aos senhores avaliadores, o Dr. Paulo de Tarso, o Dr. Ângelo Marcelo Tusset e ao Volnei Pedroni, pelos comentários que enriqueceram este trabalho.

Gostaria de agradecer aos Diretores da Fundação Universidade do Contestado e à Fundação Universidade San Martín, por serem as instituições que acreditaram no meu trabalho e permitiram que realizasse esta especialização. Em particular ao Eng. Edgar Moreno Monroy, pelas bem intencionadas oportunidades de apoio e seu contagiante espírito empreendedor.

Para terminar, gostaria agradecer a Sabrina Niño e nossos filhos Miguel Angel Palomino e João André Palomino, pela paciência e compreensão em todos os momentos que dediquei ao estudo.

RESUMO

BOLÍVAR, Luis Eduardo Palomino. Sistema de Simulação Virtual de Jitter para Análise de Detectores de Fase Digitais Usando OrCAD. 2010. 71p. Dissertação (Mestrado em Informática Industrial) – Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, Brasil 2010.

Esta dissertação apresenta o desenvolvimento de um *software* BGJ em LabVIEW para a geração de arquivos compatíveis com a formatação de sinais exportáveis ao OrCAD, as quais caracterizam os componentes de *jitter* determinístico e randômico, para a simulação e análise do comportamento dos circuitos detectores de fase digital em comunicações assíncronas. As simulação dos detectores de fase, são realizadas em OrCAD, programa que permite a simulação com alta precisão de circuitos eletrônicos, aproveitando o modelamento eletrônico dos componentes semicondutores. Assim, esta pesquisa traz a possibilidade de compartilhar os arquivos gerados no mundo científico e acadêmico, situando de tal modo o *software* numa ferramenta ímpar no desenvolvimento de circuitos eletrônicos CRC ou CRD, em nível de simulação numa plataforma gráfica.

Palavras-chave: *Jitter*. Simulação do *Jitter*. OrCAD. Circuito Recuperador de Clock. Detector de fase digital.

ABSTRACT

BOLIVAR, Luis Eduardo Palomino. Jitter Virtual Simulation System for Analysis of Digital Phase Detectors Using OrCAD. 2010. 71p. Dissertation (Master course in Industrial Computing) - Graduating Program in Electrical Engineering and Industrial Computing, Universidade Tecnológica Federal do Parana. Curitiba, Brazil 2010.

This work presents the development of BGJ software in LabVIEW in order to generate files compatible with the format exportable to OrCAD signs, which characterize the components of deterministic and random jitter, to simulate and analyze the performance of digital phase detector circuits in asynchronous communications. The simulations of phase detectors are in OrCAD program, which allows the simulation with high precision electronic circuits, using the modeling of electronic semiconductor components. Thus, this research brings the possibility to share files generated in scientific and academic standing of such software in a unique tool in the development of electronic circuits or CRC CRD-level simulation on a graphics platform.

Key words: *Jitter*. *Jitter* Simulation. OrCAD. Clock Circuit recuperator. Digital phase detector.

RESUMEN

BOLÍVAR, Luis Eduardo Palomino. Sistema de Simulación Virtual de Jitter para Análisis de Detectores de Fase Digital Usando OrCAD. 2010. 76p. Disertación (Maestría en Informática Industrial) – Programa de Pós-Graduação en Ingeniería Eléctrica e Informática Industrial, Universidad Tecnológica Federal de Paraná. Curitiba, Brasil 2010.

Esta disertación presenta el desarrollo de un *software* BGJ en LabVIEW para la generación de archivos compatibles con el formato de señales exportables a OrCAD, las cuales caracterizan los componentes del *jitter* determinístico e aleatorio, para la simulación y análisis del comportamiento de los circuitos detectores de fase digital en comunicaciones asíncronas. A simulación de los detectores de fase, son realizadas en OrCAD, programa que permite la simulación con alta presión de circuitos electrónicos en cuanto los componentes semiconductores. Así, esta pesquisa trae la posibilidad de compartir los archivos generados en el mundo científico y académico, situando de tal modo el software en una herramienta sin par en el desarrollo de circuitos electrónicos CRC o CRD, en nivel de simulación en una plataforma gráfica.

Palavras-chave: *Jitter*. Simulación del *Jitter*. OrCAD. Circuito Recuperador de Clock. Detector de fase digital.

LISTA DE FIGURAS

Figura 1 – Crescimento das velocidades em Barramentos para DDR.	10
Figura 2 – Diagrama de bloco de um PLL base de um CDR.	12
Figura 3 – Ponto ideal de amostragem do bit.....	12
Figura 4 – Diagrama método Clássico ou Watterfall.	16
Figura 5 – Evidência do Jitter.	19
Figura 6 – Sinal ideal comparado com forma de onda de sinal ruidoso.	20
Figura 7 – Taxonomia do Jitter.....	21
Figura 8– O sinal do JT em função do JP e JR.	22
Figura 9 –PDF Função de Densidade Gaussiana.	23
Figura 10 – Ruído de Crosstalk induzido por sinal agressor.	25
Figura 11 – Modelo da distribuição de densidade da corrente nos condutores.	27
Figura 12 – IIS Interferência Inter-símbolo.	28
Figura 13 - Efeito da temperatura na resposta dos semicondutores.....	29
Figura 14 – Jitter Periódico.....	30
Figura 15 – Janela do aplicativo PSpice Model Editor.....	31
Figura 16 – Painel Frontal de Bambuco Gerador de Jitter.....	33
Figura 17 – Painel frontal do Jitter Randômico.....	36
Figura 18 – Algoritmo Jitter Randômico.....	39
Figura 19- Configuração Função Gaussiana.....	40
Figura 20- Algoritmo da função PDF Gaussiana.....	41
Figura 21 – Algoritmo Sub VI Gerador Randômico Gaussiano.....	42
Figura 22- Algoritmo Sub VI Jitter Maker.....	43
Figura 23 – Algoritmo Sub VI Conversor de Numero a String.....	44
Figura 24 – Conversão de número a String com SI.	45
Figura 25 – Algoritmo de Concatenação de cabeçalho.....	46
Figura 26 – Código Relatório Final.....	47
Figura 27 - Painel Frontal de configuração do Jitter Total.....	48
Figura 28 – Algoritmo Gerador do Jitter Determinístico.....	50
Figura 29 – Detector de fase básico, dois componentes.....	52
Figura 30 – Detector de Fase Hogge.....	53
Figura 31 – Detector de fase Alexander.....	54
Figura 32 – Simulação DF Alexander.....	55
Figura 33 – Desenho detectores de Fase Digital.....	56
Figura 34 – Relatório Jitter 1 do BGJ.	58
Figura 35 – Simulação Jitter 1.....	59
Figura 36 - Relatório Jitter 2 do BGJ.	60
Figura 37 – Simulação Jitter 2.....	61
Figura 38 – Relatório Jitter 3 do BGJ.....	62
Figura 39 – Simulação Jitter 3.....	63
Figura 40 – Relatório Jitter 3 do BGJ.....	64
Figura 41 – Simulação Jitter 6.....	65
Figura 42 – Classes da mesma ordem de grandeza do BGJ.....	66

LISTA DE SIGLAS

ALS	<i>Advanced Low-Power Schottky Logic</i>
ASCII	<i>American Standard Code Information Interchange</i>
AM	Amplitude Modulada
BGJ	Bambuco Gerador de Jitter
BPSK	<i>binary phase shift keying</i>
BJT	Bipolar Junction Transistor.
BER	Bit Error Rate
CI	Circuito Integrado
CLK	<i>Clock</i>
CRC	<i>Clock Recovery Circuit</i>
CRD	<i>Clock Recovery Data</i>
CAD	Computer Aided Desgn
DSTM	<i>Digital Stimulus</i>
DDR	<i>Double Data Rating</i>
EMI	<i>Eletromagnetic Interference</i>
IIS	Interferência Intersimbolo
JD	<i>Jitter</i> Determinístico
JR	<i>Jitter</i> Randômico
JT	<i>Jitter</i> Total
LAN	<i>Local Area Network</i>
PAN	<i>Personal Area Network</i>
PLL	<i>Phase Lock Loop</i>
PM	Phase Modulation
QoS	<i>Quality of service</i>
RAM	<i>Random Acces Memory</i>
RMS	<i>Root Mean Square</i>
Sps	<i>Samples per second</i>
SNR	<i>Signal to Noise Ratio</i>
SI	<i>Sistema Internacional</i>
SONET	Synchronous Optical NETwork / Synchronous Digital Hierarchy
TDD	<i>Telecommunication Device for the Deaf</i>
T_b	Tempo de bit
T_F	Time Fall
T_R	Time Rise
UTFPR	Universidade Tecnológica Federal de Paraná
VI	<i>Virtual Instrument</i>
VCO	<i>Voltage Controlled Oscillator</i>
WAN	<i>Wide Area Network</i>

SUMÁRIO

1 INTRODUÇÃO	9
1.1 DELIMITAÇÃO DO TEMA	13
1.2 PROBLEMAS E PREMISSAS	13
1.3 OBJETIVOS.....	14
1.3.1 Objetivo Geral.....	14
1.3.2 Objetivos Específicos:.....	14
1.4 JUSTIFICATIVA.....	15
1.5 PROCEDIMENTOS METODOLÓGICOS	15
1.5.1 Estado de Arte	16
1.5.2 Classificação Bibliográfica	16
1.5.3 Recompilação de Conceitos	17
1.5.4 Desenvolvimento de Algoritmos	17
1.5.5 Modelagem dos Detectores de Fase	17
1.5.6 Simulação	17
1.5.7 Análise de Resultados	18
1.5.8 Publicação	18
1.6 REFERENCIAL TEÓRICO.....	18
1.6.1 O Jitter	18
1.6.2 Sub Componentes do <i>Jitter</i> Total	21
1.6.2.1 <i>Jitter</i> Randômico	22
1.6.2.2 PDF Gaussiana.....	22
1.6.2.3 JD ou <i>Jitter</i> Determinístico	23
1.6.2.4 JFnC ou <i>Jitter</i> com Fronteira Não-Correlacionada.....	24
1.6.2.5 <i>Jitter</i> Dependente do Dado.	25
1.6.2.6 Interferência Inter-Símbolo.....	27
1.6.2.7 Diferença de Ciclo Útil.....	28
1.6.2.8 <i>Jitter</i> Periódico	29
1.7 O OrCAD.....	30
1.8 ESTRUTURA	31
2 ALGORITMOS EM LabVIEW	33
2.1 Painel Frontal.....	33
2.1.1 Seleção do Jitter	33
2.1.2 Fluxograma do Jitter	34
2.1.3 Botões para debug	34
2.1.4 Logo UTFPR.....	34
2.1.5 Dados Autorais	34
2.1.6 Botão de saída.....	35
2.2 <i>Jitter</i> Randômico	35
2.2.1 Painel Frontal para o <i>Jitter</i> Randômico.....	35
2.2.1.1 Função Gaussiana	36
2.2.1.2 Resolução da PDF	36
2.2.1.3 Valor Médio	36
2.2.1.4 Variância	37

2.2.1.5	Bits a Simular	37
2.2.1.6	Spam.....	37
2.2.1.7	Probabilidade do Bit.....	37
2.2.1.8	Tempo de Bit.....	37
2.2.1.9	Gerador de Arquivo.....	37
2.2.1.10	PDF no domínio do tempo	38
2.2.1.11	Outras características	38
2.2.2	Código do Jitter Randômico.....	38
2.2.2.1	Sub VI: Gauss pdf.....	40
2.2.2.2	Sub VI: Gerador Random Gauss.	41
2.2.2.3	Sub VI Jitter Maker:.....	42
2.2.2.4	Sub VI Conversor de Número para <i>String</i>	43
2.2.2.5	Sub VI Configura Cabeçalho de Arquivo.....	45
2.2.2.6	Sub VI Relatório Final	46
2.3	Jitter determinístico	47
2.3.1	Painel Frontal para o Jitter Periódico	47
2.3.1.1	Frequência por Dial.....	48
2.3.1.2	Não Gerar JP	48
2.3.1.3	Frequência	48
2.3.1.4	Período	49
2.3.1.5	Amostras.....	49
2.3.1.6	Gerador de JP.....	49
2.3.1.7	Tempo do Processo	49
2.3.1.8	Jitter JP	49
2.3.2	Código do Jitter Periódico.....	50
3	CIRCUITOS DETECTORES DE FASE DIGITAIS	52
3.1	Detector de Fase Hogge.....	52
3.2	Detector de fase Alexander.....	53
3.3	Desenho dos detectores de fase	55
4	SIMULAÇÕES E ANÁLISE DOS RESULTADOS.....	57
4.1	Caso: Jitter 1	58
4.2	Caso: Jitter 2.....	59
4.3	Caso: Jitter 3.....	61
4.4	Caso: Jitter 4 e 5.....	63
4.5	Caso: Jitter 6.....	63
5	Ordem de Grandeza do BGJ	66
6	CONSIDERAÇÕES FINAIS.....	68

1 INTRODUÇÃO

Jitter é uma palavra usada para descrever uma variação no tempo ou latência de pacotes de dados que chegam num receptor ocasionada por diversos fatores, como tráfego de pacotes numa rede, causada pelos algoritmos nos roteadores, pelos sistemas de Qualidade de Serviços (QoS), pela largura de banda, pelo canal de transmissão digital etc. *Jitter* também é o efeito que descreve a totalidade de casos indesejados que pode modificar a informação transmitida digitalmente, sendo que a palavra *Jitter* será utilizada neste último contexto, nesta dissertação.

Com o contínuo incremento da frequência de oscilação nos sistemas de comunicação de dados (Gillette, 2004), os projetistas de circuitos digitais de alta frequência estão interessados em avaliar o impacto direto que o *Jitter* gera no desempenho das comunicações digitais. Isto é, a partir das altas taxas de velocidade na comunicação o *Jitter* impacta negativa e diretamente no Bit Error Rate (BER), que indica a quantidade de bits que podem ser interpretados de forma errada dentre uma coleção de bits transmitidos. A velocidade em bits por segundo em que o *Jitter* influencia é da ordem a partir dos Gb/s¹, mas a especificação da dita velocidade e do BER são definidos no padrão do comitê que padroniza a tecnologia. É assim que a comunidade de SONET/SDH definiu a velocidade de 10Gb/s (Rezayee, Afshin; Martin, Ken, 2002) e o BER de 10^{-14} (Demir, Alper; Feldmann, Peter, 2003). Como mostra deste crescimento a InfiniBand, desenvolvedora de barramentos e sistemas de controle para memórias *Double Data Rating* (DDR), projeta para, em 2011, atingir 240Gb/s, tal como mostra a Figura 1 e as múltiplas tecnologias em barramentos de dados segundo a demanda do mercado.

¹ Gb/s deve-se ler e entender como Giga-bits por segundo.

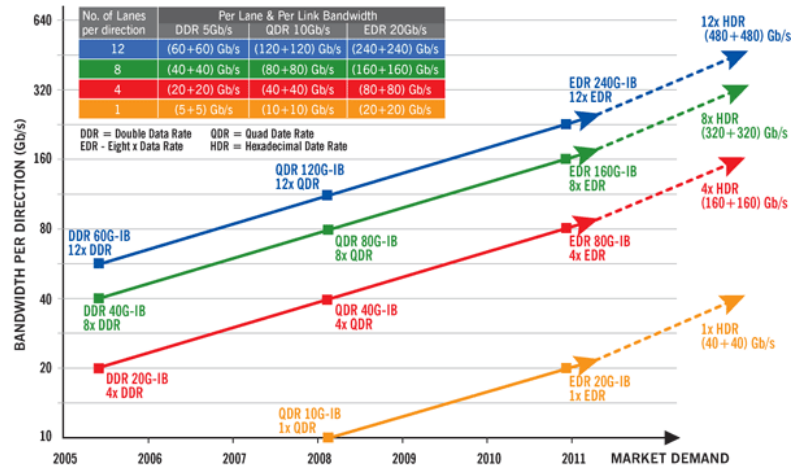


Figura 1 – Crescimento das velocidades em Barramentos para DDR.
 Fonte: InfiniBand^R Trade Association²

Algumas das áreas tecnológicas, que continuamente estão propondo novas opções no incremento da velocidade de transferência de dados, são a *Telecommunication Device for the Deaf* (TDD), conexões entre modems, conexões *broadband*, interfaces de telefonia móvel, *Wireless Area Network* (WAN), *Local Area Network* (LAN), *Personal Area Network* (PAN), barramento de dados em sistemas microprocessados, interconexão de memórias – em especial as memórias de acesso aleatório (RAM) –, áudio digital e interconexão de vídeo digital. Todas estas áreas tecnológicas possuem um grau de desempenho em função do *Jitter*, mas só é reconhecida a relevância de especificação do *Jitter* naquelas tecnologias que atinjam velocidades de dados superiores a 1Gb/s, tal como foi indicado anteriormente e é apresentado na

Tabela 1, as técnicas de transmissão digital são classificadas em síncronas e assíncronas, sendo esta última, a razão de estudo de sistemas de Detectores de Fase e em geral de *Phase Lock Loop* (PLL).

²<http://www.infinibandta.org/content/pages.php?pg=technology_overview>. Acesso em: 21 Nov. 2009

Tabela 1 – Exemplo tecnologias com velocidades acima de 1Gb/s

Tecnologia	Velocidade	Área Tecnológica
100G Ethernet	100 Gb/s	WAN
ExpressCard 2.0 PCI Express	5 Gb/s	Periférico
External PCI Express x16	32 Gbit/s	Periférico
Fibre Channel 8GFC (8.50 GHz)	8,5 Gb/s	WAN
FireWire (IEEE 1394b) 1600	1,573 Gb/s	Periférico
GPON (G.984) fiber optic service	2,488 Gb/s	WAN
HDMI Type B	20,4 Gbit/s	Televisão Digital
Itanium zx1 bus	51,2 Gbit/s	Barramento de Processadores
PC100 SDRAM	6,4 Gbit/s	Memória
PC1600 DDR-SDRAM	25,6 Gbit/s	Barramentos de computador
PC3-16000 DDR3-SDRAM	3 Gbit/s	Memória
S/PDIF	3,072 Gbit/s	Áudio Digital
Serial ATA (SATA-600)	4,8 Gb/s	Armazenamento de dados
Serial Attached SCSI (SAS)	2,4 Gb/s	Barramentos de computador
Ultra DMA ATA 133	1,064 Gb/s	Armazenamento de dados
USB 3.0	4,80 Gbit/s	Periférico

Fonte: Autoria própria.

O PLL nas comunicações seriais assíncronas tem a função de manter em fase a entrada dos dados e o *Voltage Controlled Oscillator (VCO)*. O PLL, portanto, é um sistema que está construído para propósitos de recuperação do relógio a partir dos dados ou *Clock Recovery Data (CDR)*, tal como mostra a Figura 2. O sinal digital $X(t)$, na Figura 2, representa uma cadeia de bits, que entra no detector de fase para ser comparada e acondicionando o resultado da diferença de fase num filtro passa baixas após o detector de fase. A natureza do filtro deve-se à necessidade de limitar o espectro de sensibilidade do PLL, já que todos os sistemas realimentados sofrem de instabilidade na fronteira das fases devido à possibilidade de se converter numa realimentação positiva que define um oscilador. Esta condição pode ser gerada por elementos parasitas os quais só com estratégias no desenho do filtro pode-se atenuar este efeito. Assim, é comum que a largura de banda do PLL seja menor que 10% da frequência do relógio, garantindo o controle dentro da faixa onde o *Jitter* esteja definido e caracterizado no receptor (Lee, et al., 1994).

O VCO, com a informação da diferença de fase, oscilará a uma frequência que aproxime do zero a diferença de fase de $X(t)$ e $Y(t)$. Esta saída do VCO responde de forma não linear (Lee, et al., 1994). No caso em que a sequências de

bits tenham o mesmo valor lógico, o PLL deverá manter a frequência até que o detector de fase, em presença de uma borda em $X(t)$, indique, na saída, um valor de diferença de fase ao VCO. (Rezayee, Afshin; Martin, Ken, 2002).

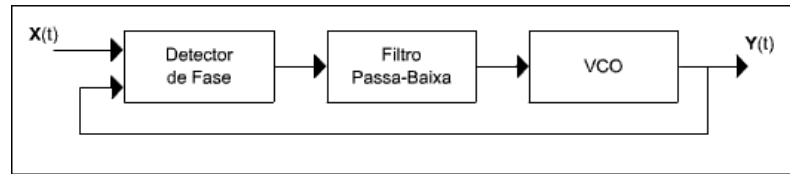


Figura 2 – Diagrama de bloco de um PLL baseado em um CDR.
Fonte: Adaptado de Rezayee, Afshin; Martin, Ken. (2002)

Todo o exposto referente ao PLL permitirá que os bits sejam lidos no ponto ideal de amostragem, no tempo médio do bit (Rezayee, Afshin; Martin, Ken, 2002). Qualquer mudança deste ponto gerará erros, que não são outra coisa diferente ao *Jitter*. Na Figura 3, é representado o ponto ideal para a leitura dos bits, quando estão sendo recebidos no receptor. Este ponto de leitura é chamado ponto de amostragem e é ideal quando a amostragem está no $T_b/2$, onde T_b é o tempo de bit.

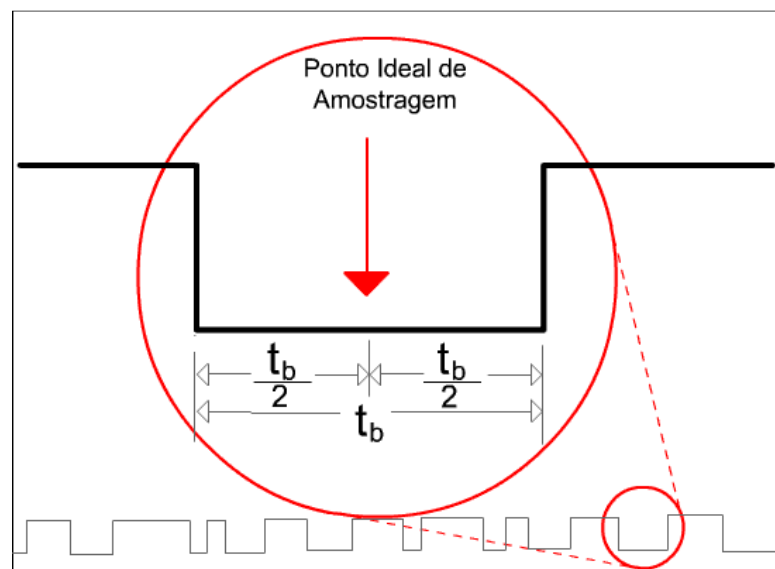


Figura 3 – Ponto ideal de amostragem do bit
Fonte: Autoria Própria

No processo de fabricação de dispositivos eletrônicos, onde está envolvido pelo menos um oscilador, não é possível prever o impacto do *Jitter* em simulações devido ao fato de o mesmo não possuir os sistemas de desenho assistidos por

computador ou *Computer Aided Design* (CAD), como OrCAD™.

Esta dissertação concentra o interesse no *Jitter*, que é um fenômeno que aparece relevante em comunicações acima de 1Gb/s, e em particular o escopo estará na modelagem e simulação do comportamento dos detectores de fase digitais submetidos a um sinal virtual, que apresenta *Jitter*, colocando em evidência a diferença de fase entre um oscilador virtual e os dados binários recebidos.

O *Jitter* é um fenômeno que sempre existiu e que sempre existirá nas comunicações de dados síncronas e assíncronas, sendo esta a motivação para modelá-lo, simulá-lo e colocar a lupa no mundo binário, no mundo do *Jitter*.

1.1 DELIMITAÇÃO DO TEMA

É implementado um *software* que gera um arquivo com informações de um sinal digital contendo dois efeitos do *Jitter* Total, do *Jitter* Determinístico e do *Jitter* Randômico. Este arquivo será importado ao programa OrCAD, para a simulação de detectores de fase digital. Esta análise deverá ser realizada em dois estágios, o primeiro parte dos resultados da geração do *Jitter*, e o segundo, no *Simulation Manager* de OrCAD. Os arquivos estarão publicados e disponibilizados no site da dissertação, para que as simulações desta natureza sejam realizadas de forma padronizada.

1.2 PROBLEMAS E PREMISSAS

Este desenvolvimento intenta responder a três perguntas:

- Será possível, mediante um *software*, criar um arquivo de estímulos para OrCAD com informações de um sinal digital que contém as características do JT?
- Para avaliar o desempenho de detectores de fase digitais em OrCAD, será possível importar um arquivo que estimule os circuitos com o jitter no sinal digital para analisar o desempenho?
- Será possível importar os arquivos resultantes da simulação, para serem processados digitalmente no *software* desenvolvido em LabVIEW ou em

MatLab?

Perante as três questões relacionadas acima, as seguintes premissas permitem planejar as estratégias que determinam a metodologia:

- LabVIEW é um *software* de programação gráfica que possui ferramentas de processamento digital de dados e permite acionar outros *softwares* como MatLab, incrementando o desempenho desse. As interfaces gráficas estão em bibliotecas, o que simplifica a apresentação dos dados.
- OrCAD é uma ferramenta profissional para simulação de circuitos tanto analógicos como digitais, que importa arquivos com as informações próprias das simulações, como por exemplo modelos de componentes e configuração.
- Na biblioteca de componentes, o OrCAD possui uma fonte de dados onde é chamado o estímulo contido num arquivo de um sinal, que pode não ser periódico.

1.3 OBJETIVOS

1.3.1 Objetivo Geral

Desenvolver um *software* que modele um sistema gerador de Jitter com as características de jitter determinístico e jitter randômico, para a análise de detectores de fase digitais no OrCAD, permitindo a simulação de comunicações assíncronas e a criação de uma plataforma que potencializará o projeto de sistemas recuperadores de relógio.

1.3.2 Objetivos Específicos:

Desenvolver um *software* em LabVIEW, que configure o jitter total para um sinal digital, possibilitando o armazenamento num arquivo que contenha determinadas informações a serem utilizadas por um programa CAD de circuitos para simulação.

Caracterizar as propriedades dos detectores de fase digital em OrCAD, simulando o comportamento destes em condições de sinal de entrada com

diferentes características de jitter, aproveitando o modelo virtual dos componentes semicondutores, neste caso, dos Flip-Flop's.

Publicar os arquivos que contêm as informações do Jitter com características definidas, para que a comunidade acadêmica e científica se beneficie, padronizando uma linha de análise que permita a comparação de resultados de circuitos recuperadores de relógio e dados à base de PLLs.

1.4 JUSTIFICATIVA

Esta dissertação parte do fato de não existir um mecanismo de teste virtual que permita a simulação de sistemas digitais e analógicos capazes de medir o desempenho dos semicondutores em presença de condições de Jitter. Portanto, justifica-se a criação de uma proposta que armazene, num arquivo padrão, as informações de um sinal digital com jitter, para ser exportado a um programa CAD, que simulará e fará testes de circuitos eletrônicos, compreendendo o modelo do comportamento real dos semicondutores. Este método atenuará o processo de fabricação de circuitos integrados que podem apresentar erro na hora de determinar sua efetividade ante o Jitter, poupando dinheiro e tempo.

1.5 PROCEDIMENTOS METODOLÓGICOS

Para a realização desta dissertação, optou-se por dividir em estágios avaliáveis as tarefas a serem desenvolvidas, seguindo o modelo clássico, também conhecido como modelo cascata ou *waterfall*. Este modelo é linear e sequencial, permitindo reconsiderar decisões anteriores para serem ajustadas, na medida em que solucione as inconveniências ocorridas na sequência.

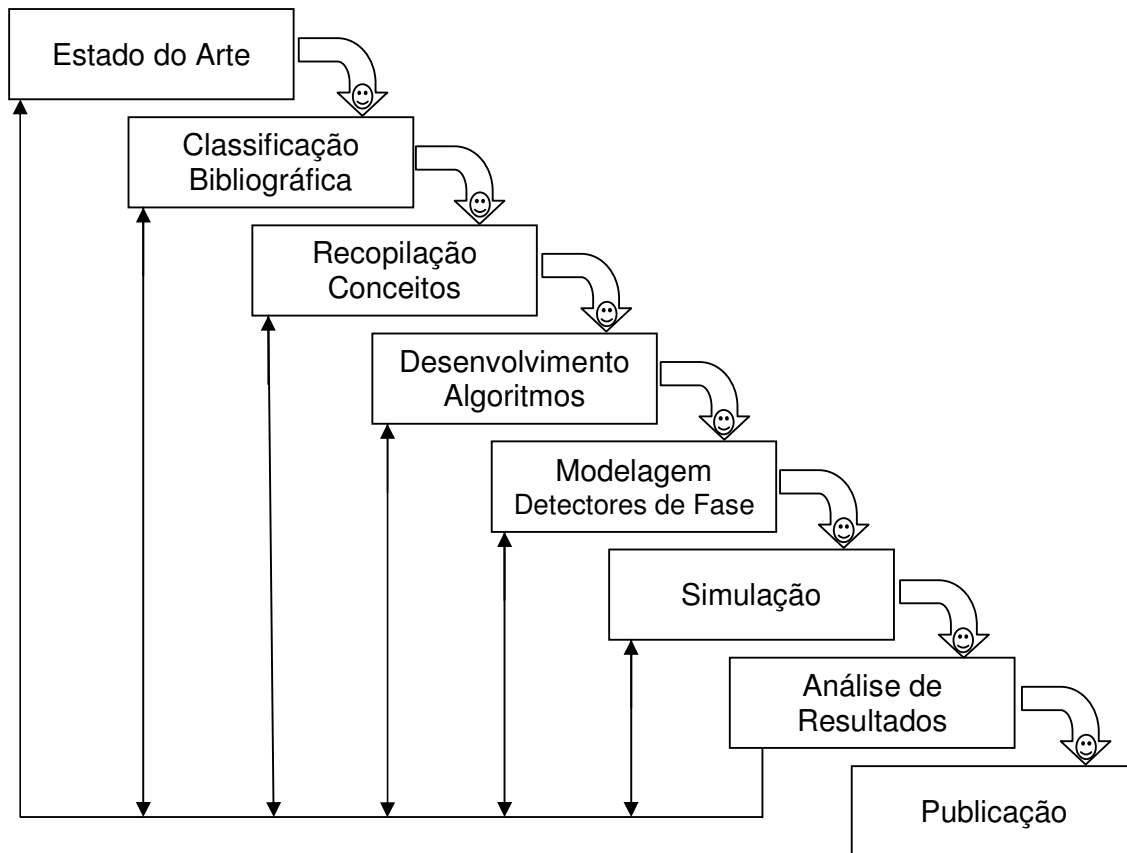


Figura 4 – Diagrama método Clássico ou *Waterfall*.
Fonte: Autoria própria.

1.5.1 Estado de Arte

No estado de arte, estabeleceram-se as condições atuais dos *softwares* simuladores de Jitter, assim como os dispositivos em *hardware*, que geram as condições de ruído nos canais digitais. Consultaram-se as empresas reconhecidas no mercado da instrumentação em teste e análise de sistemas de comunicação digital, verificando que os atuais sistemas não possuem ferramentas para simulação de circuitos digitais em programas CAD.

1.5.2 Classificação Bibliográfica

Neste estágio, são recopilados os artigos mais preponderantes referentes ao Jitter, abordados em livros de fontes confiáveis como a IEEE, Scopus, Banco de Dissertações e Teses, CAPES, bibliotecas técnicas, bem como as referências

indicadas por pessoas conhecedoras do assunto.

1.5.3 Recompilação de Conceitos

Com a classificação da bibliografia, realiza-se a contextualização dos termos-chave reunindo as definições, chegando ao conceito específico.

Uma das características deste estágio, no modelo, é garantir a veracidade das definições, sendo, portanto, cuidadosamente tratado.

1.5.4 Desenvolvimento de Algoritmos

Os algoritmos são planejados à base de fluxogramas. Para efeitos práticos, pode-se optar por um *software* de desenvolvimento para programar em ambiente gráfico, o qual inerentemente poderá modelar e programar a partir de fluxogramas.

Cada uma das características do *software* é realizada seguindo os conceitos matemáticos do ponto 1.5.3, Recompilação de Conceitos. Este estágio de desenvolvimento termina, uma vez que são criados os arquivos com as informações do sinal digital com *jitter* para as múltiplas simulações. Estes arquivos são adaptados ao padrão do *software* CAD, onde são realizadas as simulações.

1.5.5 Modelagem dos Detectores de Fase

A modelagem dos detectores de fase digitais é realizada com Flip-flops, que assumem os modelos dos semicondutores em programas CAD como modelos que são aproximados à realidade. Portanto, a ferramenta CAD deverá ser reconhecida na comunidade científica ou acadêmica.

1.5.6 Simulação

A simulação é realizada a partir do estímulo das condições de jitter apresentadas no ponto 1.5.4, com tempos que permitam observar as características do sinal com jitter e o desempenho do sistema de detecção de fase. Estas

simulações contêm processos estatísticos nas quais o tempo dependerá da plataforma computacional e da quantidade de bits a serem simulados.

1.5.7 Análise de Resultados

Neste ponto, são estudados os resultados das simulações gráficas, revelando o desempenho dos detectores de fase digital, assim como a presença do jitter.

1.5.8 Publicação

No estágio final, é realizada uma recopilação das informações de cada um dos passos do modelo clássico em um documento, o qual será ponto de partida do formalismo que cada um dos meios de divulgação possui, para socializar os resultados deste desenvolvimento, permitindo a comparação de resultados, bem como a continuidade desta pesquisa.

1.6 REFERENCIAL TEÓRICO

1.6.1 O Jitter

O *Jitter* é definido como o desvio das bordas em um sinal digital referenciado a um evento ideal no tempo (Kuo, Andy et al, 2004). Em outros termos, o Jitter é a deslocação ou deslocamento de alguma característica em amplitude, fase, ou largura do pulso do sinal que representa um bit no contexto de comunicações digitais de alta velocidade. Assim mesmo, este desvio é causado por causas como interferência eletromagnética e temperatura entre outras, que induzem a determinar que “o Jitter não é uma nova invenção. Este tem estado sempre conosco” (Halliday, 1996). O Jitter pode ser expresso em tempo absoluto ou normalizado em unidades de intervalo (UI), onde pode ser o valor médio da duração de um bit ou um valor equivalente ao da média de velocidade dos dados (Kuo, Andy et al, 2004).

É apresentado, na Figura 5, um bit zero em um sinal digital com as características que evidenciam o *Jitter* em quanto é deslocado o tempo ideal da largura do pulso ou bit. As bordas vermelhas, tanto na subida quanto na descida,

estão adiantadas e atrasadas em relação à borda ideal, em preto. É importante notar que o sinal considerado na Figura 5 representa o fenômeno de deslocamento no tempo das bordas, mas não revela a não-linearidade dos componentes eletrônicos que, na construção do semicondutor, que determinam o tempo de subida e o tempo de descida assim como é suprimida os efeitos do jitter na amplitude do sinal.

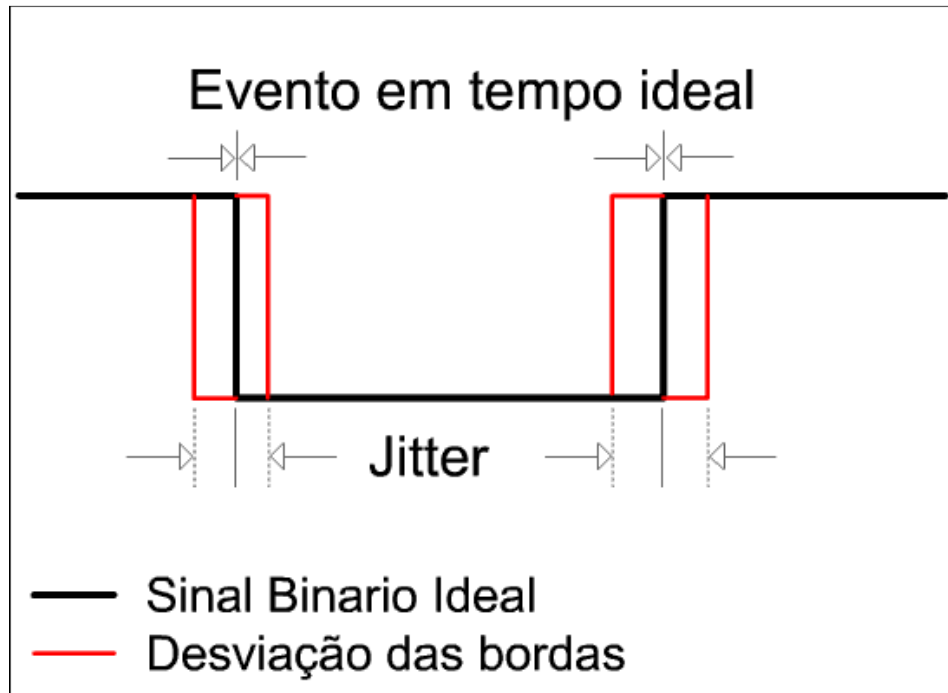


Figura 5 – Evidência do *Jitter*.
Fonte: Autoria própria.

Deve-se levar em conta que o sinal da Figura 5 representa o sinal digital acondicionado, e não é a representação do que seria o sinal no meio da transmissão, tal como é exposto na figura Figura 6. O meio de transmissão determina as características do canal, tal como Claude Shannon publicou em importante artigo de 1948, onde são classificados os sistemas de comunicação em três grupos: fibra óptica com largura de banda em ordem de THz³, cobre com largura de banda em GHz e o espaço livre (Peng, 2007). O limite da largura de banda está nos dispositivos eletrônicos atualmente desenvolvidos, que trabalham em torno de

³ Deve-se ler Tera Hertz.

poucos GHz.

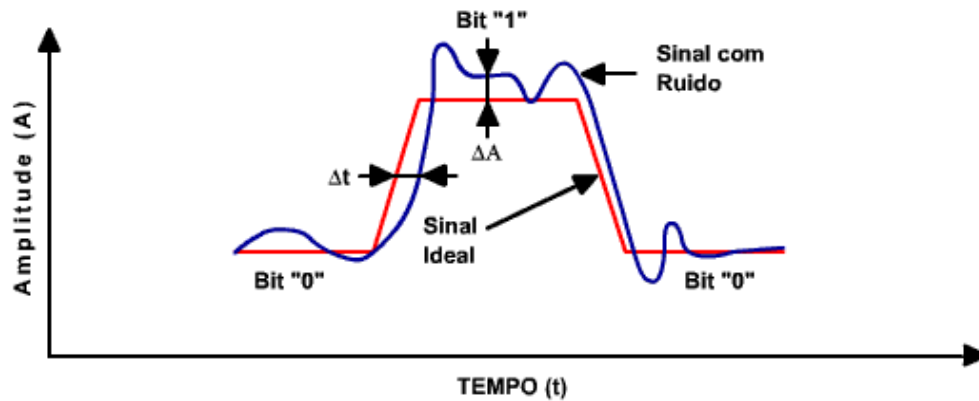


Figura 6 – Sinal ideal comparado com forma de onda de sinal ruidoso.
Fonte: Adaptada de: (Peng, 2007)

Matematicamente, o *Jitter* pode ser modelado analogicamente, assim como digitalmente somando os subcomponentes de origem estocástica e determinística. Em comunicações analógicas, o *Jitter* é conhecido também como ruído de fase e é definido como um nível de offset que continuamente muda os tempos do sinal tal como mostra a equação (1) e (2). $S(t)$ define uma função analógica no domínio do tempo onde o sinal também depende de $\Phi(t)$, uma função que desloca a fase e também está expressa no domínio do tempo com uma frequência centrada f_c (Takahashi, Masayuki; Ogawa, Kimihiro; Kundert, Kenneth, 1999).

$$S(t) = P[t + \Phi(t)] \quad (1)$$

$$S(t) = A \sin(2\pi f_c t + \Phi(t)) \quad (2)$$

Já nas comunicações digitais, o *Jitter* é conceituado em geral como o *Jitter* Total (JT), representando o aporte de diversos fenômenos físicos compreendidos, tal como a somatória de subcomponentes que separadamente possuem uma causa diferente e, portanto, uma participação no JT, quaisquer que, sejam as condições gerais do sistema de comunicação. Observa-se, na Figura 7, que a composição do *Jitter* Total depende de duas subcomponentes: *Jitter* Determinístico (JD) e *Jitter* Randômico (JR), e ambas com mais subcomponentes (Kuo, Andy et al, 2004).

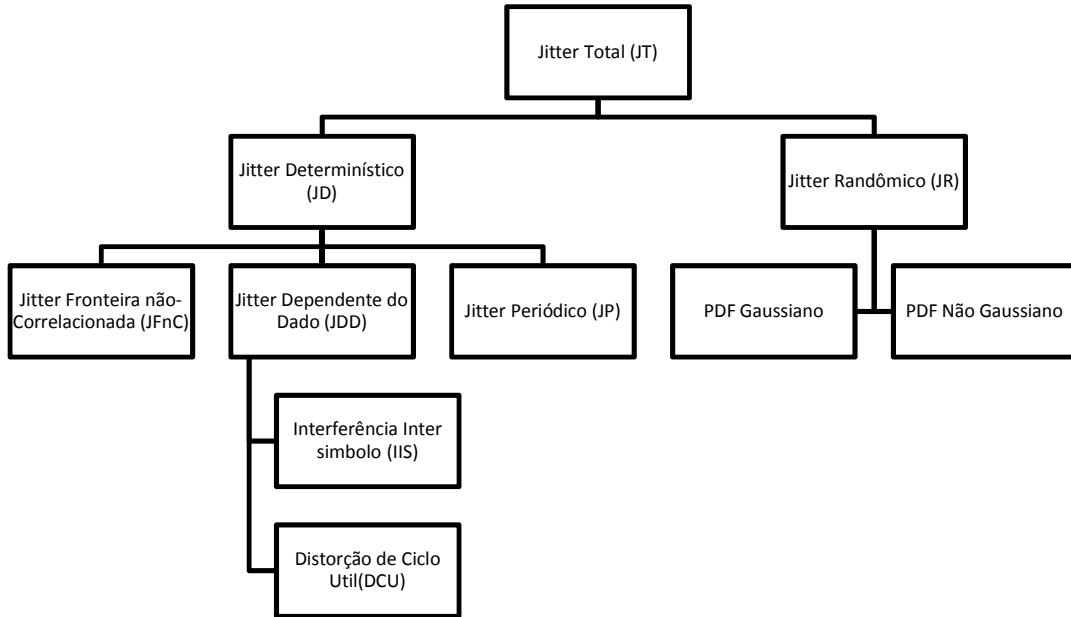


Figura 7 – Taxonomia do *Jitter*

Fonte: Adaptado de Palomino, Luis E.; Pedroni, Volnei (2009).

O *Jitter*, portanto, é um fator decisivo no desempenho das comunicações de dados em alta velocidade, que pode ser atenuado de acordo com sua natureza (Hancock, 2004).

1.6.2 Sub Componentes do *Jitter* Total

O Jitter Total (JT) é a somatória das partes que compõem o Jitter Total, sendo o Jitter Periódico e o Jitter Randômico de maior impacto no resultado total tal como apresenta a equação (3) e a Figura 8 (Agilet Technologi, 2007).

$$JT(t) = JP(t) + JR(t) \quad (3)$$

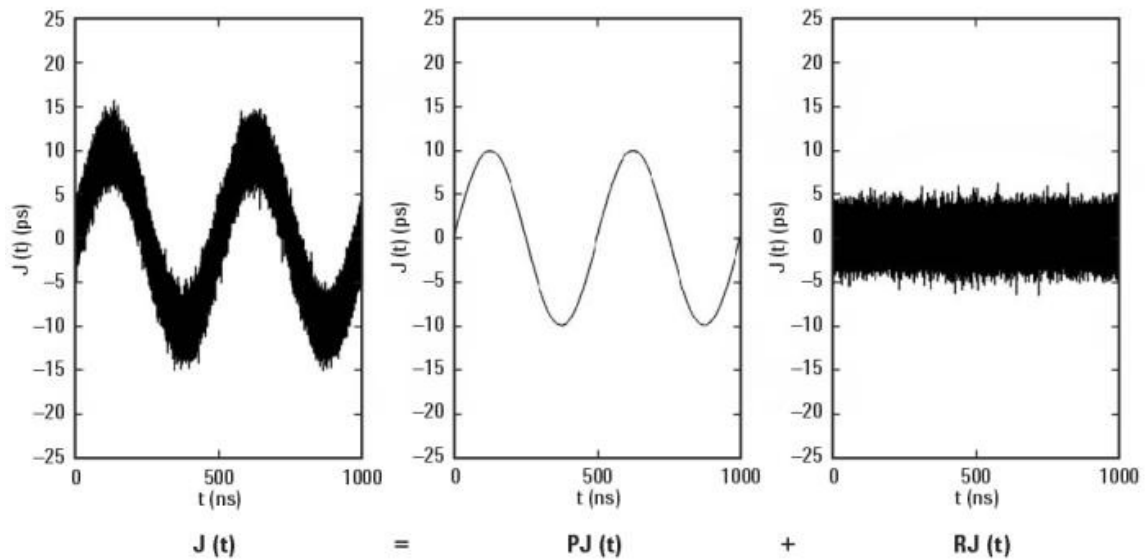


Figura 8– O sinal do JT em função do JP e JR.
Fonte: (Agilet Technologi, 2007)

1.6.2.1 Jitter Randômico

O Jitter Randômico (JR) define um processo aleatório que geralmente é modelado matematicamente com uma função estocástica, classicamente com a distribuição Gaussiana ou não-Gaussiana, como a função de densidade probabilística (PDF) binomial. É comum utilizar a distribuição Gaussiana, dado que a maioria dos fenômenos que oscilam ao redor de um valor é desta natureza, mas é claro que um conhecimento aprofundado das fontes que perturbam os sistemas eletrônicos de comunicação determina a PDF a ser adotada para modelar ou caracterizar o JT.

1.6.2.2 PDF Gaussiana

A PDF Gaussiana⁴, também chamada de Distribuição Normal ou de Campana Gaussiana, é uma função contínua que descreve os valores agrupados em torno de um ponto médio μ e a variância σ , que determina o limite definido para a variação

⁴ Karl Friedrich Gauss 1777-1855

dos dados, num deslocamento horizontal da distribuição básica (Hamming, 1991). Na equação (4), se observa como a PDF $P(y)$ depende do valor do y , e, para o caso particular da análise do Jitter, o μ terá o valor de zero e σ definirá os limites aos quais a variação do T_b será permitida.

$$P(y) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(y-\mu)^2}{2\sigma^2}} \quad (4)$$

Na Figura 9 observa-se a Campana Gaussiana com $\mu=0s$ e $\sigma \approx 1E-12s$ ou $1ps^5$, portanto, os valores que serão considerados aceitáveis dentro desse limite são os que estão na faixa de $-1ps$ e $+2ps$.

A PDF Gaussiana deve ser contextualizada no fenômeno do sinal digital que entra no sistema e não deve ser entendida dentro do modelo do PLL anteriormente descrito, já que o PLL, por ter uma banda de frequências sensíveis ao sincronismo, possui adicionalmente uma medida de erro de fase realizado em intervalos discretos (Lee, et al., 1994).

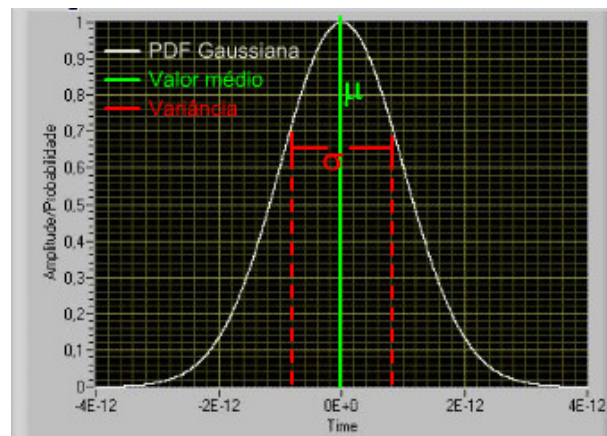


Figura 9 –PDF Função de Densidade Gaussiana.
Fonte: Adaptado de: Palomino, Luis E.; Pedroni, Volnei (2009)

1.6.2.3 JD ou *Jitter* Determinístico

Ruído gerado pela indução de energia pelo campo magnético de corrente

⁵ Leia-se um pico Segundo.

elétrica que circula por fios metálicos; inclui-se a interferência eletromagnética ou EMI gerado por dispositivos elétricos e eletrônicos. Esse tipo de *Jitter* deve ser interpretado também dentro do fenômeno de propagação, no qual o sinal na linha de transmissão experimental, ao chegar no receptor, que parte do sinal que alcança o receptor é absorvida e a outra parte é refletida ou devolvida para o transmissor. Na equação (5), descreve-se este fenômeno como a porcentagem que será refletiva em função da impedância de carga Z_L e a impedância do fio condutor Z_0 (H. W., Johnson; Graham, M., 1993). Também poderia-se considerar a equação (5) como o coeficiente de reflexão, se não for calculado em porcentagem.

$$\%_{refletivo} = \frac{Z_L(\omega) - Z_0(\omega)}{Z_L(\omega) + Z_0(\omega)} * 100\% \quad (5)$$

Dada a descrição anterior, não é contraditório indicar que de fato os elétrons retornam ao transmissor, diferenciando a tensão e gerando o mesmo efeito na linha de transmissão, tal como faria um resistor. Como resultado do retorno dos elétrons está a corrupção nas cadeias de bits, portanto a redução do *Signal-to-noise ratio* (SNR). O sinal que retorna ao transmissor é somado ao novo sinal gerado, resultando o *Jitter*.

Todo sistema de comunicação de dados está submetido a múltiplas fontes de *Jitter* Determinístico, com diferentes causas, características e possíveis soluções já em nível de simulação do projeto. A seguir a descrição desse tipo de *Jitter*.

1.6.2.4 JFnC ou *Jitter* com Fronteira Não-Correlacionada

O *Jitter* com Fronteira Não-Correlacionada (JFnC) é gerado em presença de portadoras de dados de outras conexões adjacentes ou *Crosstalk* e pela interferência produzida pelas fontes de potência chaveadas.

O Ruído de Crosstalk injetado na onda viajante do terminal perto e do ponto do terminal longe acontece quando os sinais agressores através das bordas de subida e descida introduzem ruído nos bits adjacentes. (Kuo, Andy et al, 2004).

O *Crosstalk* tem diferentes efeitos segundo seu contexto na engenharia, isto

é, se for analisado nas comunicações sem fio, é definido como a interferência co-canal. Em telefonia, deve-se entender como o efeito que experimenta o usuário quando escuta sua voz no telefone e percebe um retardo, e em circuitos eletrônicos acontece quando dois sinais estão se interferindo por acoplamento indutivo ou capacitivo

A capacitância e a indutância entre fios sempre estará presente. No caso de sistemas de acoplamento desbalanceado, ou seja, com impedâncias diferentes nos terminais da linha de transmissão por fio metálico, o cancelamento do sinal é causado pelo *Crosstalk*, no segmento da linha de transmissão, onde se gera este fenômeno. O caso mais crítico acontece quando o terminal do receptor recebe um sinal com polaridade oposta à transmitida, portanto indica que as causas e efeitos são mais severos.

O Crosstalk depende da amplitude do sinal, do comprimento do fio, da separação entre fios condutores e do tempo de chaveamento nas bordas do “sinal agressor”. Assim, estes fenômenos geradores do Crosstalk também poderão ser estrategicamente configurados de modo que o sinal agressor seja menos efetivo para induzir erros no cabo transmissor (Kuo, Andy et al, 2004).

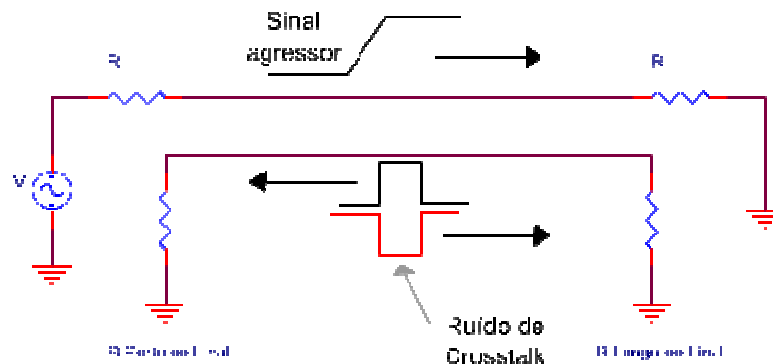


Figura 10 – Ruído de Crosstalk induzido por sinal agressor.
Fonte: Adaptado de: (Kuo, Andy et al, 2004)

1.6.2.5 Jitter Dependente do Dado.

O Jitter Dependente do Dado (JDD) é definido como uma variedade do Jitter que é dependente do padrão dos bits transmitidos, e pode ser dividido em duas subcomponentes: Distorção por Ciclo Útil e Interferência Inter Símbolo (Kuo, Andy et

al, 2004). O efeito causado pelo sinal gerado no transmissor, segundo a velocidade associada ao padrão de dados, define o JDD. Este JDD pode ser atenuado ou evitado com um resistor do valor Z_L , que balanceia a impedância Z_0 , absorvendo energia do sinal refletivo. Na Figura 10, observa-se, no final das linhas de transmissão, os resistores que podem atenuar os efeitos no JDD.

As perdas dielétricas e o efeito pelicular nos condutores são também causas do DDJ pois, a partir de uma frequência determinada pelas características da comunicação e do meio de transmissão, como fios metálicos ou fluxo de corrente, tende a concentrar-se na superfície de condução. Em uma análise mecânica e elétrica, na secção transversal do fio, deverá se observar como uma auto-indutância que é gerada na parte exterior com a interior. Somente acontecerá este efeito para uma faixa de frequências que geram tempos maiores nas bordas de subida e de descida dos bits transmitidos (H. W., Johnson; Graham, M., 1993) (H.W., Johnson; M., Graham, 2003). Na Figura 11, o efeito pelicular é modelado em função da densidade de corrente no fio condutor e da frequência, evidenciando no modelo em que d é aproximadamente zero, em frequências superiores a 1 GHz, onde d é a fração externa do fio condutor que conduz a corrente, e r é o raio do cabo. A equação (6) define o valor da penetração no condutor d , em função da resistividade ρ , da permeabilidade do espaço livre μ_0 , da permeabilidade relativa μ_r e da frequência da corrente (True, 1992).

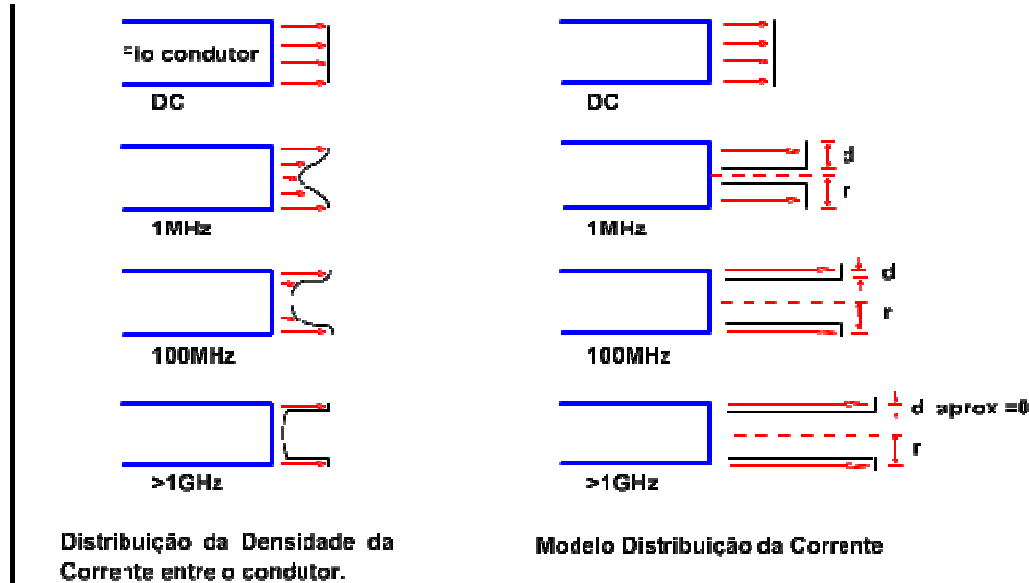


Figura 11 – Modelo da distribuição de densidade da corrente nos condutores.
 Fonte: Melhorado e adaptado de: (True, 1992).

$$d = \sqrt{\frac{\rho}{\pi f \mu_0 \mu_r}} \quad (6)$$

1.6.2.6 Interferência Inter-Símbolo.

A Interferência Inter-Símbolo (IIS) é a energia agregada a um bit ou símbolo, dadas as características de largura de banda do canal de transmissão, no qual o receptor não consegue distinguir o valor do sinal ou interpreta de forma errada os símbolos próprios da comunicação, 1s ou 0s lógicos para o caso binário. Segundo Doering, “esta interferência inter-símbolo agrega estranhas energias ao sinal, no exato momento em que o mostrador indistintamente recebe um **bit** que poderia ser um 1 lógico ou um 0 lógico” (Doering, 2009).

O IIS é causado por dispersão do sinal, sobrepondo símbolos transmitidos e imitações da largura de banda no transmissor. O IIS está em função da velocidade da taxa de *bits*, do desenho das trilhas nas placas eletrônicas, do material das placas eletrônicas e do padrão dos dados transmitidos, como códigos de linha e codificação destes. (Muller, Marcus; Stephens, Ransom; McHugh, Russ, 2008).

Na Figura 12, está representado um sinal, modulado em *binary phase shift*

keying (BPSK), transmitindo cinco “1”s lógicos em cor vermelha. O sinal de interferência inter-símbolo está rerepresentado como um sinal de menor energia em cor verde. Os tempos que diferem do sinal transmitido originalmente são interpretados no receptor como o sinal de cor azul, como a resultante da interferência destrutiva das duas anteriores.

A interferência destrutiva atenua o sinal até cancelar sua energia, deixando os níveis dentro da faixa de incertezas limitadas na Figura 12 como nível limite para validar o “1” Lógico, e com a linha inferior indicada como nível limite para validar o “0” Lógico.

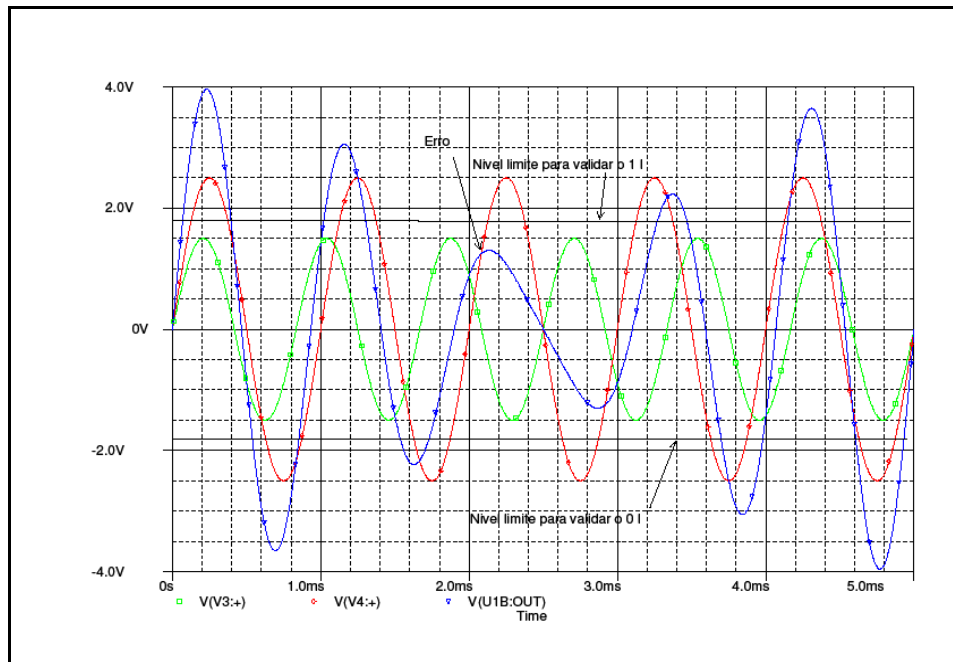


Figura 12 – IIS Interferência Inter-símbolo.
Fonte: Autoria Própria.

1.6.2.7 Diferença de Ciclo Útil

O Jitter é causado pela Diferença de Ciclo Útil (DCU) e gerado pela não-uniformidade do tempo de bit. Isto é, o DCU descreve a quantidade de *Jitter* que um sinal tem, considerando as diferenças de largura de pulso dos níveis altos e baixos (Kuo, Andy et al, 2004), provocados pelas diferentes respostas dos circuitos eletrônicos nas bordas de subida e de descida, os tempos de ativação e saturação, assim como a dependência da temperatura nos dispositivos eletrônicos. Na Figura

13 é apresentado o efeito da temperatura no tempo de subida (T_R) e o tempo de descida (T_F) num semicondutor BJT, para temperaturas de -10°C , 0°C , 30°C , 90°C e 150°C . O fato de T_R e T_F serem diferentes ocasiona uma diferença nos tempos dos níveis do sinal digital.

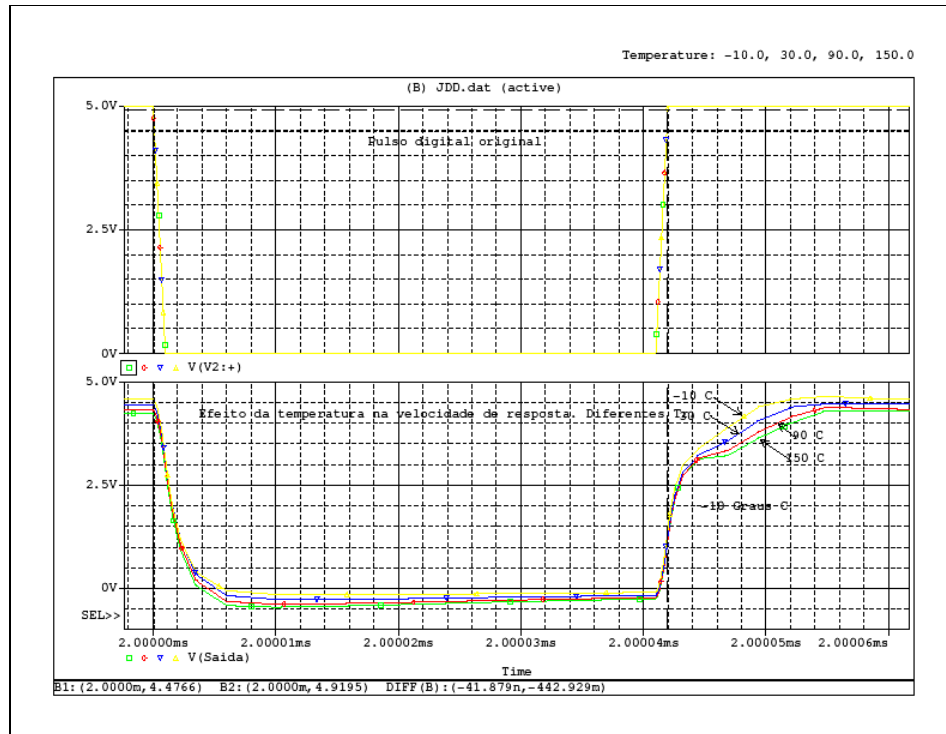


Figura 13 - Efeito da temperatura na resposta dos semicondutores
Fonte: Autoria própria.

1.6.2.8 Jitter Periódico

O Jitter Periódico (JP) refere-se às variações da posição das bordas do sinal digital no tempo (Kuo, Andy et al, 2004). O JP é o resultado da interferência de dispositivos modulares ou de conversão de AM-PM realizada por dispositivos não-lineares no transmissor, pelo meio de transmissão ou no receptor (Muller, Marcus; Stephens, Ransom; McHugh, Russ, 2008). Na Figura 14, o efeito do JP é revelado entre um sinal sem erro, que seria a condição ideal, e um sinal com JP, onde a diferença entre os dois sinais é mapeada num gráfico subseguinte. Depois de linearizar os pontos com a diferença, o resultado é uma função seno. A natureza do JP pode ser de frequência baixa, poucos hertz (de 1Hz a 10Hz), ou na faixa de

frequência AM, dos 87.5MHz até 108.0MHz.

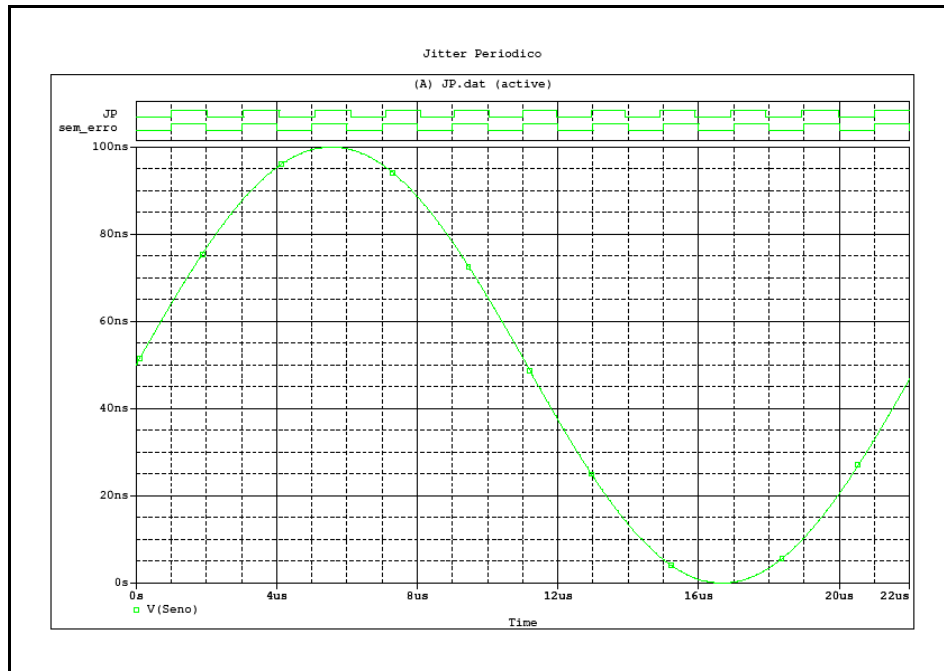


Figura 14 – Jitter Periódico
Fonte: Autoria Própria

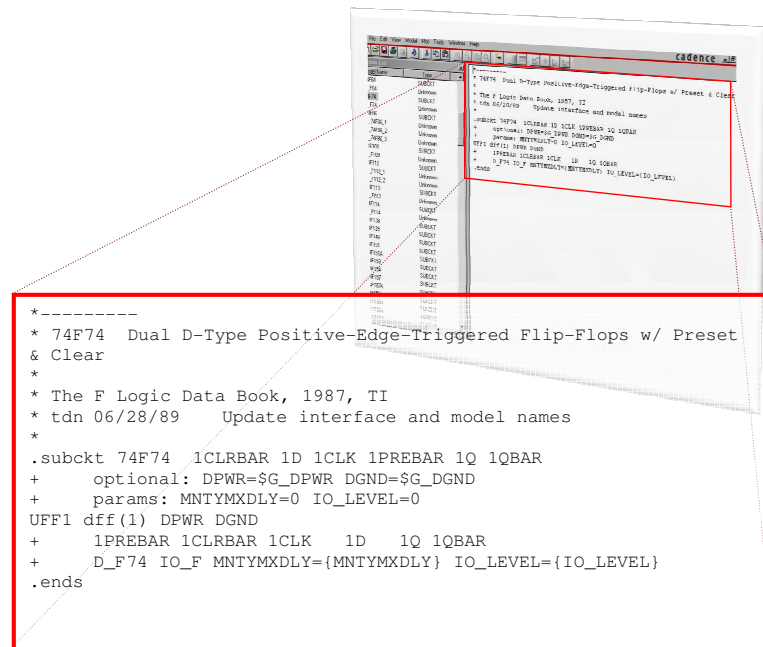
1.7 O OrCAD

O pacote ORCAD é uma ferramenta de software de tipo CAD (Computer Assisted Design), formada por aplicativos que modelam, simulam e permitem criar, manual ou automaticamente, placas com os padrões existentes. No caso, *Capture CIS* é um destes aplicativos que permite o desenho, e é a ponte para a simulação tanto de circuitos analógicos como digitais. Estes circuitos podem ser colocados tanto em sua forma padrão ANSI como no padrão da IEEE. Os componentes estão instalados com a ferramenta CAD em forma de biblioteca, com grande variedade de dispositivos elétricos ou eletrônicos comerciais, clássicos e básicos. Para simular, se usa a ferramenta *Capture CIS* como plataforma de desenho dos circuitos que apresenta os resultados com valores acima do desenho eletrônico ou em forma de sinais em qualquer ponto do circuito (Palomino, 2009). Das duas alternativas, a opção dois é a utilizada nesta dissertação.

1. Simulação das correntes e tensões no mesmo desenho.

2. Simulação com ativação da janela de *Prove*, que apresenta os resultados da simulação com opção de conhecer graficamente as características elétricas do circuito em tempo e frequência.

A modelagem das características eletrônicas dos componentes semicondutores, tal como as portas digitais e Flip-flops, dispositivos comerciais, estão já definidos nas bibliotecas instaladas com o mesmo software, mas possuem a ferramenta PSpice Model Editor, que permite a criação e edição dos parâmetros comportamentais deste. Na Figura 15, encontra-se a parametrização do Flip-Flop tipo D, da família da F, o 74F74. Observa-se, na figura, que são definidos os nomes dos pinos enquanto sua lógica positiva ou negativa, isto é, pino negado ou sem negar. Os tempos de chaveamento também são definidos nesta mesma janela. Vide Anexo A.



```

* -----
* 74F74 Dual D-Type Positive-Edge-Triggered Flip-Flops w/ Preset & Clear
*
* The F Logic Data Book, 1987, TI
* tdn 06/28/89 Update interface and model names
*
.subckt 74F74 1CLRBAR 1D 1CLK 1PREBAR 1Q 1QBAR
+ optional: DPWR=$G_DPWR DGND=$G_DGND
+ params: MNTYMXDLY=0 IO_LEVEL=0
UFF1 dff(1) DPWR DGND
+ 1PREBAR 1CLRBAR 1CLK 1D 1Q 1QBAR
+ D_F74 IO_F MNTYMXDLY={MNTYMXDLY} IO_LEVEL={IO_LEVEL}
.ends

```

Figura 15 – Janela do aplicativo PSpice Model Editor
Fonte – Autoria própria.

1.8 ESTRUTURA

Esta dissertação está dividida em três partes: desenvolvimento de algoritmos,

modelagem dos detectores de fase digital e simulação com a análise dos resultados obtidos.

No desenvolvimento de algoritmos o leitor encontrará o código desenvolvido em LabVIEW, assim como o painel frontal que configura o tipo de Jitter a ser implementado. Os algoritmos estão em código, mesmo dada a natureza da programação em fluxogramas.

No capítulo de modelagem dos detectores de fase digital, descreve-se o processo de diagramação em OrCAD, as bibliotecas usadas, configuração das características do simulador e faz referência ao uso do editor de estímulos.

Na secção de simulações, são apresentados os resultados das simulações e, posteriormente, a análise destes resultados.

No final, o autor descreve algumas motivações que permitiram melhorar o *software* e os alcances futuros que poderão ter os sistemas modelados com OrCAD

2 ALGORITMOS EM LabVIEW

Para a realização dos algoritmos foi utilizado o LabVIEW 7 Express, aproveitando a versatilidade da programação gráfica e o acesso aos recursos computacionais em baixo nível.

2.1 Painel Frontal

O painel frontal possui as características necessárias para identificar **Bambuco Gerador de Jitter (BGJ)**, nome do *software*. Na Figura 16, encontra-se o painel frontal de BGJ.

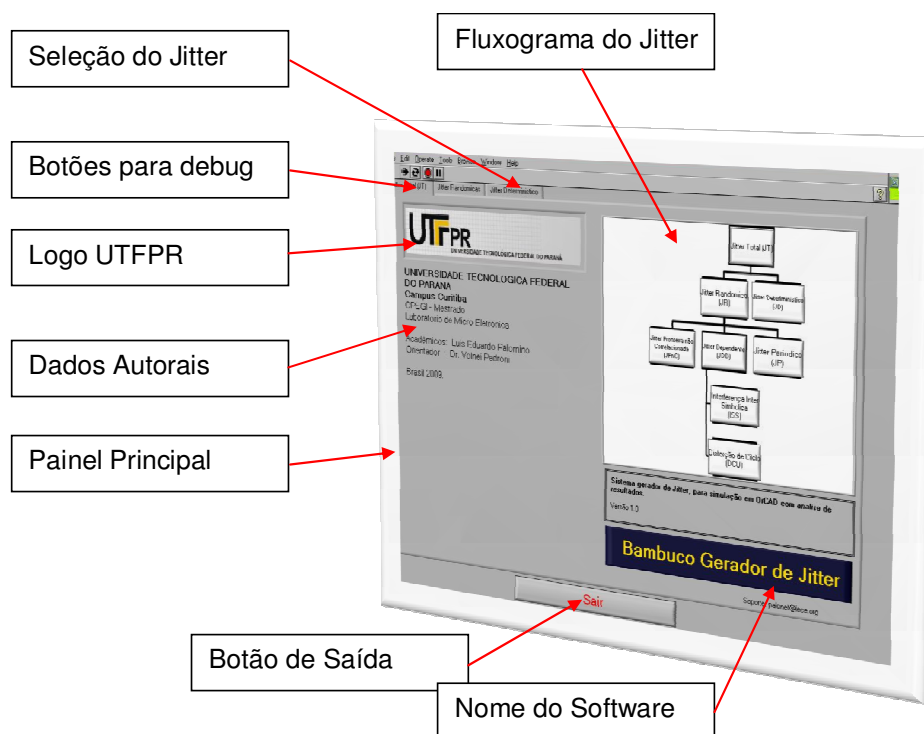


Figura 16 – Painel Frontal de Bambuco Gerador de Jitter
Fonte: Adaptado de: (Palomino, Luis E.; Pedroni, Volnei, 2009)

2.1.1 Seleção do Jitter

Nesta aba, poderá ser selecionada a opção para configurar o JD e o JR,

assim como a própria aba que define o JT. A aba de seleção não interrompe os processos que são iniciados nas outras janelas; pelo contrário, o usuário é impedido de realizar outras operações até que o processo requerido seja terminado. Assim procedendo, ao simular o jitter em vários milhões de bits, o *software* concentra o poder computacional nesta tarefa, e somente quando finalizada a simulação, poderá optar-se por outra opção nestas abas.

2.1.2 Fluxograma do Jitter

Indica as opções que a versão pode executar. As versões do *software* são disponíveis por módulos, dada a validação realizada de forma separada em cada um dos tipos de jitter. Assim, à medida em que é validado e atualizado, o *software* indicará a atualização.

2.1.3 Botões para debug

Estes botões para debug permitem depurar o BJK nos estágios de desenvolvimento, mas foram habilitados para que as comunidades científicas e acadêmicas tenham uma ferramenta de seguimento dos algoritmos que estão rodando.

2.1.4 Logo UTFPR

Esta versão identifica à UTFPR, como material de pesquisa pertencente ao patrimônio acadêmico da Universidade Tecnológica Federal de Paraná.

2.1.5 Dados Autorais

Os dados dos autores, neste caso do orientador e do orientando, foram colocados para identificar os direitos autorais que são inalienáveis, tal como indica o Instituto Nacional de Propriedade Industrial (INPI).

2.1.6 Botão de saída.

O botão de saída permite parar o programa a qualquer momento, detendo os processos e fechando o painel frontal. Nas versões de desenvolvedor, o botão permite encerrar o programa, mas não fecha o painel frontal.

2.2 Jitter Randômico

Nesta opção, o usuário configura o JR, baseado na PDF Gaussiana. Não foi implementada a função PDF Binomial, dada a convergência da função quando a probabilidade é superior a 1% (Vuolo, 1994), uma vez que os bits possuem 50% de probabilidade de ocorrência e, no pior dos casos, foi considerado até 1% para alguns dos dois símbolos binários no Bambuco.

2.2.1 Painel Frontal para o Jitter Randômico

O painel frontal do Jitter Randômico permite configurar as características randômicas sob uma PDF Gaussiana que estará descrevendo graficamente os valores ingressados. Deste modo, faz-se visual a característica do jitter que será gerado. Na Figura 17, é apresentado o detalhamento dos controles do painel que configura o JR.

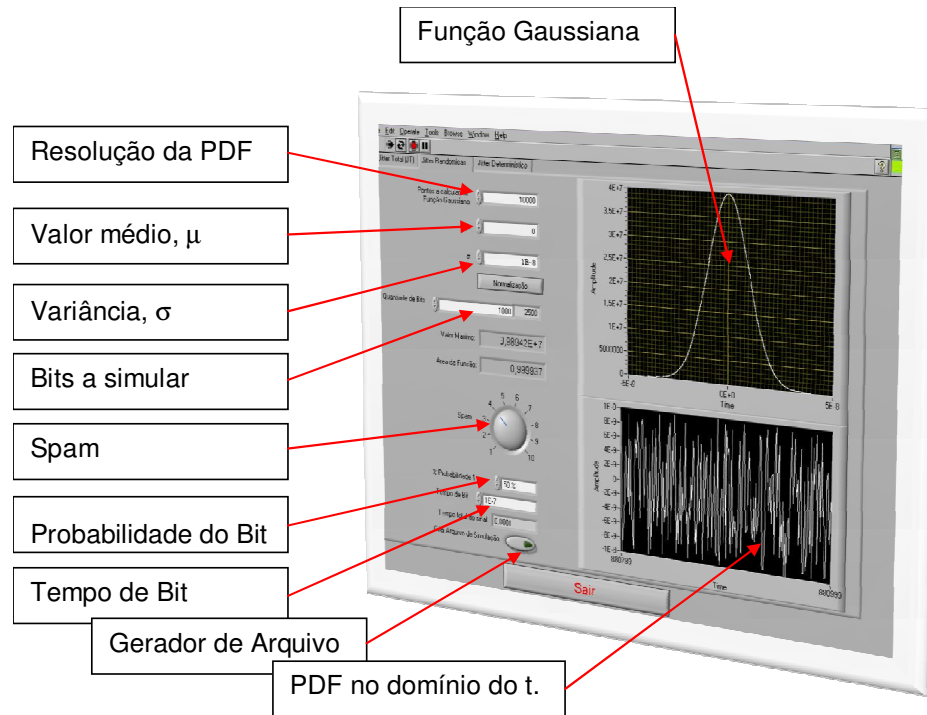


Figura 17 – Painel frontal do Jitter Randômico
Fonte: Autoria Própria.

2.2.1.1 Função Gaussiana

Neste indicador gráfico, é desenhada a PDF Gaussiana com as características configuradas em tempo real. Os eixos são ajustados automaticamente para apresentar a maior excursão do sinal.

2.2.1.2 Resolução da PDF

Neste controlador numérico, configura-se a amostragem que terá a digitalização da PDF. Isto quer dizer que a PDF estará com valores discretos num vetor de tamanho indicado no controlador. O valor configurado padrão é de 10000 valores.

2.2.1.3 Valor Médio

O Valor médio μ determinará o valor central da PDF. Para efeitos iniciais, o valor configurado padrão é zero.

2.2.1.4 Variância

Neste controle numérico, é realizada a configuração da variância, valor que limitará a geração dos pontos aleatórios. O valor padrão é 1E-8 ou 10nS, o qual implica que será simulado um Jitter Randômico entre valores de -10nS e +10nS.

2.2.1.5 Bits a Simular

Determina a quantidade de bits que serão gerados com os efeitos do jitter. O Valor padrão é 1000 bits.

2.2.1.6 Spam

Dial que permite manipular a resolução do sinal, descrita no ponto 2.2.1.1, em função do parâmetro σ . O valor padrão é de quatro, portanto o spam do sinal da PDF no indicador será equivalente a $4 \times \sigma$.

2.2.1.7 Probabilidade do Bit

Na geração de bits, é possível configurar neste controlador a probabilidade de acontecimento na coleção total dos bits a gerar. O valor, padrão, é 50%, portanto os valores lógicos do “1” e do “0” terão a mesma oportunidade de ser gerados no motor gerador aleatório.

2.2.1.8 Tempo de Bit

Neste controlador, é configurado o tempo de bit. O valor padrão é 1E-7, ou seja, $T_b = 100\text{nS}$.

2.2.1.9 Gerador de Arquivo

O botão de geração de arquivo grava as informações do jitter sem antes abrir uma janela de navegação do Windows, para definir o endereço no disco rígido onde

será gravado.

2.2.1.10 PDF no domínio do tempo

A PDF, no domínio do tempo estará no indicador gráfico com os valores randômicos gerados segundo as configurações anteriores. O valor padrão neste indicador não é o último gerado.

2.2.1.11 Outras características

Este painel frontal do Jitter Randômico também oferece outras informações de interesse, como a área abaixo da PDF, que deverá ser exata ou aproximadamente um, já que erros de aproximação no cálculo da área podem ser gerados no computador ou pela resolução indicada no spam. Também é apresentado um valor máximo na função de PDF, que pode ser um se for acionado o botão de normalização.

2.2.2 Código do Jitter Randômico

Uma vez selecionada a opção do JR, na aba descrita no ponto 2.1.1, o algoritmo “Jitter Randômica” é executado. Este algoritmo, descrito na Figura 18, está dentro de um *loop* controlado pelo botão de saída e pela aba seletora de jitter, permitindo parar o BGJ dentro deste algoritmo, a menos que alguns dos processos de análise e geração binária estejam sendo executados. Neste algoritmo o software não processa nenhum dado, a não ser que alguns dos controladores do ponto 2.3.1 tenham um novo valor. Portanto, na mesma Figura 18, encontra-se o cenário onde será executado o algoritmo “Gauss PDF”, o qual fornecerá os dados aos Sub VI “Gerador Random Gauss” e “Jitter”, que estão em evidência com ícones em cores verde, azul e azul claro com uma pasta no desenho do ícone com a palavra Jitter. Observa-se que o botão de normalização indicado no ponto 2.2.1.11, onde o valor de pico da PDF é 1, determina se os valores aleatórios no Sub VI “Gerador randômico Gauss” são normalizados ou não. Este efeito determinará a magnitude do jitter no sinal digital.

Neste algoritmo, destaca-se a finalização do *loop*, já que esse possui um seletor fora do *loop*, determinando a saída do programa apenas se apertado o botão de saída. Caso isto não aconteça, continuará na sequência, conferindo a aba seletora do jitter.

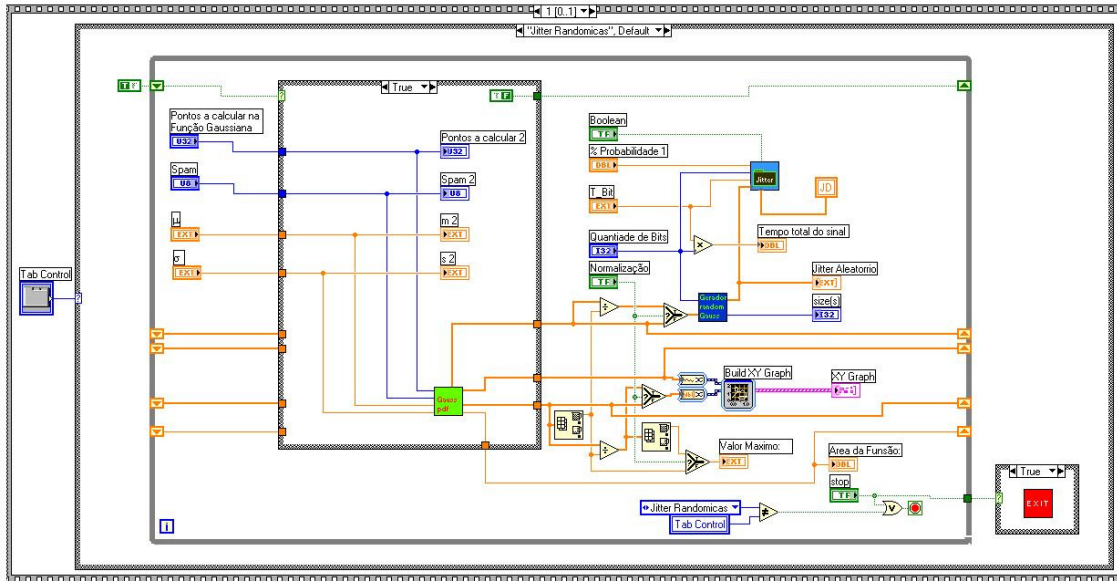


Figura 18 – Algoritmo Jitter Randômico
Fonte: Autoria própria

Quando alguma das opções do painel frontal muda, é executado o caso *true* da estrutura de seleção, e o Sub VI “Gauss PDF” calcula a nova forma da campana gaussiana, armazenando em um vetor os valores da PDF, tal como se destaca na Figura 19. Estes valores são desenhados posteriormente, logo após saírem da estrutura de seleção, mas dentro do mesmo *loop*. Assim, os novos vetores de valores discretos da PDF são processados dentro do Sub VI “Gerador random gauss”, para a formação de um vetor de tamanho igual ao configurado no controlador “Quantidade de Bits” do painel frontal “Jitter Randômica”.

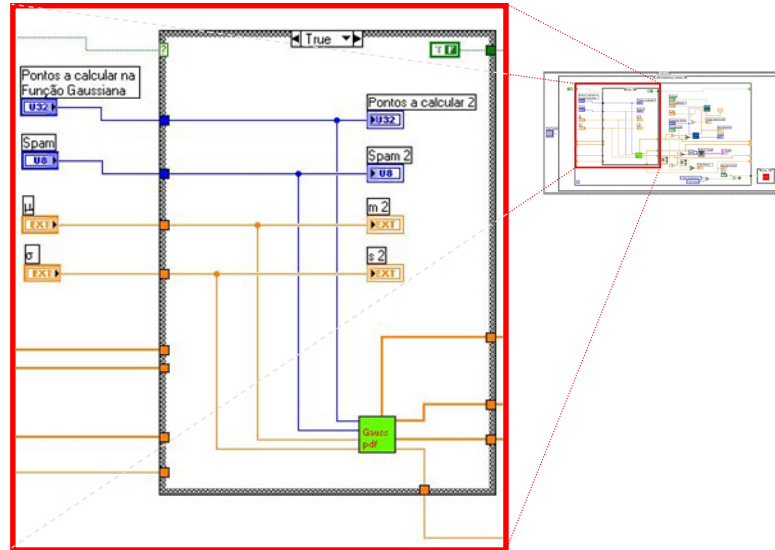


Figura 19- Configuração Função Gaussiana
Fonte: Autoria Própria

2.2.2.1 Sub VI: Gauss pdf

Neste Sub VI é realizado o cálculo da PDF Gaussiana em função de μ , σ , o spam e os pontos totais a calcular. Na Figura 20, descreve-se detalhadamente o Sub VI, destacando o ciclo “for” que itera tantas vezes como esteja configurado o controlador pontos a calcular, descrito no 2.2.1.2, como resolução da PDF.

No processo de desenvolvimento, é criado um painel de depuração próprio do Sub VI que não é acessado durante a execução. O referido painel permite conferir as características da forma de onda da PDF, bem como a polaridade, spam e desempenho de valores gerados num intervalo de tempo (ver Anexo B – Painel frontal, Sub VI “Gauss pdf”). A área da função de distribuição Gaussiana é calculada e é conferido o valor de um dado que, por ser uma função de probabilidade, a somatória das probabilidades deve ser um (Vuolo, 1994). Para alguns casos, em que o spam está mostrando em detalhe um ponto maior que três vezes o σ , a área da função é projetada no indicador descrito no ponto 2.2.1.1, como função Gaussiana.

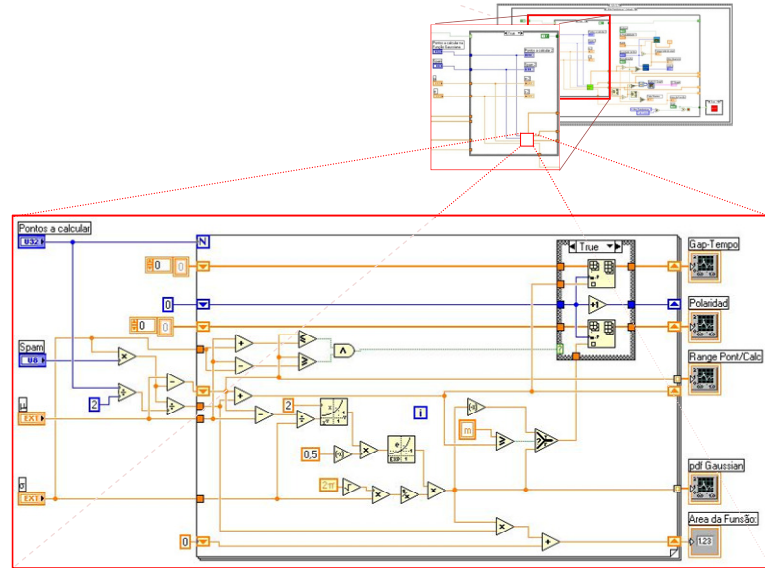


Figura 20- Algoritmo da função PDF Gaussiana.
Fonte: Autoria Própria.

2.2.2.2 Sub VI: Gerador Random Gauss.

O Sub VI tem a tarefa de uma vez executado fornecer um sinal de ruído com características estatísticas gaussianas. O algoritmo que realiza este sinal de ruído gaussiano está apresentado na Figura 21, detalhando que o Sub VI é evocado no código principal do *jitter* randômico da Figura 18. O sinal de ruído retorna do Sub VI numa matriz de valor estendido, com o tamanho definido no controlador do painel frontal descrito no ponto 2.2.1.5 como “Quantidade de Bits a Simular” e com nome da variável “*Waveform Chart*”.

Esse sinal é caracterizado por dispersar os pontos de amostragem do sinal de ruído num fator de quatro, portanto, este motor gerador de ruído gaussiano garante que o valor randômico gerado não seja igual aos quatro últimos valores randômicos.

O algoritmo em questão também abre uma janela na frente do painel principal, quando vai gerar um possível ciclo infinito, já que o motor de geração gaussiano, depois de dez tentativas de gerar um valor aleatório diferente dos últimos quatro, poderia estar frente a dois possíveis casos: primeiro, que esteja ante a um evento casual, mas que, rodando de novo, o programa estaria superando tal casualidade; ou segundo, que o tamanho da matriz com os valores da função gaussiana (os quais, no caso, encontram-se na variável “*Array 2*” e são selecionados

aleatoriamente) seja de um tamanho que estreite as opções de aleatoriedade, como pode ocorrer um tamanho de 8. Para garantir um desempenho apropriado, utiliza-se uma relação de pelo menos 1:1 para o tamanho da matriz randômica e da matriz “Array 2”.

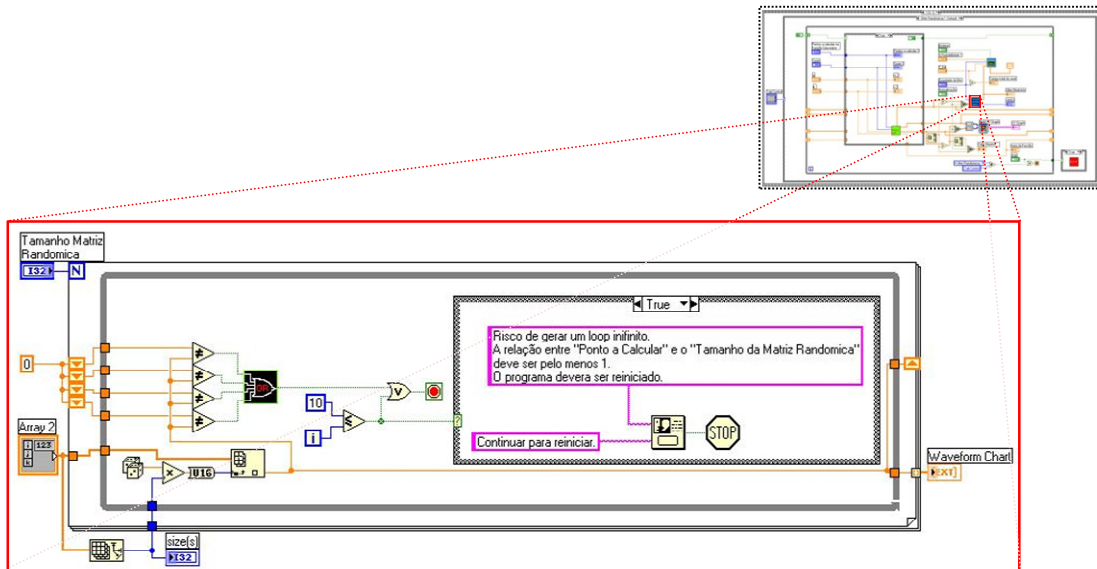


Figura 21 – Algoritmo Sub VI Gerador Randômico Gaussiano
Fonte: Autoria Própria.

Da mesma forma, esse Sub VI possui um painel de depuração que não é apresentado quando roda o programa principal, mas que para efeitos da validação dos processos é de fundamental importância (vide Anexo C). Entre os dados, que são possíveis de observar no referido painel, estão os valores dispersos em fator de quatro, e a figura do sinal de ruído dentro os limites da amplitude, que será somada com o tempo, no tempo de bit. Portanto, para cada bit será somado um valor calculado na matriz deste Sub VI, formando uma função sobrejetora (Gersting, 2004).

2.2.2.3 Sub VI Jitter Maker:

Este Sub VI concatena as informações tanto do jitter randômico como do jitter determinístico e cria a estrutura do arquivo na formatação de OrCAD, que posteriormente será salvo só se o botão “Gerador de Arquivo”, descrito no 2.2.1.9, estiver ativado. Com a ativação deste botão, o algoritmo apresenta as janelas de exploração do Windows para armazenamento do arquivo gerado e, na sequência, é

lançada a tela do relatório final das características do jitter. Na Figura 22, é apresentado em destaque o algoritmo que utiliza um ciclo for para concatenar um a um os valores das matrizes que compõem o JP e o JR. A estrutura de sequência também revela como, sequencialmente, é salvo o arquivo, a janela de sucesso ou não, na gravação, e a chamada janela de Relatório do Jitter, que é designada por um Sub VI, assim como a geração randômica dos bits.

O Algoritmo está composto principalmente por três sub VI: Sub VI Conversor de Número a *String*, Sub VI Configura Cabeçalho de Arquivo e Sub VI Relatório Final, que serão descritos a seguir.

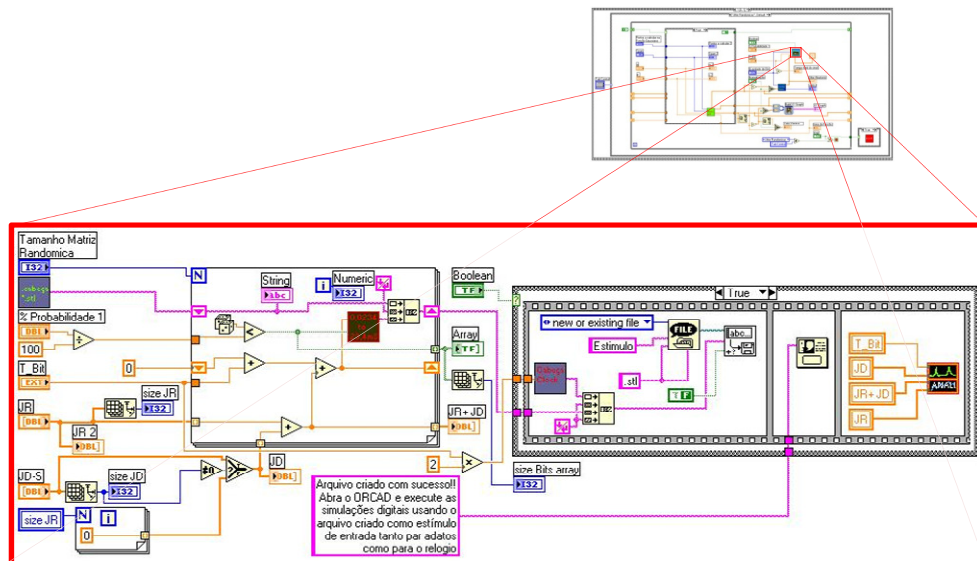


Figura 22- Algoritmo Sub VI Jitter Maker.
Fonte: Autoria própria.

2.2.2.4 Sub VI Conversor de Número para *String*

Este Sub VI realiza a conversão de um dado numérico em formato estendido para uma representação do mesmo em ASCII, incluindo no final o sufixo respectivo do Sistema Internacional de medida. Portanto, já fornece os valores em texto com a correta interpretação das unidades, para que este seja incluído nas informações do arquivo a criar.

Como base do algoritmo está colocado um ciclo “*while loop*”, que procura

comparativamente o grau do valor a converter e, desse jeito, termina o condicional do ciclo. Posterior ao processo descrito, são adicionados os símbolos ASCII próprios da formatação do arquivo de OrCAD.

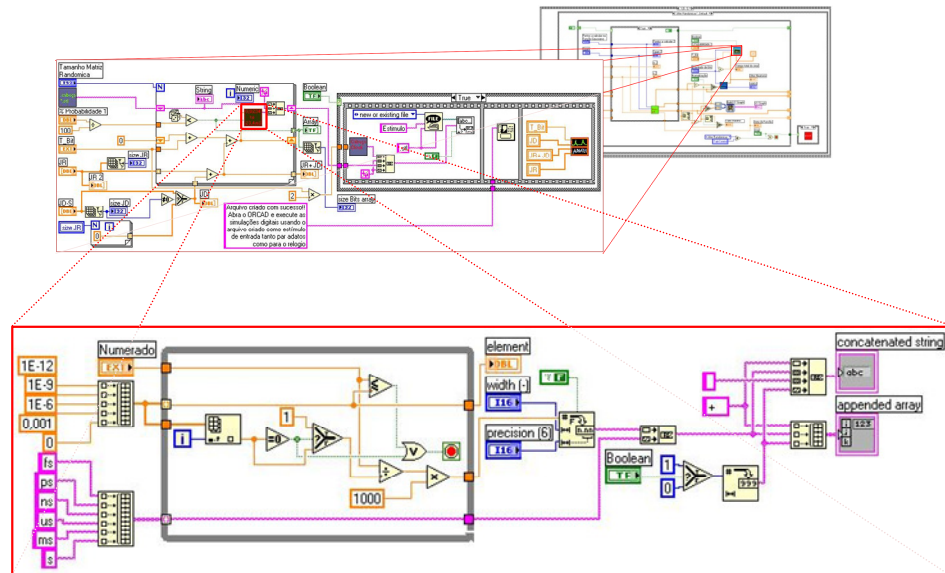


Figura 23 – Algoritmo Sub VI Conversor de Numero a *String*.
Fonte: Autoria própria.

Na Figura 24, representa-se a conversão do número 0,0001007536, que está num tipo de dado numérico para um dado *string* “10,075us” e, posteriormente, lhe é concatenado o símbolo “+” na frente juntamente com o valor do bit gerado no Sub VI Jitter Maker, descrito no ponto 2.2.2.3, valor final em ASCII: “+10,075us 0”. Nota-se que o ultimo caráter indica o valor lógico do sinal e no caso da Figura 24, é representado um nível de zero “0”, gerado randomicamente.

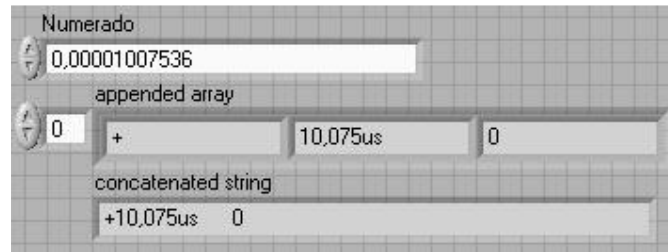


Figura 24 – Conversão de número a String com SI.
Fonte: Autoria Própria

2.2.2.5 Sub VI Configura Cabeçalho de Arquivo

Neste Sub VI, são realizadas as tarefas de concatenação das mensagens de cabeçalho que não são propriamente diretivas do arquivo, mas que devem ser consideradas como o carimbo de autenticidade do software. Na Figura 25, observa-se como é realizada a concatenação de *strings* para formar o cabeçalho. Dois Sub VI da mesma natureza convertem a variável “*number*”, a qual possui o Tempo de Bit para configurar um sinal de clock de referência no mesmo arquivo de OrCAD que estimulará os circuitos detectores de fase digital. Esta configuração do relógio está descrita na linha a concatenar “.STIMULUS Clk STIM (1,1);!CLOCKP”, na mesma figura.

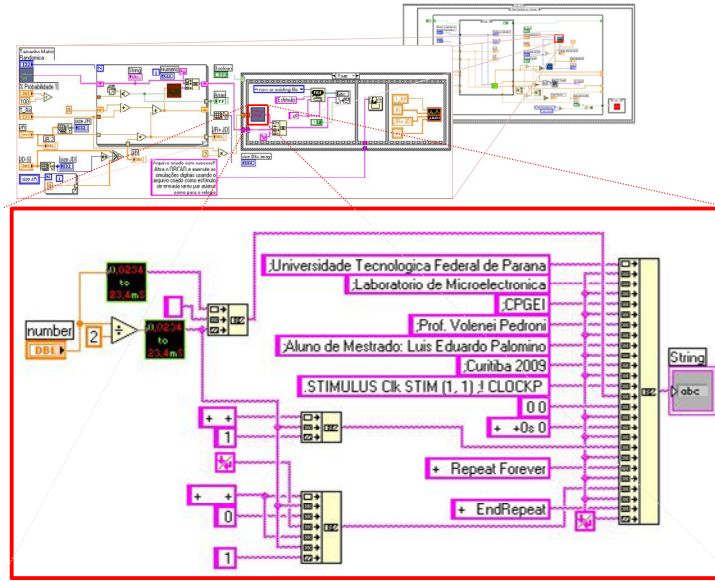


Figura 25 – Algoritmo de Concatenação de cabeçalho
 Fonte: Autoria própria

2.2.2.6 Sub VI Relatório Final

Este Sub VI abre uma janela depois de estar armazenado o arquivo com as informações do jitter. O código, que está representado na Figura 26, tem como funcionalidade as ferramentas de análise e medição de LabVIEW, FFT, geração gráfica da análise do Espectro de Potência, o valor RMS, e as características estatísticas do sinal do jitter.

No algoritmo, observa-se uma estrutura de sequência com dois estágios: o primeiro realiza as medições e alguns ajustes para melhorar a visualização dos resultados gráficos, como o ajuste automático do eixo X, e o segundo é a captura do relógio do sistema que referenciará os sinais no tempo. Vide anexo C, para verificar o exemplo desta janela de relatório.

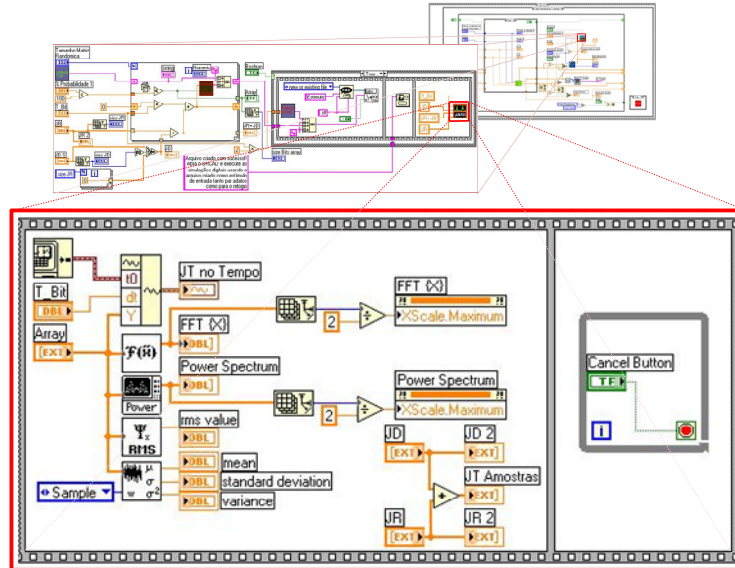


Figura 26 – Código Relatório Final.
Fonte: Autoria Própria.

2.3 Jitter determinístico

2.3.1 Painel Frontal para o Jitter Periódico

O painel do Jitter determinístico configura o Jitter Periódico, dado que este é o Jitter de maior interesse para o autor e complexidade no efeito geral na sequência de bits, proporcionando para cada um dos bits configurados no ponto 2.2.1.5 um fator de JP.

Neste painel, é possível desativar no JP a diferença do JR, que sempre será configurado. Para realizar uma simulação de bits com JR, principalmente, é escolhido na aba de jitter randômico um Jitter mínimo, colocando no controlador de σ a ordem dos femto segundos⁶.

Uma vez clicado no botão “Gerador JP”, indicado na Figura 27, o tempo de execução neste painel será proporcional ao valor da quantidade de bits, o T_b , e do sistema computacional que estiver rodando a simulação. Por exemplo, para simular o jitter periódico de 1Hz para aplicar em 10Mbits, $1\mu s$ de T_b num computador de

⁶ Um femto segundo é equivalente a $1fs = 0,000000000000001 = 1E-15$).

núcleo duplo, o tempo de execução é de aproximadamente 8 minutos.

A seguir serão descritos os botões que compõem o painel.

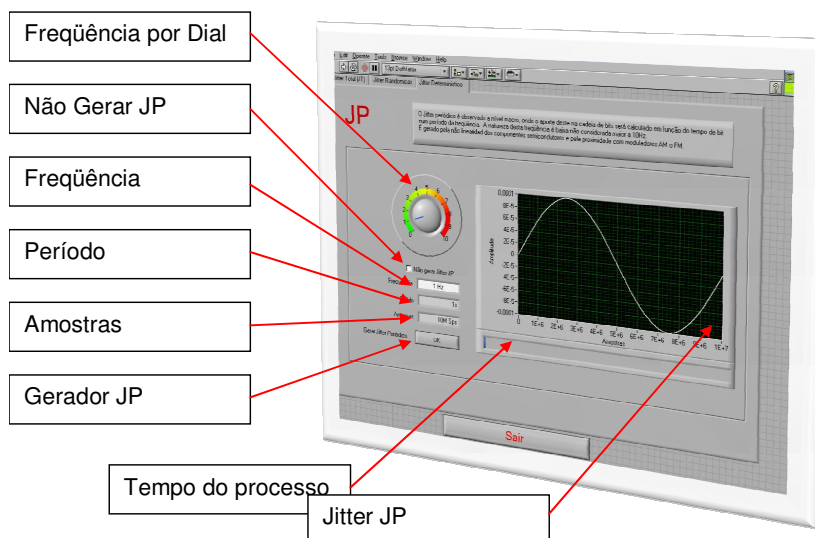


Figura 27 - Painel Frontal de configuração do Jitter Total
Fonte: Autoria própria

2.3.1.1 Frequência por Dial

Com este dial, é configurada a frequência do JP. A natureza dessa frequência é baixa, tal como é indicado no ponto 1.6.2.8, portanto o dial oferece a opção de posicionar o dial de 1Hz até 10Hz. O valor padrão é de 1Hz.

2.3.1.2 Não Gerar JP

Ativar este controlador binário indicará que não será somado o efeito do JP no sinal com JR. Caso contrário o *software* combinará os efeitos dos jitter configurados. O valor padrão é desativado.

2.3.1.3 Frequência

É um controlador concatenado com o dial, controlador da frequência do ponto 2.3.1.1. Isto implica que o controlador da frequência também pode ser este

controlador, e as mudanças serão refletidas no dial.

2.3.1.4 Período

Este indicador apresenta o período do sinal configurado em segundos. Não representa o total do tempo que será simulado o sinal.

2.3.1.5 Amostras

O Indicador de Amostras apresenta a quantidade de valores que será necessária para aportar proporcionalmente os efeitos do jitter em cada um dos bits simulados e definidos no ponto 2.2.1.5. O valor padrão depende, portanto, dos valores configurados no painel Frontal para o Jitter Randômico. Assim, o valor deverá ser 10M Sps⁷.

2.3.1.6 Gerador de JP

Botão que permite validar os valores anteriormente configurados nesta seção 2.3. O *software* calculará o aporte de cada um dos bits num tempo que estará em função do tipo de computador, quantidade de bits e amostras por segundo (Sps).

2.3.1.7 Tempo do Processo

O tempo de processo indica, numa barra, o avanço em tempo relativo, até o *software* calcular o JP.

2.3.1.8 Jitter JP

Este indicador gráfico apresenta o Jitter periódico de acordo como é configurado. Para efeitos práticos, foi assumida uma forma de onda senoidal para todos os casos.

⁷ 10MSps deve ler-se dez *mega samples per second*

2.3.2 Código do Jitter Periódico

O código do JD está dentro de uma estrutura “*while loop*”, controlado pelo botão de parada e pelas abas de seleção do jitter, tal como é apresentado na Figura 28. Assim, dentro desta estrutura, os valores dos controladores de Tempo de Bit, Quantidade de Bits e Frequência estão presentes ante a estrutura condicional binária para serem processados uma vez que o botão “Gerador JP”, descrito no ponto 2.3.1.6, esteja em estado verdadeiro ou ligado.

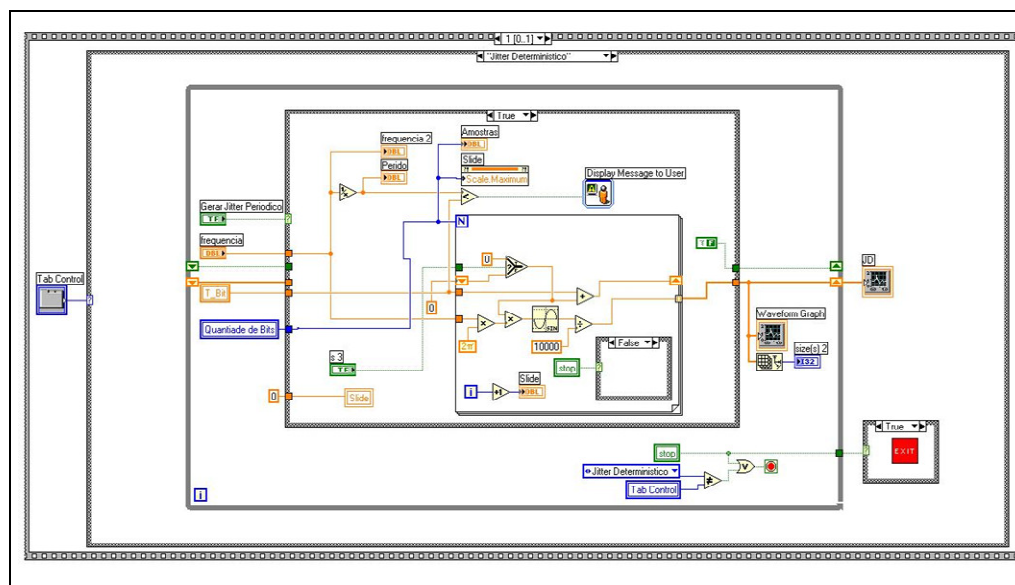


Figura 28 – Algoritmo Gerador do Jitter Determinístico
Fonte: Autoria própria

Uma vez dentro da estrutura, na condição de verdadeiro, é calculado o período do sinal senoidal, de acordo com o configurado no controlador “Frequência por Dial”. Posteriormente, são ajustados os eixos da figura “jitter periódico”, descrito no ponto 2.3.1.8. Deste modo, a estrutura “*for*” calcula para cada bit uma fração do JP e armazena o resultado numa matriz de tamanho igual ao dos bits a calcular. Neste mesmo *loop*, é monitorado o botão de saída e, proporcionalmente, incrementado o tempo de processo referenciado no ponto 2.3.1.7.

A estrutura de saída, que é executada uma vez clicada numa aba diferente do JD ou pelo botão de saída, é controlada só pelo botão de parada com uma função que, para efeitos de depuração, permitirá parar o programa ou sair do programa.

3 CIRCUITOS DETECTORES DE FASE DIGITAIS

Os circuitos detectores de fase (DF) são a linha de frente dos sistemas de recuperação de relógio ou, em inglês, Clock and Data Recovery (CDR). Estes, por sua vez, representam uma função crítica em *transceivers* para altas velocidades em aplicações assíncronas e vulneráveis ao Jitter, como as comunicações ópticas, interconexão de *chip a chip* e sistemas de roteamento *backplane* (Razavi, 2002).

Os propósitos dos detectores de fase digital são dois: a detecção da transição dos dados e a detecção da diferença de fase com relação ao oscilador local. Para detectar a mudança de borda, segundo o dado em *Rx*, é usado um Flip-Flop D (FFD) que, ativado pela borda de subida, permite comparar, numa comporta X-OR ligado ao pino de entrada e ao pino de saída do FFD, um pulso com o tempo de diferença de sincronismo dos dados e do oscilador local, tal como acontece no detector de fase básico apresentado na Figura 29 (Razavi, 2002).

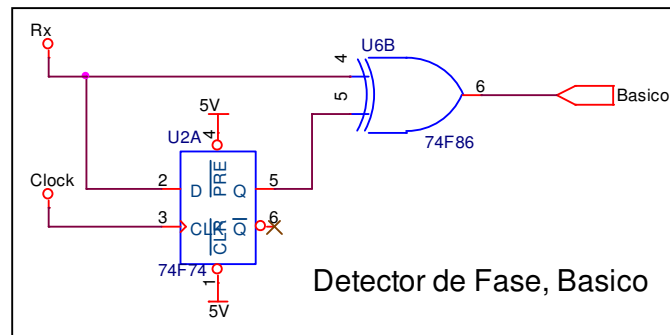


Figura 29 – Detector de fase básico, dois componentes
 Autoria: Adaptado de (Razavi, 2002)

3.1 Detector de Fase Hogge

Sensível ao *jitter* pela diferença de ciclo útil descrito no ponto 1.6.2.7, o DF Hogge utiliza dois FFD's, permitindo a sincronia na borda da subida e da descida do oscilador local e possibilitando que o sinal digital de dados que entra no DF seja lido no médio tempo do bit, ou $T_b/2$, mediante o uso do VCO, controlado linearmente. (Hogge C.R., 1985). Note-se que o DF Hogge produz um pulso para o bit recebido, e

que varia linearmente com a diferença de fase entre o dado e o relógio local, evidenciado na saída do DF Hogge_A e Hogge_B na Figura 30. Nos sistemas do CDR, a saída responde linearmente à variável de entrada (Razavi, 2002). Esta linearidade evidencia-se quando são colocadas duas portas X-OR de duas entradas cada, com os pinos na entrada e na saída dos FFD, tal como é apresentado na Figura 30.

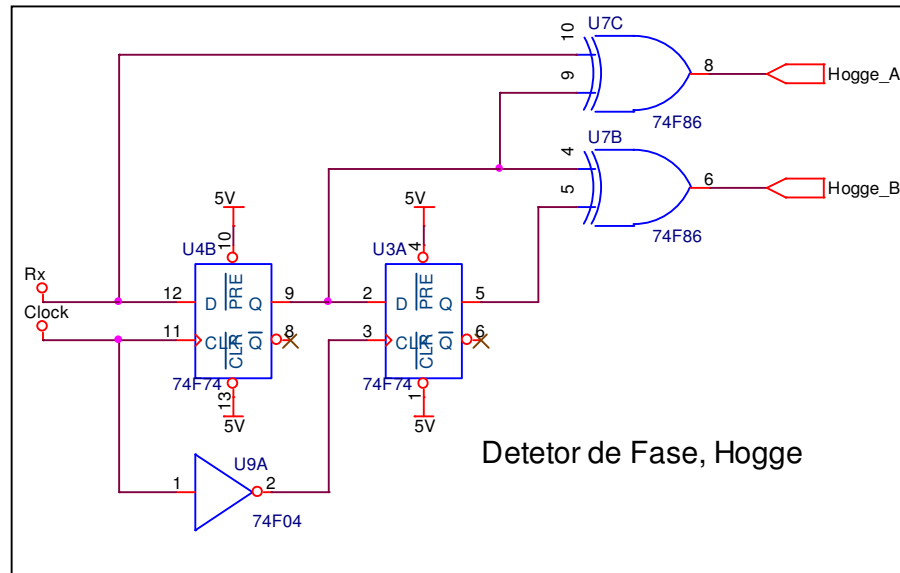


Figura 30 – Detetor de Fase Hogge
Fonte: Adaptado de (Hogge C.R., 1985)

Um problema que evidencia os DF Hogge está no fato de exigir a mudança nos bits de entrada, já que uma sequência de bits no mesmo valor lógico poderia gerar uma atuação errada do PLL e, claro, uma recuperação errada dos próximos dados.

3.2 Detetor de fase Alexander

O DF Alexander possui uma frequência de sincronismo duas vezes a frequência dos dados de entrada, o que é igual a afirmar que possui um oscilador pelo menos com período $T_b/2$, possibilitando, à diferença do DF Hogge, medir se a fase do oscilador local está adiantada, atrasada ou se não há atividade na entrada dos dados digitais binários.

Na Figura 31, descreve-se a arquitetura do DF Alexander utilizando-se um método chamado “detecção adiantada - tardia”, servindo-se dos FFD como retardadores e, ao mesmo tempo, como memória, três FFD excitados com a borda de subida e um FFD com borda de descida, sendo notório o efeito retardador de U5B, em $T_b/2$. Observa-se, na mesma figura, como o monitoramento da fase nos FFD é realizado com o mesmo princípio do DF Hogge, utilizando duas comportas X-OR, as quais possuem um pino comum que no caso, é a referência central da detecção no pino 5 do circuito integrado (CI) U6A, identificado como S_2 , os pinos 5 do U10A como S_3 , e o pino 5 do U5A como S_1 . A saída *A* indica, com um pulso positivo e proporcional ao T_b , se a borda de subida do oscilador local está após a fase dos dados; a saída *B*, por sua vez, indica, com um pulso das mesmas características, se a borda de subida do oscilador local está antes da fase dos dados e quando tanto *A* como *B* estão num nível baixo, indicarão que não há atividade de chaveamento nos bits.

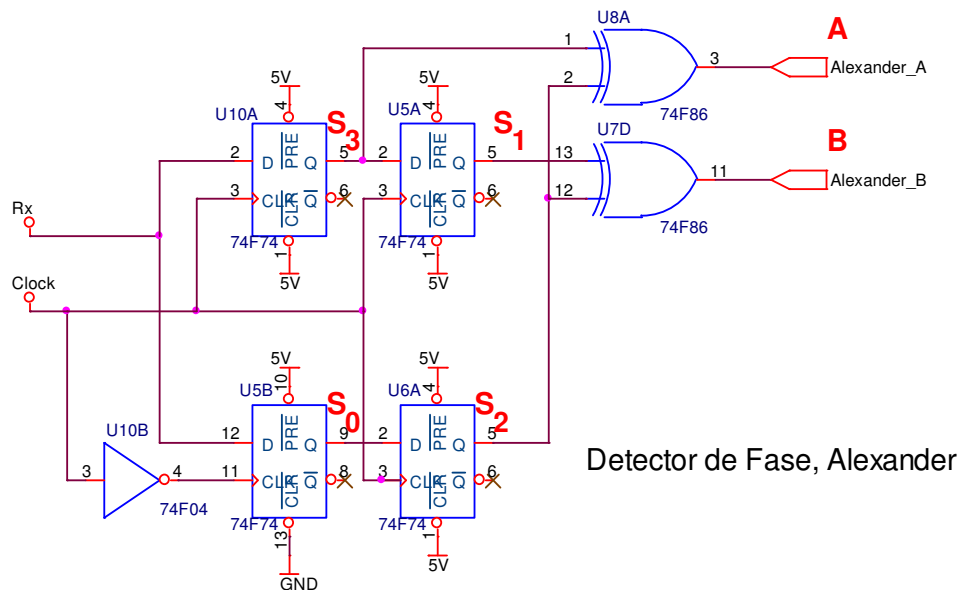


Figura 31 – Detetor de fase Alexander
Fonte: Adaptado de (Razavi, 2002).

Para perceber se a fase do oscilador local está sendo detectada prematuramente à fase do dado de entrada, deve-se observar que a amostragem feita pelo FFD U5A, na Figura 31, é diferente das próximas duas, assim como representa a equação (7). Consequentemente, se a fase do oscilador local estiver

tardia ou posterior à fase dos dados entrantes, S_1 e S_2 , seriam iguais, mas diferentes ao sinal amostrado por S_3 (Razavi, 2002), tal como é apresentado na equação

(8).

A lógica, que identifica o fato de não haver sinal digital de entrada comutando é que o sinal, quando está em um ciclo do oscilador, tem as entradas e saídas dos Flip-Flop constantes, assim como é apresentado na equação (9). Logo, as portas X-OR's vão manter o valor igual ao valor de zero lógico.

- Se $((S_1 \oplus S_2 = 1) \wedge (S_2 \oplus S_3 = 0) | A \text{ fase está tardia})$ (7)

- Se $((S_1 \oplus S_2 = 0) \wedge (S_2 \oplus S_3 = 1) | A \text{ fase está adiantada})$ (8)

- Se $(S_1 \oplus S_2 = S_2 \oplus S_3 | O \text{ valor na entrada é constante})$ (9)

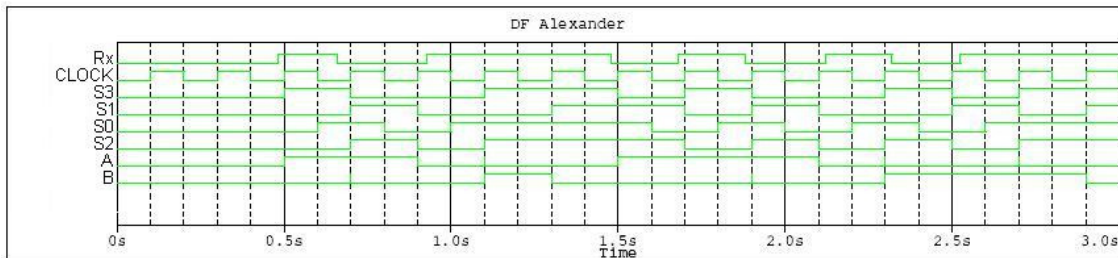


Figura 32 – Simulação DF Alexander
Fonte: Autoria Própria

3.3 Desenho dos detectores de fase

Os circuitos detectores de fase são desenhados em OrCAD, como mostra a Figura 33 – Desenho detectores de Fase Digital Figura 33, que apresenta os três modelos de DF em evidência. Observa-se que os detectores de fase possuem duas entradas, uma indicada como “Rx”, que permite simular os dados de entrada aos detectores de fase, e o pino de entrada, indicado como “Clock”, que simula um oscilador local sem o efeito do PLL. Nesta mesma figura, destaca-se a presença dos dois componentes de estímulo digital ou, em inglês, Digital Stimulus (DSTM).

A tecnologia utilizada para modelar os DF é *Advanced Low-Power Schottky*

Logic (ALS) e é caracterizada por ter tempos de chaveamento de 10nS, cujas referências sobre todas as famílias estão na biblioteca de PSpic (Nolan, Stephen M.; Soltero, Jose M., 2003). Vide Anexo E, para contextualizar a família ALS no geral.

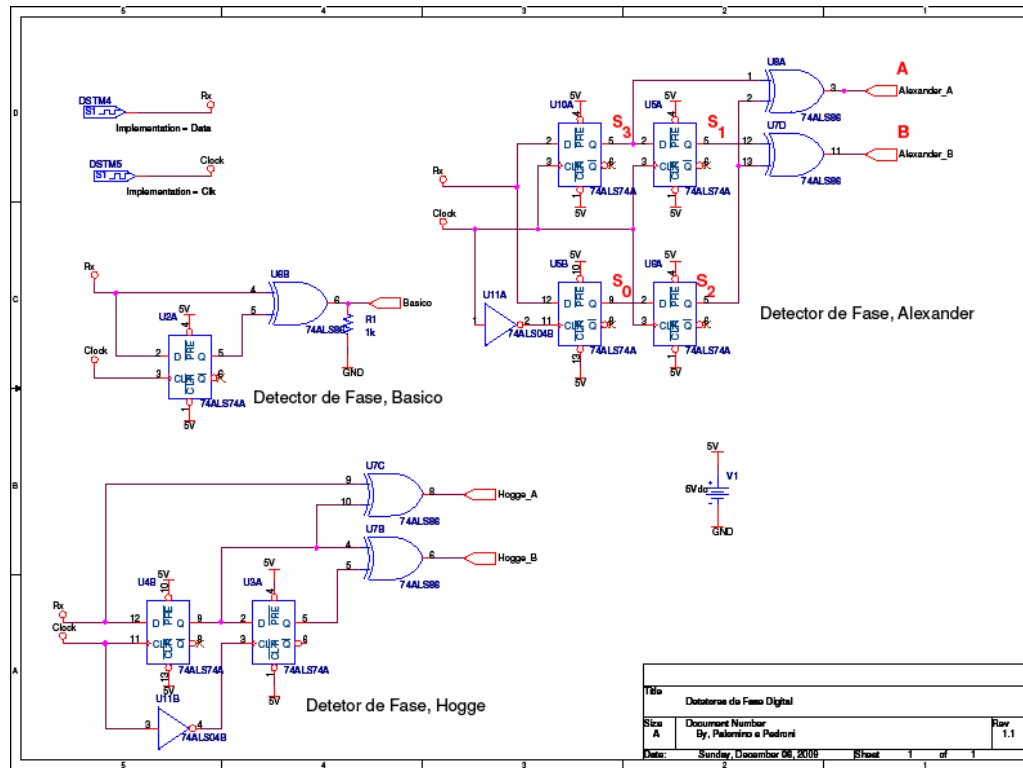


Figura 33 – Desenho detectores de Fase Digital
Fonte: Autoria Própria

4 SIMULAÇÕES E ANÁLISE DOS RESULTADOS

Para validar a existência da geração do JR e do JD foram consideradas as medidas geradas na simulação do *jitter* no BGJ, e deste modo foi conferida a detecção do sinal com jitter, mediante a simulação dos detectores de fase Hogge e Alexander.

As primeiras simulações foram geradas evidenciando-se o JR e o JD, com as configurações no BGJ, assim como indica a Tabela 2. Nela, pode se observar que a coluna indicada com Jitter 1 está configurando o BGJ, para evidenciar o Jitter determinístico. O valor Rms indicará a amplitude do Jitter, ou seja, $1U_{RMS}$ para este caso.

Tabela 2 – Configuração e simulação do JR e JD no BGJ

		Jitter 1	Jitter 2	Jitter 3	Jitter 4	Jitter 5	Jitter 6
JR	Pontos a calcular, Função Gaussiana	10000	10000	10000	100	100	100
	μ	0	0	0	0	0	0
	σ	2,00E-06	1,00E-03	1,00E-15	1,00E-12	5,00E-03	1,00E-15
	Normalização	1	1	1	0	0	1
	Quantidade de Bits	1 KBits	1 KBits	1 KBits	10 KBits	10000 MBits	10,000 KBits
	Tempo de Bit	1,00E-04	1,00E-03	1,00E-03	1,00E-12	1,00E-06	1,00E-06
JP	Frequência	0 Hz	1 Hz	10 Hz	10 Hz	100 Hz	100 mHz
	Amostras	0 KSps	1 KSps	1 KSps	10 KSps	10 KSps	10 KSps
Resultados	Valor rms	7,07E-05	7,10E-05	7,10E-05	3,64E-11	7,91E-08	3,63E-07
	1 UI =	0,0001	0,001	0,001	1E-12	0,000001	0,000001
	UI	0,0002	0,0011	0,0011	2,00E-12	1,08E-06	1,36E-06
	Valor médio	2,86E-05	8,88E-13	-3,16E-14	3,15E+13	7,19E-06	3,14E-07
	Desvio Padrão	7,07E-05	7,07E-05	7,08E-05	1,81E-11	7,88E-05	1,81E-07
	Variância	5,00E-09	5,01E-09	5,10E-09	3,19E-13	6,20E-09	3,29E-17

Fonte: Autoria Própria

A seguir, será realizada a interpretação de cada um dos casos de jitter mostrados na Tabela 2, tanto com o relatório do BGJ como a simulação dos detectores de fase em OrCAD.

4.1 Caso: Jitter 1

A simulação do Jitter 1 gerou o relatório indicado na Figura 34, onde se evidencia a presença única do JR na análise espectral de potência do sinal gerada, colorida em vermelho. Esta técnica gráfica permite destacar as frequências e harmônicos misturados nos primeiros 500Hz.

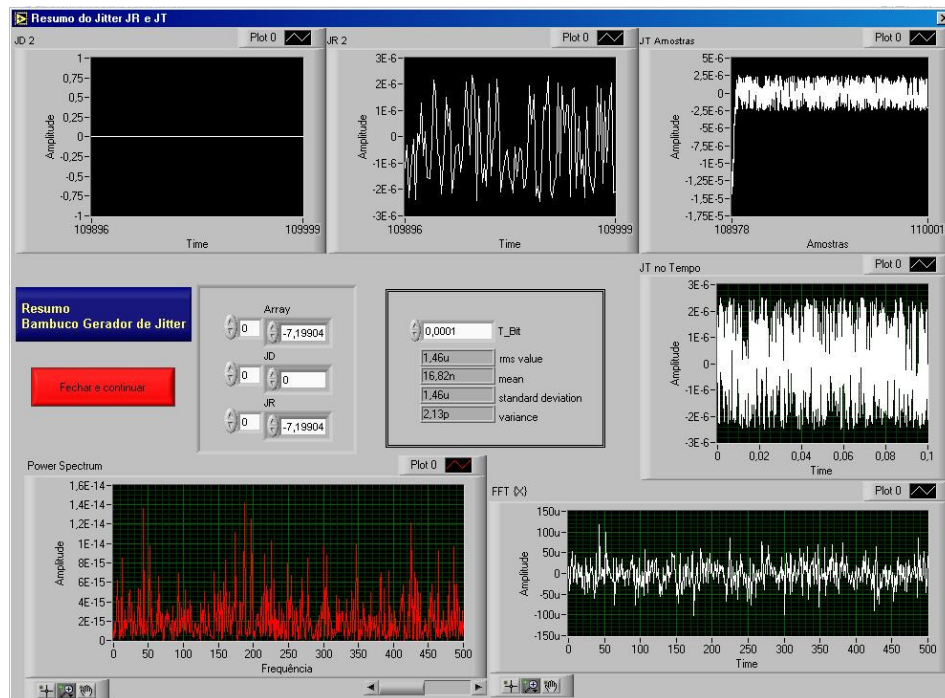


Figura 34 – Relatório Jitter 1 do BGJ.
Fonte: Autoria Própria

Na Figura 35, observa-se o resultado da simulação do sinal digital gerado com o BGJ. Pode-se observar, por meio da largura do pulso, como o detector de fase básico indica quando há atividade no *Rx* e se está ou não em fase. Esta largura de pulso é a informação que será transmitida ao VCO, passando pelo filtro, tal como está indicado na Figura 2. O ponto ideal que o PLL terá de procurar no controle do sistema está determinado pelo $T_b/2$, ou seja, exatamente o ponto da leitura do bit. Portanto, o referido sinal do DF Básico será utilizado no PLL como sincronismo para a leitura dos bits.

No caso do DF Hogge, nesta mesma simulação da Figura 35, as duas saídas

são monitoradas com *Hogge_A* e *Hogge_B* mostrando, além das mesmas informações do detector Básico, a diferença entre o *Clock* e *Rx*, isto é, o circuito é sensível a cada borda do *Rx*. Observa-se que a saída é linearmente proporcional em largura de pulso à diferença de fase, portanto os pulsos são proporcionais ao defasamento dos sinais. Já o detector Alexander, monitorado com *xander_A*, indica se a fase do *Clock* está em atraso em relação a *Rx*, e *xander_B*, que indica a situação contrária à detecção da fase em modo adiantado.

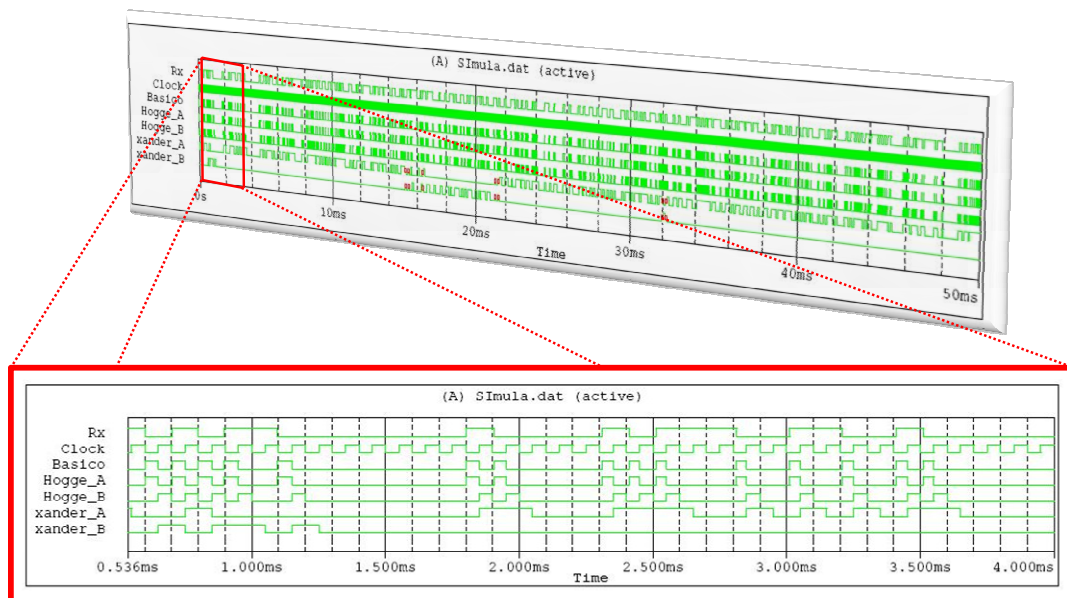


Figura 35 – Simulação Jitter 1
Fonte: Autoria Própria

4.2 Caso: Jitter 2

O relatório do BGJ está indicado na Figura 36, o qual evidencia a preponderância do JD ante o JR, que de qualquer modo existe, mas com níveis que conduzem a desconsiderar o JR de acordo com a medição espectral do jitter e do mesmo indicador de JR. O sinal senoidal está no indicador espectral do Jitter com uma frequência de 1 Hz. Neste caso, o valor do Jitter estaria carregado ao JD, que é gerado por um sinal de 1 Hz, sendo, portanto, o $T_b=1$ ms. Define-se o Jitter como o tempo que aporta o JD a cada um dos bits, isto é, durante um segundo, cada bit terá um aporte a mais em médio ciclo da função, a menos no último, devido a natureza da função senoidal do JD. O valor máximo da função é de 100 μ s, portanto o valor

médio do tempo de bit será de 1,1 ms.

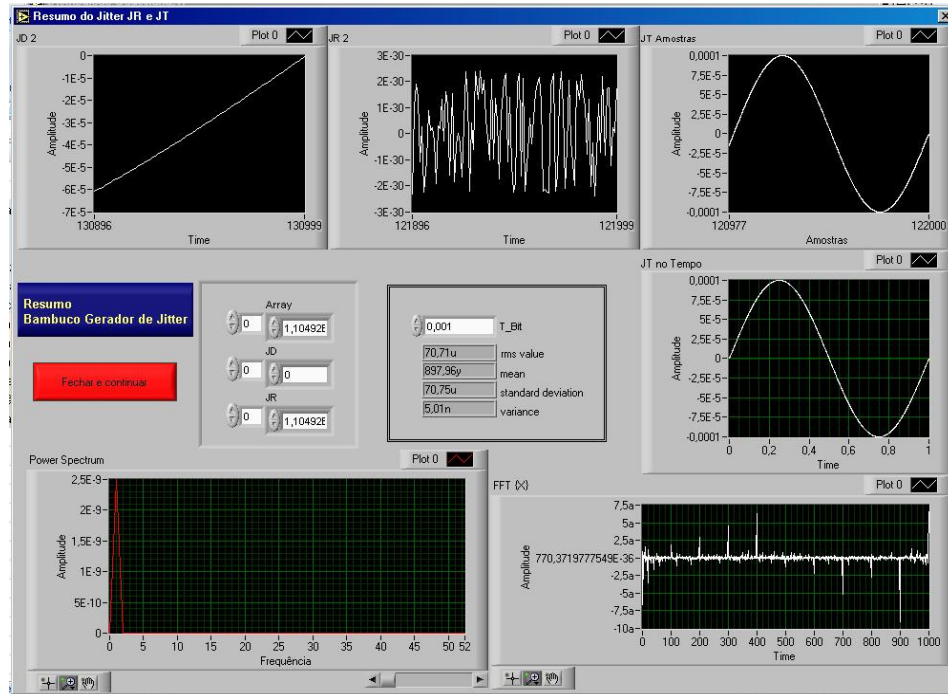


Figura 36 - Relatório Jitter 2 do BGJ.
Fonte: Autoria Própria

Na Figura 37, é apresentado o resultado da simulação dos detectores de fase digital, onde evidentemente os detectores de fase *Básico*, *Hogge* e *Alexander* estão detectando um comportamento periódico na fase do sinal Rx. Este comportamento periódico está em evidencia, observando o padrão definido pela densidade dos pulsos em cada saídas dos detectores de fase.

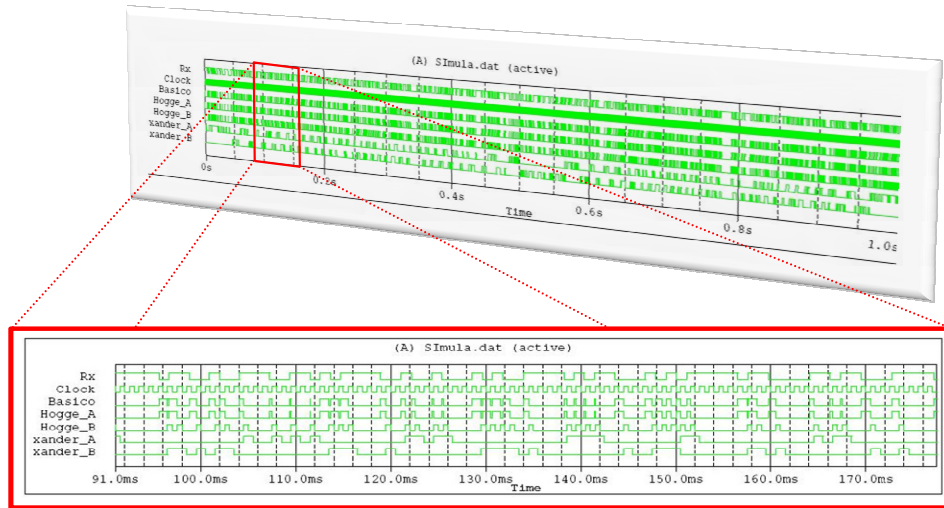


Figura 37 – Simulação Jitter 2
 Fonte Autoria Própria

4.3 Caso: Jitter 3

Na Figura 38, é apresentado o relatório do BGJ em um cenário onde o valor do JD é de 10 Hz, com um valor oscilante de $\pm 100 \mu\text{s}$ e um JR comparado em um tamanho dez mil vezes menor, pelo que é invisível à primeira observação do indicador de JP. O indicador *Power Spectrum* está efetivamente mostrando uma frequência de 10 Hz, onde a energia é maior.

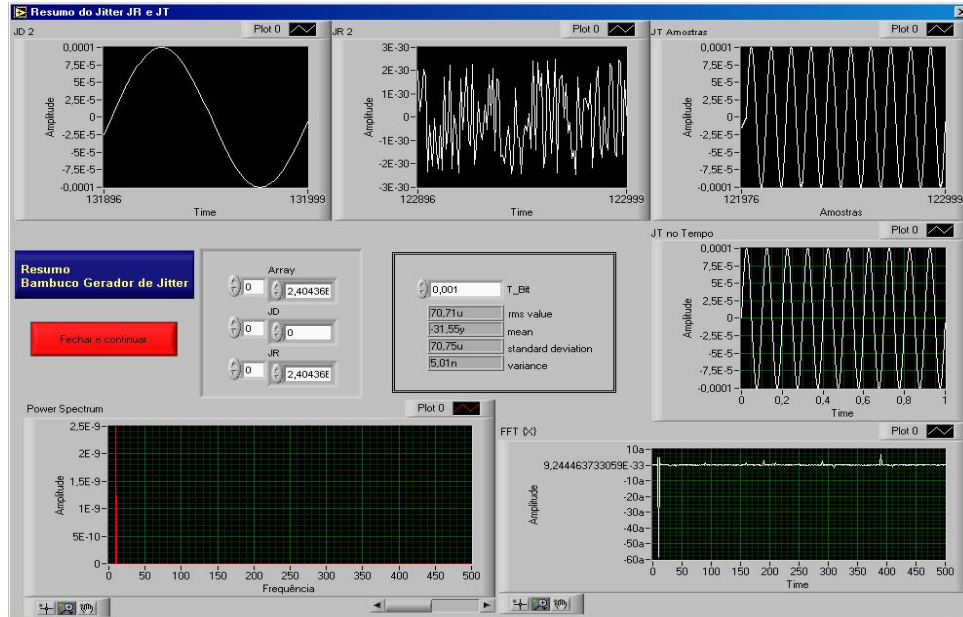


Figura 38 – Relatório Jitter 3 do BGJ
Fonte: Autoria Própria

Na Figura 39, é apresentada a resposta dos detectores de fase onde, apesar de Rx também ter um jitter oscilante, no JP, entre os 68 ms e os 70 ms, os dois níveis estão em 1 lógico do DF Alexander, monitorado com o sinal *xander_A* e *xander_B*, indicando que a perda de sincronismo é total, ao ponto que coincide a borda de subida do *Clock*, que é a borda de sincronismo para a leitura dos bits, com a borda de *Rx*.

Nesta mesma simulação, as manchas vermelhas são consideradas pontos mortos para a tomada de decisão, dada igualmente a coincidência das bordas de sincronismo dos FFD e de *Rx*.

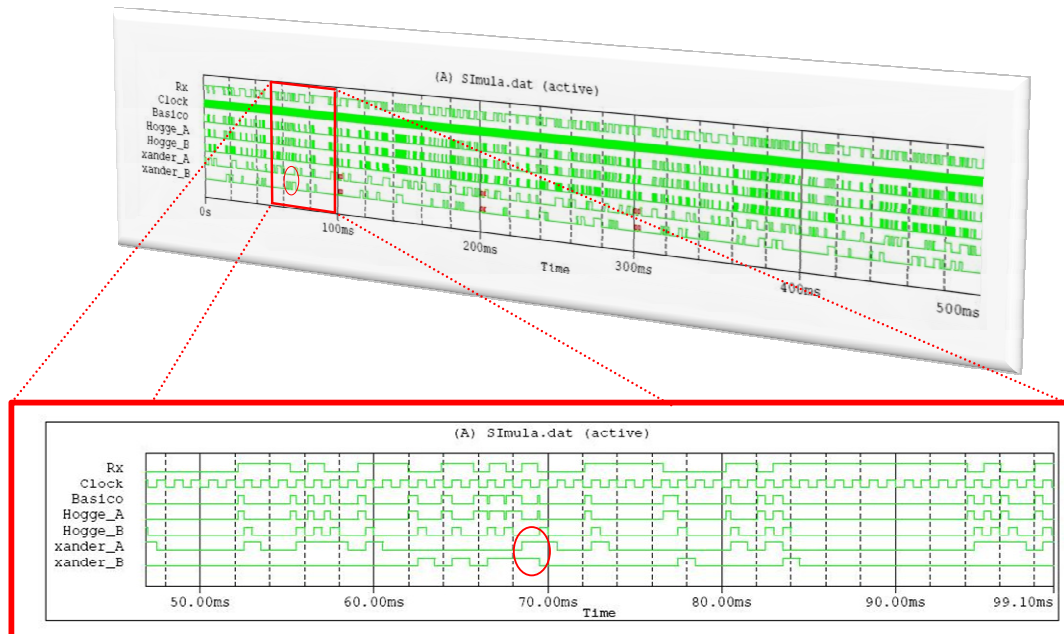


Figura 39 – Simulação Jitter 3
Fonte: Autoria própria

4.4 Caso: Jitter 4 e 5

Neste caso, deve-se observar que os resultados obtidos são os mesmos da simulação 6 com menor quantidade de bits a simular, por tanto deverão ser desconsideradas as simulações acima de 1Gbps. Assim poderá se considera simulações onde o poder computacional diminui.

4.5 Caso: Jitter 6

No relatório do Jitter 6, apresentado na Figura 40, os valores expostos de jitter são extremamente baixos comparados com o $T_b=1\mu s$. Os valores do JT estão indicando o valor RMS de 362,73 ns que, comparado com o tempo de bit, garante um refinamento contínuo do sincronismo. O indicador JD, que neste caso é representado pelo J, aparece como uma fração do período do sinal senoidal, determinado pelo tempo de simulação do sinal de 10 ms, quando o período do sinal é de 1 s. Cabe notar mais uma vez que a frequência está sendo medida no espectro de potência com harmônico principal e único do JD de 1Hz.

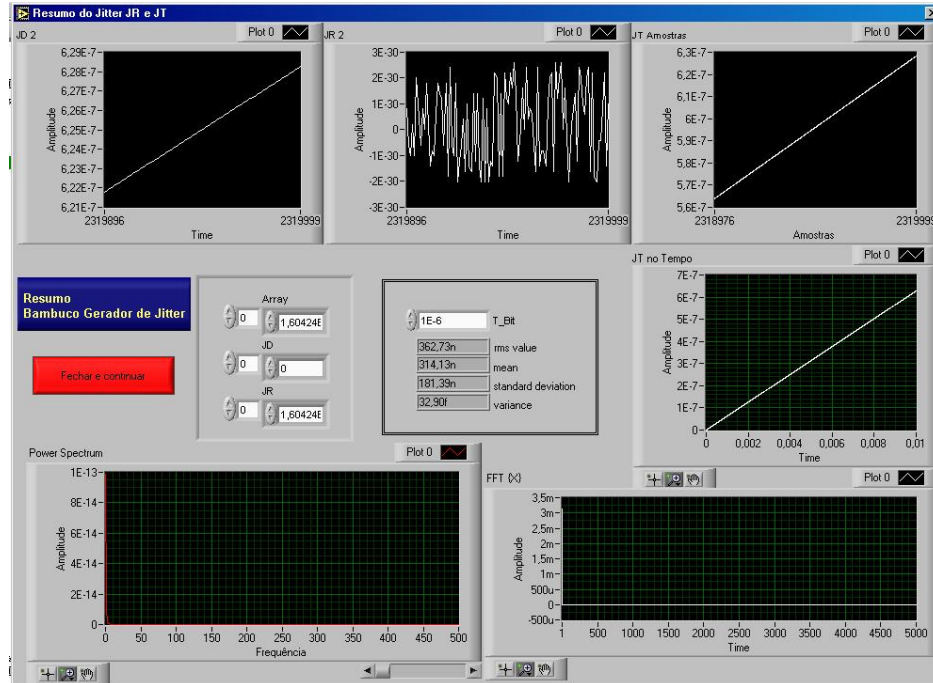


Figura 40 – Relatório Jitter 3 do BGJ
 Fonte: Autoria própria

Na Figura 41, o efeito de ter JT com valores de JD e JR baixos em comparação com o tempo de bit gera uma cadeia de pulsos em cada uma das saídas dos DF. Assim, o desempenho do DF determinará no VCO o mínimo ajuste para que o sincronismo seja no $T_b/2$. Nesta simulação, destaca-se, nos sinais do DF Hogge e DF Alexander, que o chaveamento na detecção dos dados sem o sistema PLL que ajusta o $T_b/2$, gera uma densidade de erros acumulados que terminarão evidenciando se pela largura do pulso detector.

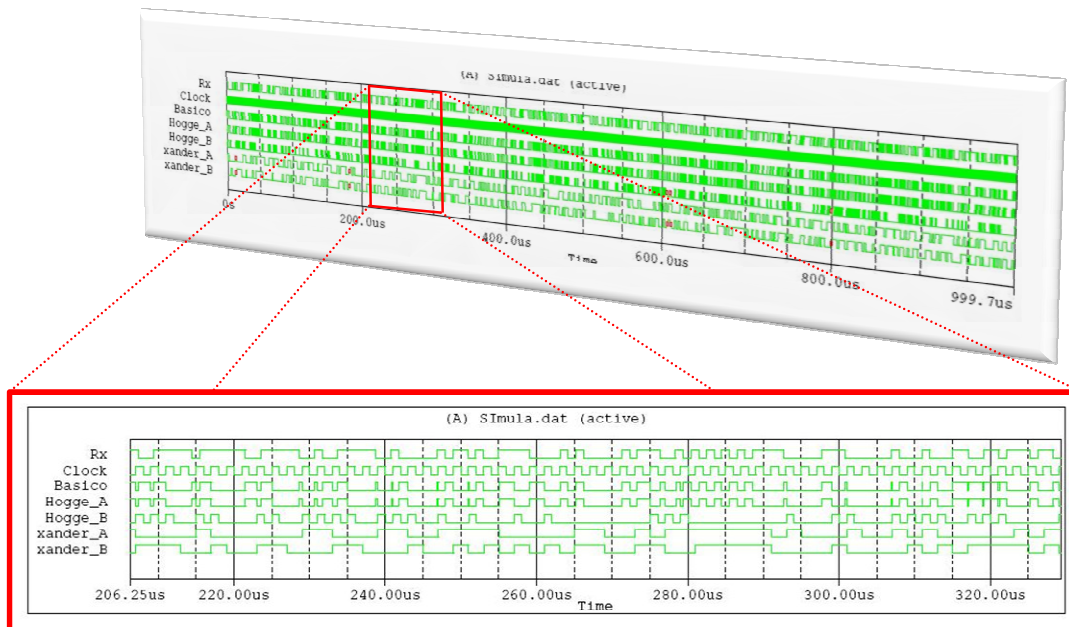


Figura 41 – Simulação Jitter 6
Fonte: Autora Própria

5 ORDEM DE GRANDEZA DO BGJ

A ordem de grandeza é uma maneira de comparar a “taxa de crescimento” de funções diferentes (Gersting, 2001), representada pela função $\Theta(x)$ onde ‘X’ representa a quantidade de operações que o algoritmo executa. Para obter tal informação de grandeza, são medidos os tempos que leva o caçulo para crescentes valores de bits, mantendo constantes os valores que caracterizam o JT , tal como representa a Figura 42 com as funções da mesa classe ou com a mesma taxa de crescimento. Observa-se na mesma figura, as curvas do BGJ, F1, F2 e BGJ-S, que possuem um crescimento parecido durante o tempo de 16 minutos. No eixo Y, está representado o tamanho da matriz configurada no ponto 2.2.1.5. e, no eixo X, o tempo que demora o programa em terminar a simulação.

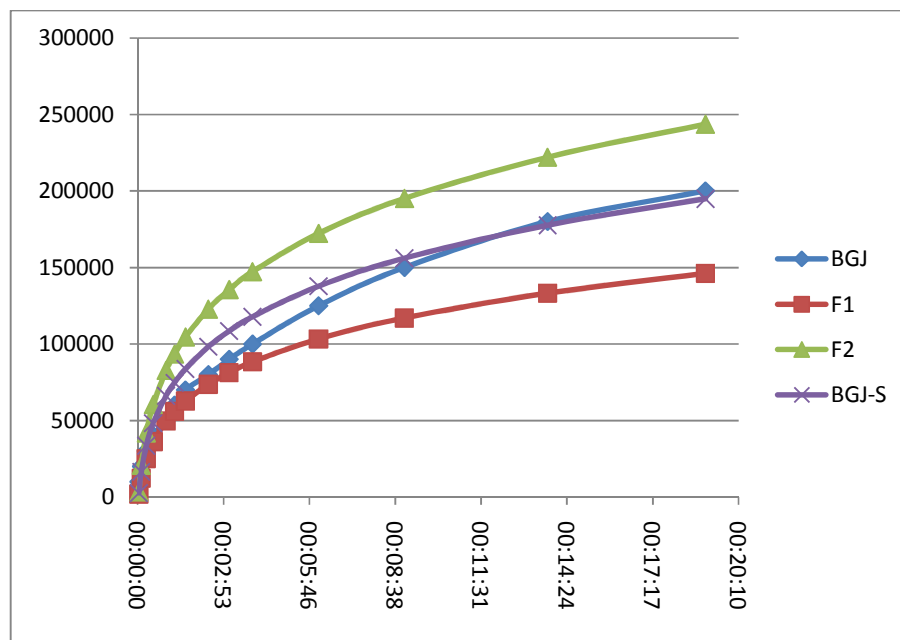


Figura 42 – Classes da mesma ordem de grandeza do BGJ
Fonte: Autoria Própria

A função que descreve o comportamento da curva de BGJ é parecida à desenhada, batizada com o nome de BGJ-S o qual possui um comportamento quadrático e logarítmico, mas predomina o crescimento quadrático como pode se observar na equação (10). Deve se anotar que na Figura 42, o efeito de colocar o domínio no eixo Y é contradomínio o eixo X, gerando uma figura que leva a definir um comportamento logarítmico. Por definição, as classes de funções da mesma ordem

de grandeza devem manter a mesma taxa de crescimento e só diferem de um fator multiplicador, tal como representa a desigualdade (11).

$$F_{BGJ}(t) = \left(\left(-\log \frac{1}{t} + 5 \right) * 100 \right)^2 \quad (10)$$

$$2,5 * F_{F2} \leq F_{BGJ-S} \leq 1,5F_{F1} \quad (11)$$

Portanto, a ordem de grandeza que denota a função do BGJ, estará deduzida a partir das expressões nas equações (12) e (13), onde nesta ultima é revelada a natureza da taxa de crescimento no tempo de execução, em função da quantidade de bits que o BGJ calcula.

$$F_{BGJ-S} = \Theta(F_1) = \Theta(F_2) \quad (12)$$

$$F_{BGJ-S} = \Theta(X^2) = F_{BGJ} \quad (13)$$

6 CONSIDERAÇÕES FINAIS

O BGJ é um software projetado inicialmente para realizar a criação de sinais digitais com o efeito *jitter*, mas acaba sendo um sistema que necessita de um alto custo computacional para sinais com duração acima dos segundos, quando se trata de T_b inferiores a 1 μ s. Isto é devido aos processos estatísticos que desenvolve o BGJ com o uso em grande porcentagem da capacidade da memória RAM. Os cálculos, que matricialmente podem caracterizar uma matriz mal condicionada, são analisados no BGJ antes de serem processados matematicamente diminuindo o risco de gerar resultados inconsistentes ou loops infinitos. Propõe-se assim, nas próximas versões, o uso de computadores em configuração de cluster que dividam o trabalho computacional.

Quando o sinal digital com JT deve simular mais de dez mil bits, o algoritmo termina rodando em ordem de minutos, mas, se for um número maior de bits, acima dos 10Mbits, pode chegar à ordem de semanas. A análise dos algoritmos determina que a ordem de grandeza dos algoritmos é de $\Theta(x^2)$, portanto, o BGJ é inapropriado para grandes simulações de bits, mesmo que os efeitos de análise no OrCAD não precisem tal quantidade de bits num sinal. Bastam algumas centenas de bits para estudar as situações que um detector de fase experimenta, assim como a análise de controle dos PLLs.

Espera-se, em próximas versões do software BGJ, a simulação prévia do processo estatístico do sinal digital, quanto à função acumulativa de probabilidade, viabilizando o poder computacional de valores de bits próximo a 60Gbits.

Para o desenvolvimento de dispositivos capazes de testar baixas condições de *jitter*, poderá ser utilizado um dispositivo eletrônico que armazene as condições de Jitter e as reproduza num circuito DRC, para que sejam capturadas as informações do Clock ou VCO e dos dados adquiridos pelo mesmo. Assim poderá ser realizado um teste real a baixo custo, comparado a equipamentos atuais, para se obter o BER e as curvas de *Bathtubes*.

Os objetivos iniciais foram atendidos, sem reserva de informações, pois o propósito não é vulnerar a codificação dos arquivos gerados em OrCAD, mas não deixa de ser interessante pensar em realizar o estudo estatístico do resultado de

desempenho de DRC e de PLLs de forma automatizada e virtual, como passo anterior à implementação.

Bibliografia

Agilent Technologi. 2007. *Total Jitter Measurement at Low Probability Levels, Using Optimized BERT Scan Method.* Agilent Technologi. USA : Agilent Technologi, 2007. 5989-2933EN.

Demir, Alper; Feldmann, Peter;. 2003. Stochastic Modeling and Performance Evaluation for Digital Clock and Data Recovery Circuits. *Bell Laboratories.* Março 27, 2003, 0-7695-0537-6, p. IEEE Computer Society.

Doering, Ed. 2009. *Intersymbol Interference (ISI) And The Eye Diagram.* [http://cnx.org/content/m18662/1.1/] s.l. : Acesso em 1 Nov. 2009, 2009.

Gersting, Judith L. 2004. *Fundamentos Matemáticos para a Ciência da COmputação.* 5. s.l. : LTC, 2004. p. 616. 8521614225.

Gillette, Garry. 2004. 1st. Annual GHz/Gbps Test Workshop. *Guide Tech.* [Online] 2004. [Cited: Novembro 22, 2009.] Presenta otros articulos registrados en la IEEE. Esta conferencia no está en la WEB TCC.. <http://www.guidetech.com/products/whitepapers.htm>.

H. W., Johnson; Graham, M.;. 1993. *High-Speed Digital Design: A Handbook of Black Magic.* New Jersey : Prentice Hall, 1993.

H.W., Johnson; M., Graham. 2003. *High-Speed Singal Propagation: Advanced Black Magic.* New Jersey : Prentice Hall, 2003.

Halliday, Jonathan. 1996. Jitter, what it is and how to measure it. 1996.

Hamming, Richard W. 1991. The Art of Probability for Engineers and Scientists. *The Art of Probability for Engineers and Scientists.* s.l. : Addison-Wesley, 1991.

Hancock, Johnnie. 2004. Jitter-Understanding it, Measuring it, Eliminating It. *High Frequency Electronics.* s.l. : High Frequency Design - JITTER FUNDAMENTALS, 2004.

Hogge C.R., Jr. 1985. A self correcting clock recovery circuit. *Electron Devices,*

IEEE Transactions on. Dezembro 1985, Vol. 32, 12, pp. 2704- 2706.

Kuo, Andy et al. 2004. Jitter Models And Measurement Methos for High-Speed Serial Interconnects. [ed.] IEEE CNF. *IEEE - CNF: Test Conference, 2004. Proceedings. ITC 2004. International.* 2004, pp. 1295 - 1302 .

Lee, Tomas H., et al. 1994. A 2.5 V CMOS Delay-Locked Loop for an 18 Mbit, 500 Megabytek DRAM. *IEEE JOURNAL OF SOLID-STATE CIRCUITS.* Dezembro 12, 1994, Vol. 29, NO. 12, p. 1491.

Muller, Marcus; Stephens, Ransom; McHugh, Russ. 2008. Total Jitter Measurements at Low Probabilities Levels, Using Optimized BERT Sncan Method. 2008, five, pp. 32 - 43.

Nolan, Stephen M.; Soltero, Jose M. 2003. *Understanding and Interpreting Stndard-Logic Data Sheets.* Standard Linear & Logic, Texas Instrument. s.l. : Texas Instrument, 2003. SZZA036B.

Palomino, Luis E.; Pedroni, Volnei. 2009. Sistema Genarado de Jitter para Estudio de Desempeño de Detectores de Fase Digitales. http://www.udtecnovirtual.org/archivo_foro3/ponencias/RodolfoPalominoPresentaESPCongresoDistrital.ppsx. [Online] UTFPR - CPGEI/LME, 6 9, 2009. [Cited: 11 22, 2009.]

http://www.udtecnovirtual.org/index.php?option=com_content&view=article&id=115%3Amemo3foro&catid=1%3Alatest-news&Itemid=68.

Palomino, Luis Eduardo. 2009. *Guía Rápida Para OrCAD 9.1 ou Superior, OrCAD Capture CIS, Simulação e OrCAD Layout.* Canoinhas SC, Nrasil : s.n., 2009.

Peng, Mike Li. 2007. *Jitter, Noise, and Signal Integrity at High-Speed.* 1a. s.l. : Prentice Hall, 2007. ISBN-10: 0132429616.

Razavi, Behzad. 2002. Challenges in the Desing of High-Speed Clock and Data Recovery Circuits. *Communications Magazine, IEEE.* Agosto 2002, Vol. 40, 8.

Rezayee, Afshin; Martin, Ken. 2002. A 10-Gb/s Clock Recovery Circuit with Linear Phase Detector and Coupled. 2002.

Stephens, Ransom. 2004. ANALYZING JITTER AT HIGH DATA RATES. *IEEE Optical Communications*. February 2004.

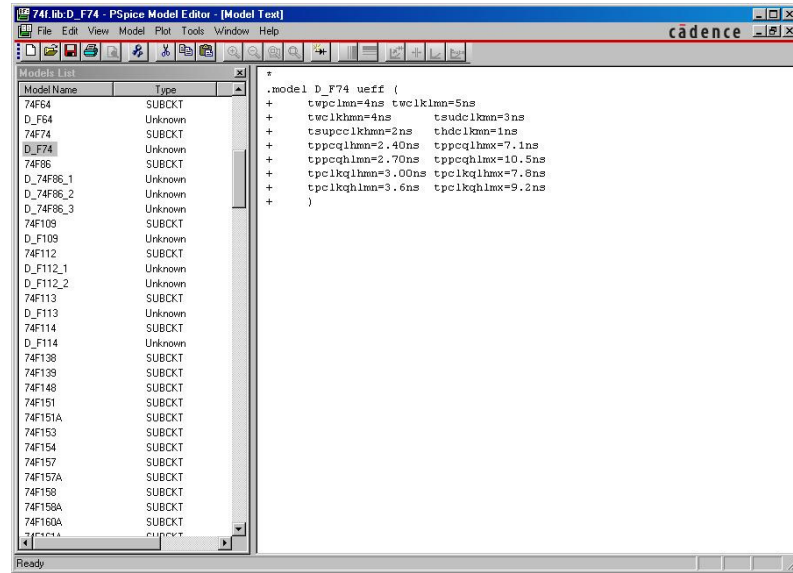
Takahashi, Masayuki; Ogawa, Kimihiro; Kundert, Kenneth. 1999. VCO Jitter Simulation and Its Comparison With Measurement. *Asia and South Pacific Design Automation Conference 1999 (ASP-DAC'99)*. 01 18, 1999, ISBN 0-7803-5012-x. {tmasa,kimihiro}@saskg.semicon.sony.co.jp e kundert@cadence.com.

Texas Instrument. 2009. *Logic Guide*. 2009. www.ti.com.

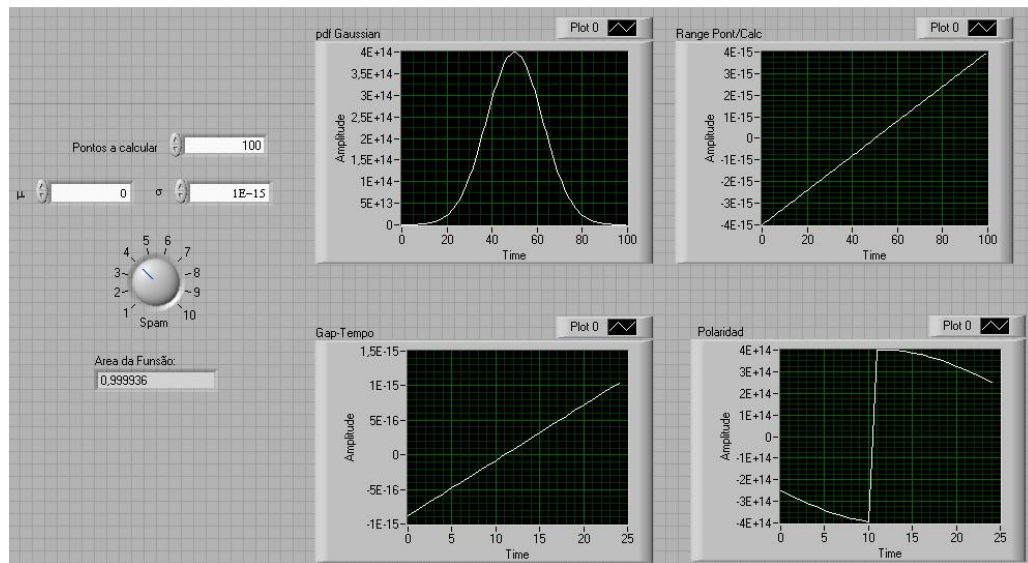
True, Kenneth M. 1992. Long Transmission Lines and Data Signal Quality. National Semiconductors, 1992, 808.

Vuolo, José Henrique. 1994. *Fundamentos da Teoria de Erros*. s.l. : Edgard Blucher, 1994. 8521200560 .

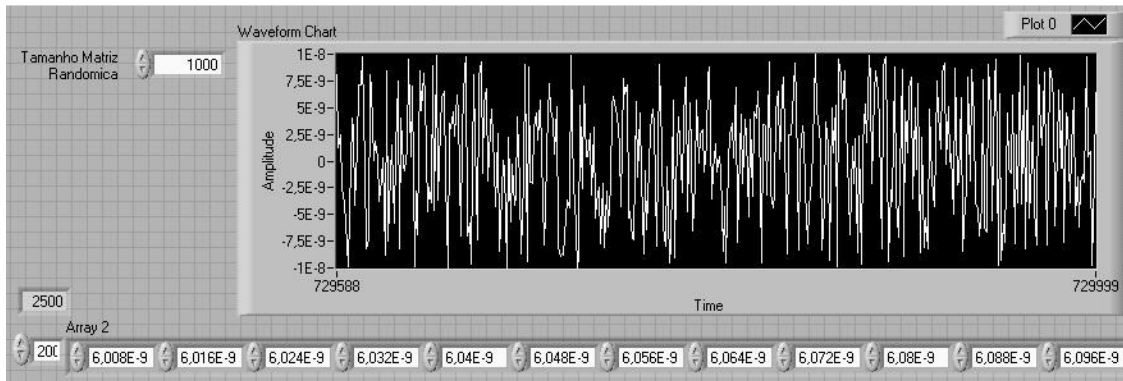
ANEXOS



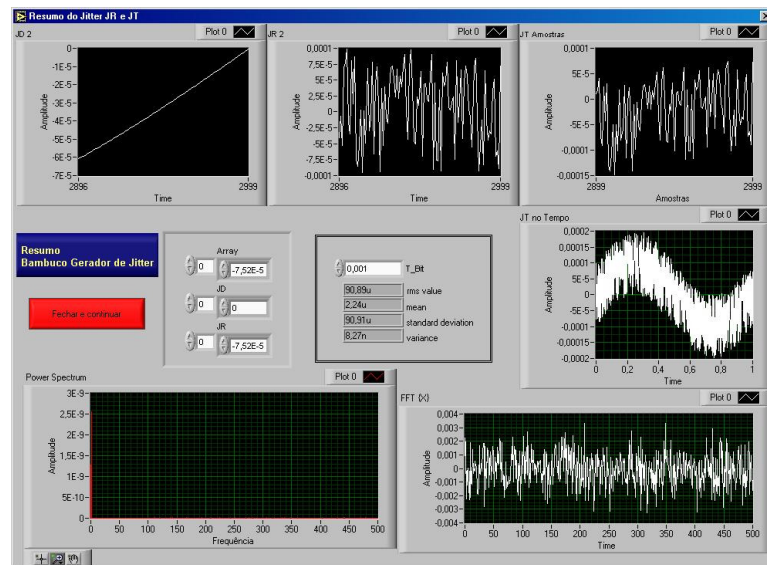
Anexo A – Janela de configuração dos tempos de chaveamento 74F74
 Fonte: Autoria Própria



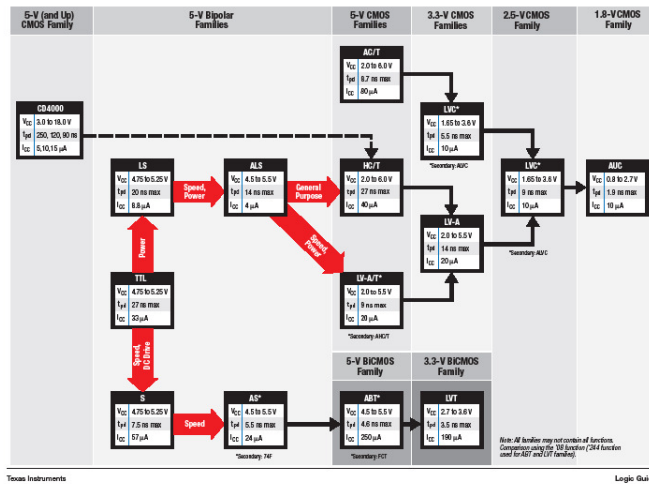
Anexo B – Painel frontal, Sub VI “Gauss pdf”
 Fonte: Autoria Própria



Anexo C – Painel Frontal, Sub VI “Gerador Sinal Randômico”
Fonte: Gerador Gaussiano.



Anexo D – Exemplo Janela de Relatório Final do Jitter gerado.
Fonte: Autoria Própria.



Anexo E – Famílias tecnológicas para comportas digitais.
Fonte: (Texas Instrument, 2009)

```

;Universidade Tecnol6gica Federal de Parana
;Laboratorio de Microelectronica
;CPGEI
;Prof. Volenei Pedroni
;Aluno de Mestrado: Luis Eduardo Palomino
;Curitiba 2009
.STIMULUS Clk STIM (1, 1) ;! CLOCKP 2.000ps 1.000ps 0 0
+ +0s 0
+ +1.000ps 1
+ Repeat Forever
+ +1.000ps 0
+ +1.000ps 1
+ EndRepeat

.STIMULUS Data STIM (1, 1)
+ +0s 1
+ 1.880ps 0
+ 3.903ps 0
+ 5.028ps 0
+ 7.257ps 1
+ 9.228ps 0
+ 9.742ps 0
+ 12.159ps 0
+ 12.799ps 0
+ 15.182ps 0
+ 16.827ps 0
+ 18.456ps 1
+ 19.667ps 1

```

Anexo F - Formatação arquivos de est6mulos para OrCAD

Fonte: Autoria Pr6pria

Livros Grátis

(<http://www.livrosgratis.com.br>)

Milhares de Livros para Download:

[Baixar livros de Administração](#)

[Baixar livros de Agronomia](#)

[Baixar livros de Arquitetura](#)

[Baixar livros de Artes](#)

[Baixar livros de Astronomia](#)

[Baixar livros de Biologia Geral](#)

[Baixar livros de Ciência da Computação](#)

[Baixar livros de Ciência da Informação](#)

[Baixar livros de Ciência Política](#)

[Baixar livros de Ciências da Saúde](#)

[Baixar livros de Comunicação](#)

[Baixar livros do Conselho Nacional de Educação - CNE](#)

[Baixar livros de Defesa civil](#)

[Baixar livros de Direito](#)

[Baixar livros de Direitos humanos](#)

[Baixar livros de Economia](#)

[Baixar livros de Economia Doméstica](#)

[Baixar livros de Educação](#)

[Baixar livros de Educação - Trânsito](#)

[Baixar livros de Educação Física](#)

[Baixar livros de Engenharia Aeroespacial](#)

[Baixar livros de Farmácia](#)

[Baixar livros de Filosofia](#)

[Baixar livros de Física](#)

[Baixar livros de Geociências](#)

[Baixar livros de Geografia](#)

[Baixar livros de História](#)

[Baixar livros de Línguas](#)

[Baixar livros de Literatura](#)
[Baixar livros de Literatura de Cordel](#)
[Baixar livros de Literatura Infantil](#)
[Baixar livros de Matemática](#)
[Baixar livros de Medicina](#)
[Baixar livros de Medicina Veterinária](#)
[Baixar livros de Meio Ambiente](#)
[Baixar livros de Meteorologia](#)
[Baixar Monografias e TCC](#)
[Baixar livros Multidisciplinar](#)
[Baixar livros de Música](#)
[Baixar livros de Psicologia](#)
[Baixar livros de Química](#)
[Baixar livros de Saúde Coletiva](#)
[Baixar livros de Serviço Social](#)
[Baixar livros de Sociologia](#)
[Baixar livros de Teologia](#)
[Baixar livros de Trabalho](#)
[Baixar livros de Turismo](#)