

Universidade Federal do Rio Grande do Norte
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica e Computação

Contribuições para a Detecção e Identificação de Faltas em Inversores Multiníveis

Liviane Catarine Almeida Melo

Orientador: Ricardo Lúcio de Araújo Ribeiro, Dr.

Natal/RN - Brasil
Novembro de 2008

Livros Grátis

<http://www.livrosgratis.com.br>

Milhares de livros grátis para download.

Universidade Federal do Rio Grande do Norte
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica e Computação

Contribuições para a Detecção e Identificação de Faltas em Inversores Multiníveis

Liviane Catarine Almeida Melo

Dissertação de Mestrado submetida ao Programa de Pós-Graduação em Engenharia Elétrica e Computação da Universidade Federal do Rio Grande do Norte como parte dos requisitos para a obtenção do grau de Mestre em Ciências.

ÁREA DE CONCENTRAÇÃO: Automação e Sistemas

Orientador: Ricardo Lúcio de Araújo Ribeiro, Dr.

Natal/RN - Brasil
Novembro de 2008

Contribuições para a Detecção e Identificação de Faltas em Inversores Multiníveis

Liviane Catarine Almeida Melo

Dissertação de Mestrado aprovada em 19 de novembro de 2008 pela banca examinadora composta pelos seguintes membros:

Prof. Dr. Ricardo Lúcio de Araújo Ribeiro
Orientador - DEE/UFRN

Prof. Dr. Aldayr Dantas de Araújo
Examinador interno - DEE/UFRN

Prof. Dr. Edison Roberto Cabral da Silva
Examinador externo - DEE/UFCG

Natal/RN - Brasil
Novembro de 2008

Aos meus pais - Laércio Carlos de Melo e Lúcia de Fátima A. de Melo

Aos meus irmãos - Laércio e Limarve

Ao meu avô - Lauro de Almeida

Agradecimentos

A Deus, pela vida e por me iluminar a cada passo.

Ao professor Ricardo Lúcio de Araújo Ribeiro, pela orientação, insistência e dedicação. Ao professor Aldayr Dantas de Araújo pelos ensinamentos, incentivo e orientações acadêmicas. Ao professor Edison Roberto Cabral da Silva pelas valiosas contribuições.

A meus pais que sempre me apoiaram e compreenderam todos os momentos de ausência.

Aos companheiros do LACI que sempre me ajudaram e me acompanharam quando necessário, dentre os quais: Marcus, Kurios, Marcelo, Érico e Iuri.

Aos professores do DEE/UFRN, pelos conhecimentos e experiências profissionais transmitidos.

Ao meu namorado Cacau pela paciência e apoio, e a todos os amigos e familiares que, direta ou indiretamente, incentivaram e contribuíram para a realização deste trabalho.

Resumo

Este trabalho apresenta contribuições para a detecção e identificação de faltas em inversores multiníveis, baseado no estudo do comportamento desse conversor sob essas condições de operação. Basicamente, a falta abordada consiste na abertura não comandada de uma das chaves de um inversor de tensão de três níveis com diodos de grameamento. O funcionamento do conversor é caracterizado nos estados de pré e pós-falta. É, também, feita uma análise dos comportamentos das formas de onda das tensões de pólo, corrente de fase e correntes do barramento CC, as quais apontam características que possibilitam detectar falta e, ainda, em condições favoráveis, identificar o dispositivo que apresentou defeito. Uma estratégia de compensação da falta abordada (chave aberta) também é investigada, com o propósito de manter a continuidade de funcionamento do sistema de acionamento, quando da ocorrência de uma falha. A topologia proposta utiliza SCRs em paralelo com as chaves internas do inversor, a qual permite, em algumas ocasiões, a total utilização do barramento CC.

Palavras-chave: Inversores Multiníveis, Detecção de Faltas e Compensação de Faltas.

Abstract

This work presents contributions in the detection and identification of faults in multilevel inverters through the study of the converter's behavior under these operation conditions. Basically, the approached fault consists of an open-circuit in any switch of a three-level clamped diode inverter. The converter operation is characterized in the pre and post-fault states. A wave form behavior analysis of the pole voltage, phase current and dc-bus current is also done, which highlights characteristics that allow the detection of failure and, even, under favorable conditions, the identification of the faulty device. A compensation strategy of the approached fault (open-switch) is also investigated with the purpose of maintaining the driving system operational when a failure occurs. The proposed topology uses SCRs in parallel with the internal switches of the inverter, which allows, in some occasions, the full utilization of the dc-bus.

Keywords: Multilevel Inverters, Fault Detection, Fault Compensation.

Conteúdo

1	Introdução	1
1.1	Considerações Preliminares	1
1.2	Motivação e Objetivo do Trabalho	3
1.3	Revisão Bibliográfica	4
1.4	Organização do Trabalho	9
2	Inversor Multinível com Diodos de Grampeamento	11
2.1	Estrutura e Funcionamento do Inversor Multinível com Diodos de Grampeamento	11
3	Modelagem Dinâmica de um Conversor Alimentando uma Máquina Assíncrona	18
3.1	Modelo da Máquina Assíncrona (Motor de Indução)	19
3.2	Caracterização do Sistema na Condição de Pré-Falta	20
3.3	Caracterização do Estado de Falta do Inversor de Tensão	21
3.3.1	Estágio I ($t_0 \leq t < t_1$ ou $t_0 \leq t < t_1'$)	25
3.3.2	Estágio II ($t_1 \leq t < t_2$ ou $t_1' \leq t < t_2$)	26
3.3.3	Estágio III ($t_2 \leq t \leq t_3$)	26
3.3.4	Estágio IV ($t_3 \leq t \leq t_4$)	27
4	Métodos de Detecção e Identificação de Faltas	28
4.1	Métodos de Diagnósticos	28
4.1.1	Análise das correntes de fase	29
4.1.2	Análise das tensões de pólo	33
4.1.3	Análise das correntes do barramento CC	39

5	Método de Detecção e Identificação de Falhas Proposto	48
5.1	Procedimentos de Detecção e Identificação de Falhas do Método Proposto	50
5.2	Resultados de Simulação	54
6	Estratégia de Compensação de Falta	66
6.1	Compensação na Topologia do Conversor	67
6.2	Compensação no Controle PWM	69
6.3	Resultados de Simulação	70
6.4	Resultados Experimentais	72
7	Conclusões e Sugestões para Trabalhos Futuros	75
7.1	Trabalhos Futuros	77
	Bibliografia	78
	Apêndices	83
A	Modelo da Máquina Assíncrona	83
A.1	Modelo de uma máquina simétrica trifásica	83
A.2	Representação <i>odq</i> da máquina trifásica	85
B	Correntes do Barramento CC	89
B.1	Semiciclo positivo de i_a	89
B.2	Semiciclo negativo de i_a	94

Lista de Figuras

1.1	Braço de um inversor com (a) dois níveis, (b) três níveis, e (c) N níveis.	2
1.2	Inversor trifásico de “N” níveis com diodos de grampeamento.	5
1.3	Inversor trifásico de “N” níveis com capacitores flutuantes.	5
1.4	Inversor trifásico do tipo em cascata de “N” níveis.	6
2.1	Inversor trifásico de três níveis com diodos de grampeamento.	12
2.2	Caminho que a corrente de fase i_a percorre, para cada estado de chaveamento.	13
2.3	Diagrama vetorial para um inversor de três níveis com diodos de grampeamento.	17
3.1	Sistema de acionamento com máquina assíncrona.	19
3.2	Sistema de acionamento com carga RLE.	20
3.3	Braço referente à fase a do inversor após a ocorrência de falta: (a) na chave S_{a1} , (b) na chave S_{a2}	21
3.4	Comportamento do sistema após a ocorrência de falta: (a) na chave S_{a1} e (b) na chave S_{a2}	24
4.1	Diagrama esquemático do inversor de tensão trifásico de três níveis com diodos de grampeamento, com as possíveis localizações dos sensores de tensão e de corrente.	29
4.2	Formas de onda da corrente de fase i_a , sob condições de falta.	30
4.3	Comportamento da corrente de fase i_a , sob condições de falta, para diferentes fatores de potência: (a)0.99, (b)0.73 e (c)0.54.	31
4.4	Formas de onda da corrente de fase i_a , para um inversor alimentando uma máquina assíncrona.	32
4.5	Momento em que as faltas ocorreram.	35

4.6	Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.552s.	35
4.7	Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.556s.	36
4.8	Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.56s.	36
4.9	Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.566s.	37
4.10	(x.1) Tensão de pólo v_{a0} , sob condição de falta. (x.2) Erro de tensão $\varepsilon_{a0} =$ $v_{a0}^* - v_{a0}$	39
4.11	Corrente de fase i_a . Falta em 0.5619s - Crista Positiva.	41
4.12	Correntes do barramento CC, com falta ocorrida em 0.5619s.	41
4.13	Corrente de fase i_a . Falta em 0.5719s - Crista Negativa.	42
4.14	Correntes do barramento CC, com falta ocorrida em 0.5719s.	42
4.15	Momento em que as faltas foram simuladas.	45
5.1	(a.x) Falta em S_{a1} , ocorrida em 0.5619s. (b.x) Falta em S_{b1} , ocorrida em 0.5686s, (c.x) Falta em S_{c1} , ocorrida em 0.5753s	49
5.2	i_a , i_b e i_c para falta em S_{a1} , ocorrida em 0.5619s.	49
5.3	Teste de paridade na corrente de fase i_a	50
5.4	Diagrama de blocos do procedimento para identificar a fase com problema.	51
5.5	Passos 1, 2 e 3 do algoritmo em C++ da técnica de diagnóstico de faltas proposta.	53
5.6	Passo 4 do algoritmo em C++ da técnica de diagnóstico de faltas proposta.	54
5.7	Falta em S_{a1} , ocorrida em 0.5602s (60° do semiciclo positivo da corrente de fase i_a). Diagnose realizada em $t_f = 0.562$ s.	56
5.8	Falta em S_{a2} , ocorrida em 0.5602s (60° do semiciclo positivo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5615$ s.	57
5.9	Falta em S_{a3} ou S_{a4} , ocorrida em 0.5602s (60° do semiciclo positivo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5684$ s.	58
5.10	Falta em S_{a1} , ocorrida em 0.5585s (30° do semiciclo positivo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5599$ s.	59

5.11 Falta em S_{a2} , ocorrida em 0.5585s (30° do semiciclo positivo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5596$ s.	60
5.12 Falta em S_{a1} ou S_{a2} , ocorrida em 0.5730s (110° do semiciclo negativo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5784$ s.	61
5.13 Falta em S_{a3} , ocorrida em 0.5730s (110° do semiciclo negativo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5744$ s.	62
5.14 Falta em S_{a4} , ocorrida em 0.5730s (110° do semiciclo negativo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5876$ s.	63
5.15 Falta em S_{a3} , ocorrida em 0.5685s (30° do semiciclo negativo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5696$ s.	64
6.1 Esquema do inversor de três níveis com diodos de grampeamento investigado.	67
6.2 Caminho de condução da corrente i_a para o conversor proposto, sob condição de falta.	68
6.3 Novas tensões de referência.	70
6.4 Relação entre as novas tensões de referência e as tensões de fase.	70
6.5 Novas tensões de referência e corrente de fase i_a antes e após a compensação da falta.	71
6.6 Identificadores digitais da fase (braço) com problema.	72
6.7 Identificadores digitais da posição da chave com falha.	72
6.8 Resultados experimentais quando S_{a1} está aberta: (a) tensão de pólo no braço com falta (v_{a0}); (b)tensão de pólo v_{b0} ; (c)corrente de linha, correspondente ao braço com falta.	73
6.9 Resultados experimentais para S_{a2} aberta: (a) tensão de pólo no braço com falta (v_{a0}); (b)corrente de linha, correspondente ao braço com falta.	74
A.1 Representação esquemática da transformação trifásica- odq	84
A.2 Representação esquemática da transformação trifásica- odq	86
B.1 Correntes do barramento CC, com falta ocorrida em 0.5585s.	90
B.2 Correntes do barramento CC, com falta ocorrida em 0.5594s.	90
B.3 Correntes do barramento CC, com falta ocorrida em 0.5602s.	91
B.4 Correntes do barramento CC, com falta ocorrida em 0.5619s.	92

B.5	Correntes do barramento CC, com falta ocorrida em 0.5630s.	92
B.6	Correntes do barramento CC, com falta ocorrida em 0.5636s.	93
B.7	Correntes do barramento CC, com falta ocorrida em 0.5685s.	94
B.8	Correntes do barramento CC, com falta ocorrida em 0.5694s.	95
B.9	Correntes do barramento CC, com falta ocorrida em 0.5702s.	95
B.10	Correntes do barramento CC, com falta ocorrida em 0.5719s.	96
B.11	Correntes do barramento CC, com falta ocorrida em 0.5730s.	97
B.12	Correntes do barramento CC, com falta ocorrida em 0.5736s.	97

Lista de Tabelas

2.1	Estados dos interruptores para um inversor trifásico de três níveis com diodos de grampeamento.	14
2.2	Estados dos interruptores, com suas respectivas tensões de pólo, para um inversor trifásico de três níveis com diodos de grampeamento.	16
4.1	Parâmetros da máquina assíncrona utilizados na simulação.	32
4.2	Erros nas tensões de pólo devido a chaves abertas.	34
4.3	Comportamento das correntes isp , isn e inn , antes e logo após o instante da falta em S_{a1} ou S_{a2} , para faltas durante o semiciclo positivo da corrente de fase i_a	44
4.4	Comportamento das correntes isp , isn e inn , antes e logo após o instante da falta em S_{a3} ou S_{a4} , para faltas durante o semiciclo negativo da corrente de fase i_a	44
4.5	Quantidade e localização de sensores dos métodos analisados de detecção e identificação de faltas.	47
5.1	Assinatura de falta - Identificação da posição da chave com defeito.	52
5.2	Assinatura de falta - Identificação do braço do inversor que possui chave com defeito.	52
5.3	Assinatura de falta - Identificação da parte do braço do inversor que possui chave com defeito.	52

Lista de Siglas e Símbolos

a, b e c	Terminais de saída do inversor trifásico
CA	Corrente alternada
CC	Corrente contínua
D_{x1}, \dots, D_{x4}	Diodos em anti-paralelo às chaves
D_1, \dots, D_6	Diodos de grampeamento
E	Tensão total do barramento CC
e_{sx}	Forças contra-eletromotrizes associadas às fases a, b e c
f_{cem}	Força Contra-Eletromotriz
GTO	<i>Gate turn-off thyristor</i> - tiristor com desligamento por porta
IGBT	<i>Insulated Gate Bipolar Transistor</i> - Transistor Bipolar de Porta Isolada
i_x	Correntes de fase
i_{sp}, i_{sn}, i_{nn}	Correntes do barramento CC
MI	Motor de Indução
m_a	Índice de modulação
n	Neutro da carga (máquina)
N	Número de níveis do conversor
NPC	<i>Neutral-Point Clamped</i> - Inversor com Neutro Grampeado
PWM	<i>Pulse Width Modulation</i> - Modulação por largura de pulso
SCR	<i>Silicon Controlled Rectifier</i> - Retificador Controlado de Silício
S_{x1}, \dots, S_{x4}	Variáveis associadas às chaves do conversor
S_1, \dots, S_6	SCR's em paralelo às chaves internas
S_{t1}, S_{t2} e S_{t3}	Sensores de tensão
S_{co1}, \dots, S_{co6}	Sensores de corrente

v_{a0}, v_{b0}, v_{c0}	Tensões de pólo
v_{ab}, v_{bc}, v_{ca}	Tensões de linha
v_{an}, v_{bn}, v_{cn}	Tensões de fase
v_{n0}	Tensão de modo comum (homopolar)
V_1, \dots, V_{18}	Vetores de tensão gerados pelo inversor
o	Ponto Intermediário do banco de capacitores
Δv_{x0}	Desvio na tensão de pólo decorrente de uma falta
ε_{x0}	Erro na tensão de pólo decorrente da ocorrência de uma falta
$\Delta V_{x0}, \Delta' V_{x0}$	Desvio da tensão de pólo decorrente da ocorrência de uma falta

Capítulo 1

Introdução

1.1 Considerações Preliminares

Recentes linhas de pesquisas vêm trabalhando com a associação de componentes ou até mesmo conversores, em série ou em paralelo, que possibilitem obter níveis intermediários de tensão ou corrente, com o objetivo de sintetizar formas de onda alternadas na saída mais próximas das senoidais, ou seja, com baixa distorção harmônica. O principal objetivo deste procedimento é melhorar a qualidade dos sinais na saída do inversor, além de contribuir para redução de perdas nos motores causadas pelas componentes harmônicas e pelas oscilações de conjugado. Essa técnica deu origem ao termo “multinível”, que tem sido largamente utilizado para designar níveis intermediários de tensão nas saídas dos conversores.

Em conversores de potência CC-CA (também conhecido como inversores) de dois níveis, para se obter uma redução do conteúdo harmônico nas formas de onda de saída, aumenta-se a frequência de comutação. Entretanto, esse aumento na frequência causa perdas por comutação.

Além disso, ao contrário dos inversores convencionais de dois níveis, cuja tensão aplicada aos terminais dos seus semicondutores durante o bloqueio é igual à tensão total do barramento CC, os interruptores dos inversores multiníveis são submetidos a uma fração de $1/(N-1)$ da tensão CC, onde N é o número de níveis do inversor, possibilitando, conseqüentemente, se trabalhar com frequências de comutação maiores e em níveis maiores

de tensão CC (OLIVEIRA Jr, 2005). Uma outra alternativa, em virtude desses interruptores serem submetidos a tensões de bloqueio menores, é utilizar dispositivos mais lentos e que suportam menores níveis de tensão, diminuindo o custo da topologia multinível.

Diante dessas características, topologias de inversores multiníveis têm sido bastante usadas, principalmente em aplicações de alta potência e alta tensão. Com isso, estudos e pesquisas nessa área vêm crescendo bastante. Dentre as topologias multiníveis, destacam-se: Inversor Multinível com Diodos de Grampeamento, também conhecido como Inversor com Neutro Grampeado (NPC - *Neutral-Point Clamped*); Inversor Multinível com Capacitores Flutuantes e o Inversor Multinível em Cascata com Fontes CC Separadas. A escolha de uma ou outra topologia dá-se em função de fatores técnicos como eficiência exigida, número de dispositivos exigidos, faixa de potência abordada, complexidade de implementação, custos envolvidos e aplicação.

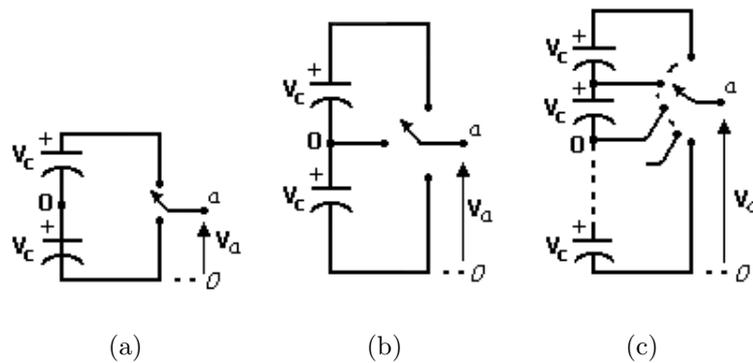


Figura 1.1: Braço de um inversor com (a) dois níveis, (b) três níveis, e (c) N níveis.

Associado a estudos para contribuições na eficiência de sistemas estáticos multiníveis, pesquisas e investimentos têm sido feitos para o aumento da estabilidade e confiabilidade desses conversores, de forma que o sistema de acionamento deva operar ininterruptamente. Em aplicações específicas, principalmente no setor industrial, é necessário desenvolver estratégias de compensação que permitam manter o funcionamento da aplicação na ocorrência de uma falta.

Assim, para que o sistema se torne mais confiável, é necessária a adoção de procedimentos tais como: detecção de falta, identificação do dispositivo com defeito, isolamento da falta, reconfiguração e compensação dos defeitos ocorridos, ou seja, estratégias tolerantes a falta.

Uma vez reconfigurado o conversor na condição de pós-falta, estratégias de controle devem ser capazes de se adaptar às novas condições de contorno, permitindo portanto, a operacionalidade do sistema nessa condição de operação. Todo o processo deve ser implementado no menor intervalo de tempo possível para evitar a ocorrência de faltas secundárias. (RIBEIRO,2003).

1.2 Motivação e Objetivo do Trabalho

Em estudos realizados sobre inversores multiníveis, o desenvolvimento de estratégias PWM tem sido tratado como uma das principais áreas de pesquisa para resolver problemas inerentes como o desbalanceamento do barramento CC e harmônicos na saída. Como resultado dessas pesquisas, o desempenho de inversores multiníveis tem se tornado bastante satisfatório. Entretanto, nos dias atuais, a confiabilidade desses inversores é considerada como uma das questões mais preocupantes e significativas.

Em sistemas de acionamento utilizados em processos cujo funcionamento é considerado crítico, é imprescindível a continuidade do funcionamento desses processos. Sem um sistema de compensação, caso aconteça de qualquer chave falhar, pode-se resultar na perda inteira do braço do inversor. Com isso, o sistema em operação deve parar para manutenção não programada. O custo dessas manutenções pode ser alto e justifica o desenvolvimento de estratégias que possibilitem manter o sistema em funcionamento sob condições de falta.

Na estrutura multinível, essa continuidade pode ser possibilitada pelo emprego de esquemas tolerantes a faltas, baseado nas diversas possibilidades de simular o mesmo vetor de tensão, como também, pelo emprego de esquemas com componentes adicionais para compensar as chaves com defeito.

Um aspecto que contribui para diminuir a confiabilidade desses sistemas multiníveis é o aumento do número de chaves, além da possibilidade de serem submetidas a condições maiores de tensão. Assim, a probabilidade de falhas no circuito aumenta. Diante desses possíveis defeitos, essa dissertação se propõe a analisar o comportamento de um inversor de três níveis alimentando uma carga(máquina assíncrona trifásica), sob condições de falta tipo chave aberta, desenvolvendo a base para definição de um método de diagnóstico de

falhas utilizando correntes do barramento CC, bem como, apresentar uma estratégia de compensação de falta.

1.3 Revisão Bibliográfica

Nos últimos anos, tem havido um aumento na procura de conversores CC/CA para aplicações de alta potência com médios/altos níveis de tensão. Em virtude dos interruptores dos inversores multiníveis serem submetidos a uma fração da tensão CC, dependendo do nível de tensão contínua do barramento aplicado ao inversor, o uso de topologias multiníveis torna-se inevitável. Ocorre que, nas estruturas multiníveis, com o aumento do número de chaves, o risco da ocorrência de uma falta também aumenta, ocasião essa que pode acarretar custos elevados e redução da eficiência do sistema. Diante disso, a detecção e o tratamento dessas faltas é necessária para se ter conversores multiníveis mais confiáveis. O estudo dessas características requer um histórico com aspectos relacionados à estrutura desses conversores, assim como uma descrição do que tem sido feito para se obter topologias multiníveis tolerantes a faltas, conforme segue:

- Descrição das principais estruturas multiníveis;

É provável que a terminologia multinível tenha surgido a partir dos arranjos de transformadores multifásicos, muito utilizados nos primórdios da Eletrônica de Potência (BRAGA e BARBI, 2000), estrutura essa proposta inicialmente como uma solução para acionamentos elétricos de alta potência e alto desempenho. Entretanto, essa proposta se mostrou bastante complicada e cara, além de ocupar muito espaço. Com isso, foram realizados vários estudos de topologias de conversores multiníveis sem a utilização desses transformadores.

Uma estrutura multinível, mais especificamente um inversor de três níveis com diodos de grampeamento, foi proposta por BAKER (1980), posteriormente denominada de Inversor com Neutro Grampeado (NPC - *Neutral Point Clamped*), por NABAE et al. (1981). O conceito de inversor multinível foi generalizado para “N” níveis por BHAGWAT e STEFANOVIC (1983).

A Figura 1.2 ilustra um inversor trifásico de “N” níveis com diodos de grampeamento.

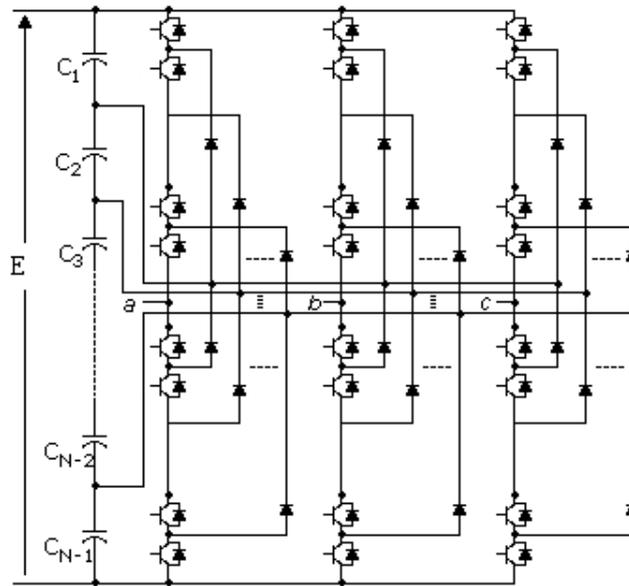


Figura 1.2: Inversor trifásico de “N” níveis com diodos de grampeamento.

Uma segunda alternativa para inversores multiníveis, mostrada na Figura 1.3, foi proposta por MEYNARD e FOCH (1992): Inversor Multinível com Capacitores Flutuantes. Nessa estrutura, os capacitores são empregados para efetuar o grampeamento da tensão sobre os interruptores ao invés de diodos de grampeamento, limitando a tensão sobre os interruptores e diminuindo as perdas por comutação.

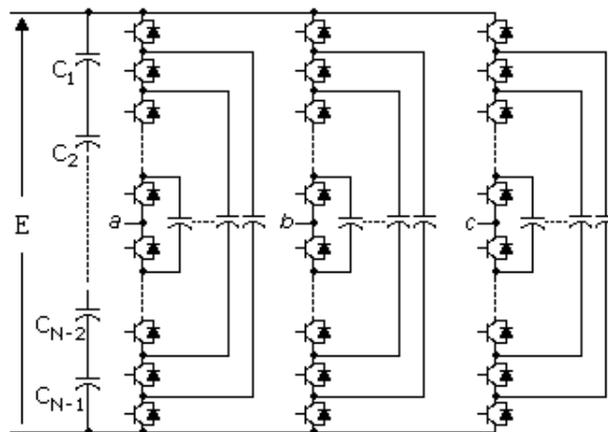


Figura 1.3: Inversor trifásico de “N” níveis com capacitores flutuantes.

Assim, como os inversores multiníveis com diodos de grampeamento, essa estrutura com capacitores flutuantes, à medida que o número de níveis aumenta, aumenta também

a necessidade da utilização de capacitores em série, na proporção de $1.5(N-1)(N-2)$, além de $(N-1)$ capacitores no barramento CC, como na topologia multinível do tipo NPC.

Uma terceira estrutura, o inversor multinível em cascata, utiliza vários inversores monofásicos em ponte completa (*H-bridge*) associados em série por fase, em que cada módulo tem sua própria fonte CC. Essa estrutura foi proposta inicialmente por BAKER e BANNISTER (1975), porém seu uso só se deu a partir da segunda metade dos anos 90, quando os inversores monofásicos passaram a ser conectados sem a necessidade de transformadores (MARCHESONI, 1992). Esses módulos inversores em série por fase são conectadas em cascata para gerar uma tensão de saída com “N” níveis. A Figura 1.4 mostra a estrutura de um inversor multinível trifásico em cascata de “N” níveis.

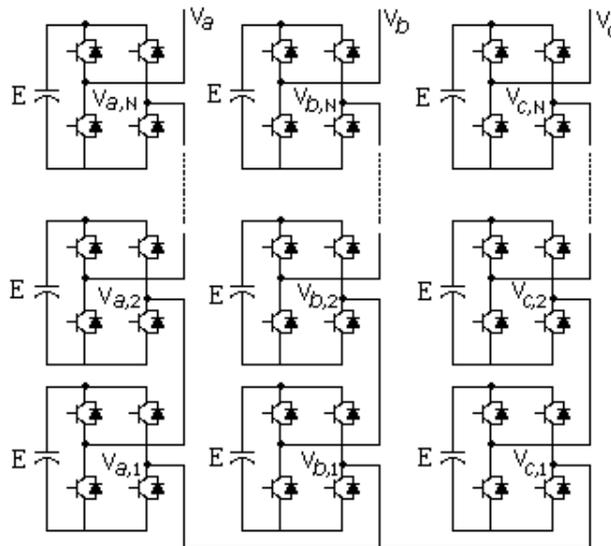


Figura 1.4: Inversor trifásico do tipo em cascata de “N” níveis.

Essa topologia pode ser simétrica ou assimétrica. A topologia em cascata simétrica apresenta diversas fontes CC com valores iguais a “E”. Por outro lado, na cascata assimétrica, esses valores são diferentes e surgiram com o intuito de serem utilizadas para sintetizar formas de onda com maior número de níveis, sem aumentar o número de dispositivos.

A maior desvantagem das topologias em cascata é o fato de requererem fontes CC individuais e isoladas em todos os módulos existentes, o que pode dificultar sua implementação.

Uma outra estrutura, o inversor multinível híbrido, foi proposta por MANJREKAR e LIPO (1998) para aplicações de alta potência e alto desempenho. Este inversor propõe a combinação de dispositivos rápidos (IGBTs) com componentes capazes de operar com altos níveis de tensão (GTOs). Associado a esse conceito, apresentaram uma estratégia de modulação híbrida, tal que os dispositivos de maior potência (GTOs) são modulados na frequência fundamental da saída e os dispositivos de menor potência (IGBTs) são modulados em alta frequência. O conceito de inversor multinível híbrido pode ser generalizado para conversores multiníveis compostos de várias células em série, que apresentam valores de tensão, estratégias de modulação, topologias e/ou tecnologias de semicondutores diferentes (RECH, 2005).

Dentre trabalhos importantes e que servem como referência no estudo de inversores multiníveis estão os de RODRÍGUEZ et al. (2002), os quais realizaram uma pesquisa sobre as principais estruturas de inversores multiníveis conhecidas, e o de KRUG et al. (2004) que fizeram uma comparação entre algumas topologias de inversores multiníveis utilizadas na indústria de média tensão.

- Estratégias de detecção, identificação e compensação de faltas em inversores multiníveis;

Um estudo feito por THOERSEN e DALVA (1995), como citado por RIBEIRO (2003), apresentou um levantamento de faltas verificadas em vários sistemas de conversões estáticas industriais utilizados em diferentes aplicações. Baseado na coleta de 666 sistemas de acionamento de máquinas em vários tipos de plantas industriais, foram documentadas e analisadas 522 faltas nesses sistemas, das quais 53,1% foram verificadas nos circuitos de controle; 37,9% decorrentes de defeitos verificados nos componentes de potência das etapas de conversão; 7,7% em componentes auxiliares e 1,3% relativo a faltas decorrentes do uso inadequado do equipamento. Esses dados mostram que deve ser dada uma atenção especial na manutenção preventiva nos circuitos de controle e conversão.

A análise do comportamento da carga na ocorrência de uma falta em conversores convencionais foi feita inicialmente por KASTRA e BOSE (1994) para um sistema de acionamento composto por um inversor trifásico convencional alimentando uma máquina assíncrona, nas condições de operação normal e em falta. RIBEIRO et al. (2003) realizou estudos de técnicas de detecção e identificação de faltas em inversores de dois níveis, apresentando também, posteriormente, estratégias de compensação de faltas para esses

inversores. A caracterização dessas faltas foram obtidas a partir de sinais (assinaturas de falta) que possibilitam identificar a condição de falta no sistema.

Através de grandezas como tensão e corrente, medidas por um sistema de aquisição composto basicamente por sensores colocados em pontos específicos no inversor/carga, é possível analisar o comportamento do sistema na condição normal e de falta, possibilitando definir técnicas de diagnóstico de faltas. SON et al. (2004) propuseram um método de diagnóstico de faltas em inversores de três níveis NPC, utilizando medições de correntes de fase, bem como um método de controle de tensão na ocorrência da falta. Já LEE et al. (2006, 2007) analisaram o comportamento das formas de onda das tensões de pólo para propor um método de detecção de falta em inversores NPC.

A continuidade de funcionamento do sistema, na ocorrência de uma falta, necessita de uma estratégia de compensação que permita manter o funcionamento desse sistema, a partir do controle do conversor a ser reconfigurado para a nova condição de operação.

Estudos sobre tolerância a faltas em inversores multiníveis têm sido abordados em diferentes perspectivas (LI et al., 2001; TURPIN et al., 2002; CHEN et al., 2005; WEI et al., 2003; KOU et al., 2004; SILVA et al., 2006; PARK et al., 2004). Assim como em inversores de dois níveis, inversores multiníveis também podem empregar sistemas com componentes redundantes (SINHA et al., 1995; CHEN et al., 2005; PARK et al., 2004; MA et al., 2007) para compensar chaves com defeito. LI et al. (2001) propuseram uma estratégia de modulação tolerante a faltas, permitindo a continuidade de operação sob condição do dispositivo em curto circuito, em inversores NPC. Em WEI et al. (2003), o inversor multinível com módulos *H-bridge* (inversor monofásico em ponte completa) é estudado. As células de potência danificadas são “bypassadas” e o algoritmo PWM é ajustado de tal forma que o inversor é capaz de continuar a produzir tensão de linha trifásica balanceada, mesmo sob a condição de falta em uma das chaves. A referência KOU et al. (2004) discute a tolerância a faltas em um inversor de quatro níveis com capacitores flutuantes, que pode manter o pleno funcionamento do conversor, mesmo sob condições de uma chave com defeito por fase. A topologia proposta por CHEN et al. (2005) fornece capacidade de redundância em todos os níveis de tensão, que é realizada utilizando-se uma combinação própria de estados de chaveamento. Quando uma parte do circuito falhar, a função principal do circuito pode ser realizada através da utilização de

recursos redundantes inerentes ao sistema. Entretanto, com essas técnicas de redundância, quanto maior o número de níveis, mais caro se torna o sistema, sendo viável apenas para situações que necessitam de uma alta confiabilidade, compensando o aumento considerável dos custos.

Na referência PARK et al. (2004), um método de controle e a reconfiguração do inversor de três níveis NPC sob condições de falta é investigado. Em uma abordagem mais completa, SILVA et al. (2006) examinaram a detecção da falta, a identificação do dispositivo com defeito, assim como diferentes estratégias tolerantes a faltas, também em um inversor de três níveis NPC.

O presente trabalho consiste em contribuições para a detecção e identificação de faltas em inversores multiníveis, analisando o comportamento do conversor sob essas condições de operação. É proposto um novo método de diagnose de faltas, assim como é apresentada uma estratégia de compensação utilizando componentes adicionais na estrutura. O tipo de falha abordada se restringe à abertura não comandada de uma chave, e a topologia utilizada para o estudo é um inversor de três níveis com diodos de grampeamento.

1.4 Organização do Trabalho

Esta dissertação é dividida em 7 capítulos. O capítulo 1, além de esclarecer a motivação e o objetivo do trabalho, fez-se também uma breve revisão bibliográfica referente a topologias e técnicas de detecção e compensação de faltas em inversores multiníveis; no capítulo 2, é abordado conceitos básicos sobre a estrutura e funcionamento de um inversor de três níveis com diodos de grampeamento; o capítulo 3 trata da modelagem dinâmica de um conversor de três níveis alimentando uma máquina assíncrona, sob condições de falta; no capítulo 4, faz-se um estudo de métodos para detecção e identificação de chaves com falha, através de grandezas como tensões de pólo, correntes de fase, assim como é apresentada uma nova estratégia de diagnóstico de falta utilizando-se as correntes do barramento CC; o capítulo 5 descreve os procedimentos da técnica de detecção e identificação de faltas proposta, assim como apresenta resultados de simulação do método de diagnose em questão; o capítulo 6 investiga uma estratégia de compensação de falta, juntamente com os resultados de simulação e experimentais; por fim, o capítulo 7 contém as conclusões e

perspectivas futuras do presente trabalho.

Capítulo 2

Inversor Multinível com Diodos de Grampeamento

Dentre as topologias citadas no capítulo anterior, o inversor multinível com diodos de grampeamento tem sido bastante popular. Essa estrutura não possui capacitores de grampeamento e nem transformadores isolados. Devido a essas características, dentre outras, esse inversor vem sendo largamente utilizado em aplicações industriais de potência, como conversor de fonte de tensão, compesadores estáticos variáveis, etc.

Esse capítulo irá apresentar as principais considerações sobre um inversor de três níveis com diodos de grampeamento, o qual será utilizado no estudo proposto.

2.1 Estrutura e Funcionamento do Inversor Multinível com Diodos de Grampeamento

A Figura 2.1 mostra um inversor trifásico de três níveis com diodos de grampeamento, o qual possui dois capacitores no barramento CC, três braços, cada um constituído por quatro dispositivos semicondutores (S_{x1} a S_{x4}) com seus respectivos diodos em anti-paralelo (D_{x1} a D_{x4}), com $x \in \{a, b, c\}$, e dois diodos de grampeamento ligados ao ponto central do barramento CC (D_1 e D_4 no braço referente à fase a , D_2 e D_5 no braço referente à fase b e D_3 e D_6 no braço referente à fase c).

Para uma tensão de entrada contínua “ E ”, a tensão sobre cada capacitor que compõe o barramento CC é $E/(N - 1)$, onde “ N ” é o número de níveis do inversor, e a tensão sobre os interruptores é limitada à tensão dos capacitores C_1 e C_2 através dos diodos de grampeamento de cada braço. Para o caso de um inversor de três níveis, a tensão entre um terminal de saída do inversor (a, b ou c) e o terminal θ no centro do barramento CC, chamada de tensão de pólo, somente pode assumir três valores ($-E/2, 0$ ou $E/2$).

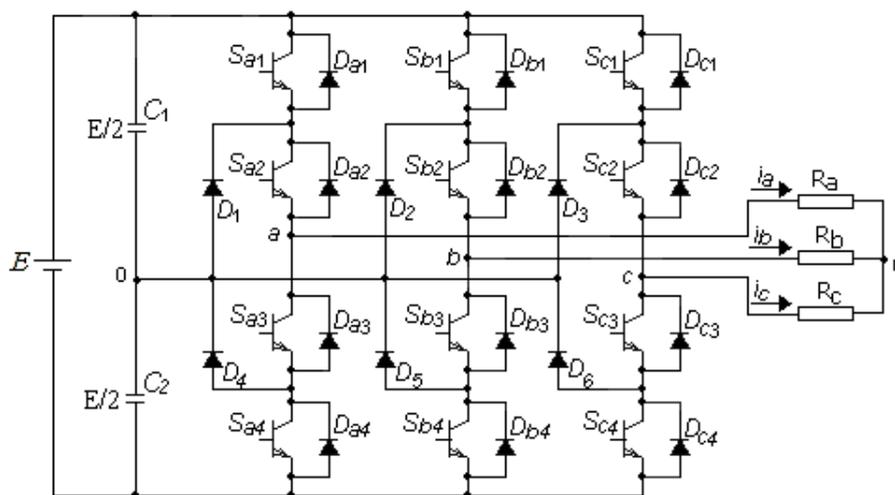


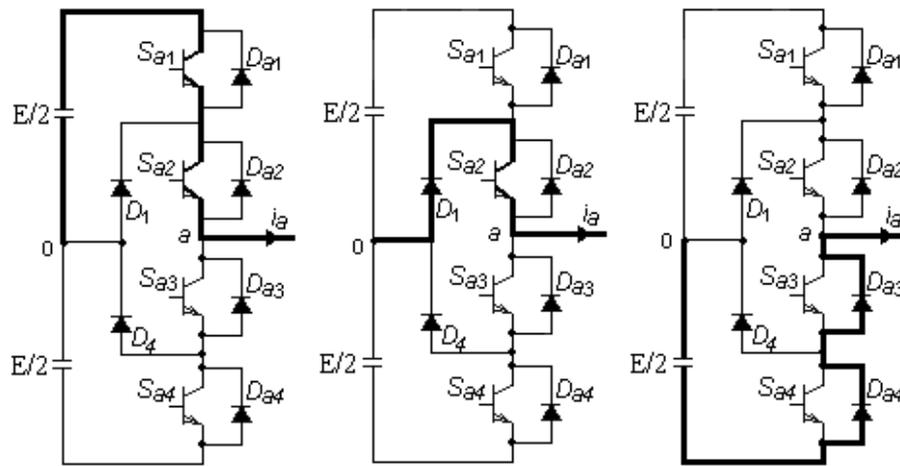
Figura 2.1: Inversor trifásico de três níveis com diodos de grampeamento.

Os 4 interruptores de cada braço devem trabalhar dois a dois. Tomando-se como exemplo o braço referente à fase a da Figura 2.1, a análise de seu funcionamento é feita da seguinte forma:

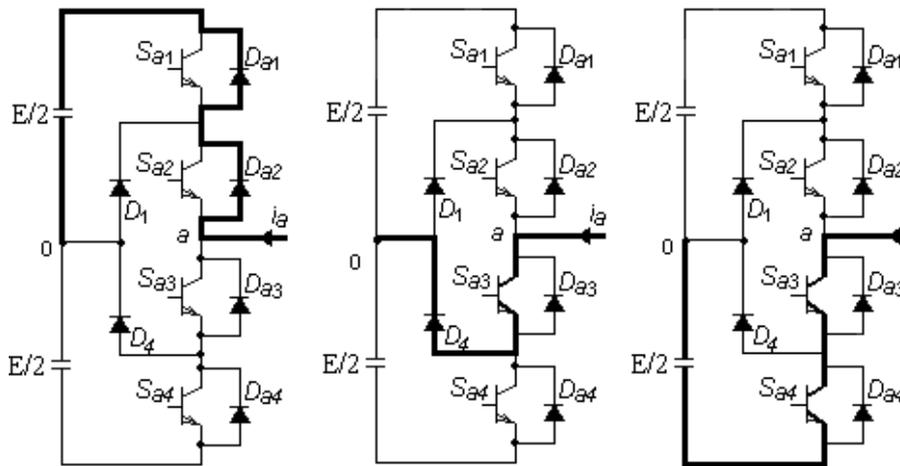
1. Para a corrente de fase i_a positiva, se S_{a1} e S_{a2} estiverem em condução, o terminal a é conectado ao positivo da tensão CC (estado $k_a = 2$);
2. Para a corrente de fase i_a positiva, se S_{a3} e S_{a4} estiverem em condução, o terminal a é conectado ao negativo da tensão CC através dos diodos D_{a3} e D_{a4} (estado $k_a = 0$);
3. Para a corrente de fase i_a positiva, se S_{a2} e S_{a3} estiverem em condução, o terminal a é conectado ao ponto neutro θ através do diodo D_1 e da chave S_{a2} (estado $k_a = 1$);
4. Para a corrente de fase i_a negativa, se S_{a1} e S_{a2} estiverem em condução, o terminal a é conectado ao positivo da tensão CC através dos diodos

D_{a1} e D_{a2} (estado $k_a = 2$);

5. Para a corrente de fase i_a negativa, se S_{a3} e S_{a4} estiverem em condução, o terminal a é conectado ao negativo da tensão CC (estado $k_a = 0$);
6. Para a corrente de fase i_a negativa, se S_{a2} e S_{a3} estiverem em condução, o terminal a é conectado ao ponto neutro θ através do diodo D_4 e da chave S_{a3} (estado $k_a = 1$).



(a) Estado $k_a = 2 (i_a > 0)$ (b) Estado $k_a = 1 (i_a > 0)$ (c) Estado $k_a = 0 (i_a > 0)$



(d) Estado $k_a = 2 (i_a < 0)$ (e) Estado $k_a = 1 (i_a < 0)$ (f) Estado $k_a = 0 (i_a < 0)$

Figura 2.2: Caminho que a corrente de fase i_a percorre, para cada estado de chaveamento.

A análise para os demais braços é feita de forma similar. De posse do raciocínio exposto, obtém-se a Tabela 2.1 com os possíveis estados de operação dos interruptores de um braço do inversor de três níveis com diodos de grampeamento e seus respectivos

valores de tensão de pólo v_{x0} ($-E/2$, 0 ou $E/2$), em que $x \in \{a, b, c\}$ e k_x representa os estados de operação em um braço do inversor, onde $k_x = 1$ significa o valor da tensão de pólo ser zero, $k_x = 2$ implica a tensão de pólo ser positiva e $k_x = 0$ a tensão de pólo ser negativa.

k_x	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{x0}
0	0	0	1	1	$-E/2$
1	0	1	1	0	0
2	1	1	0	0	$E/2$

Tabela 2.1: Estados dos interruptores para um inversor trifásico de três níveis com diodos de grampeamento.

As equações a seguir definem as tensões relacionadas com o circuito da Figura 2.1.

$$\text{Tensões de Pólo: } \begin{cases} v_{a0} \\ v_{b0} \\ v_{c0} \end{cases} \quad (2.1)$$

Tensão de modo comum (homopolar): v_{n0}

$$\text{Tensões de Fase: } \begin{cases} v_{an} = v_{a0} - v_{n0} \\ v_{bn} = v_{b0} - v_{n0} \\ v_{cn} = v_{c0} - v_{n0} \end{cases} \quad (2.2)$$

$$\text{Tensões de Linha: } \begin{cases} v_{ab} = v_{a0} - v_{b0} = v_{an} - v_{bn} \\ v_{bc} = v_{b0} - v_{c0} = v_{bn} - v_{cn} \\ v_{ca} = v_{c0} - v_{a0} = v_{cn} - v_{an} \end{cases} \quad (2.3)$$

Pela lei de Kirchoff, para as correntes no nó n da Figura 2.1, $i_a + i_b + i_c = 0$ e a tensão de modo comum, para um sistema trifásico com cargas equilibradas $R_a = R_b = R_c = R$, é definida como sendo:

$$v_{n0} = \frac{v_{a0} + v_{b0} + v_{c0}}{3} \quad (2.4)$$

A partir da Tabela 2.1, obtém-se a equação que define a tensão de pólo relacionada com os estados de operação dos interruptores do inversor para cada fase,

$$v_{x0} = \left(\frac{k_x - 1}{2} \right) \cdot E \quad \text{com } k_x \in \{0, 1, 2\} \quad (2.5)$$

Os valores das tensões de pólo obtidos pela equação anterior e introduzidos na equação (2.3) fornecem:

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = \frac{E}{2} \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} k_a \\ k_b \\ k_c \end{bmatrix} \quad \text{com } k_x \in \{0, 1, 2\} \quad (2.6)$$

Substituindo na equação (2.2) o valor da tensão de modo comum dada na equação (2.4) e os valores das tensões de pólo obtidos da equação (2.5), tem-se

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{6} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} k_a \\ k_b \\ k_c \end{bmatrix} \quad \text{com } k_x \in \{0, 1, 2\} \quad (2.7)$$

Para a topologia do inversor da Figura 2.1, com 4 interruptores por braço, tem-se um total de $4^3 = 64$ combinações. Entretanto, como os 4 interruptores devem trabalhar dois a dois na seqüência $0 \rightarrow 1 \rightarrow 2$ ou $2 \rightarrow 1 \rightarrow 0$, considera-se apenas um total de $3^3 = 27$ combinações diferentes para a tensão de pólo. Dessas 27 combinações, somente 19 produzem valores diferentes de tensão de linha e de fase na saída do inversor, conforme ilustra a Tabela 2.2.

Configuração	K_x	v_{a0}	v_{b0}	v_{c0}
0	000	-E/2	-E/2	-E/2
	111	0	0	0
	222	E/2	E/2	E/2
1	100	0	-E/2	-E/2
	211	E/2	0	0
2	110	0	0	-E/2
	221	E/2	E/2	0
3	010	-E/2	0	-E/2
	121	0	E/2	0
4	011	-E/2	0	0
	122	0	E/2	E/2
5	001	-E/2	-E/2	0
	112	0	0	E/2
6	101	0	-E/2	0
	212	E/2	0	E/2
7	200	E/2	-E/2	-E/2
8	210	E/2	0	-E/2
9	220	E/2	E/2	-E/2
10	120	0	E/2	-E/2
11	020	-E/2	E/2	-E/2
12	021	-E/2	E/2	0
13	022	-E/2	E/2	E/2
14	012	-E/2	0	E/2
15	002	-E/2	-E/2	E/2
16	102	0	-E/2	E/2
17	202	E/2	-E/2	E/2
18	201	E/2	-E/2	0

Tabela 2.2: Estados dos interruptores, com suas respectivas tensões de pólo, para um inversor trifásico de três níveis com diodos de grampeamento.

A Figura 2.3 mostra o diagrama do espaço vetorial para um inversor de três níveis com diodos de grampeamento, no plano xy.

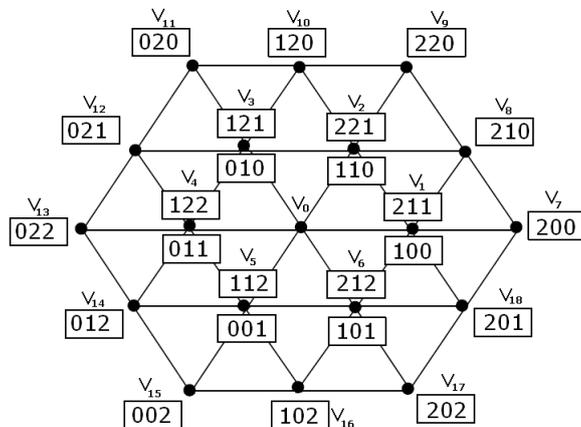


Figura 2.3: Diagrama vetorial para um inversor de três níveis com diodos de grampeamento.

O diagrama de vetores acima é composto por: um grupo de vetores grandes ($V_7, V_9, V_{11}, V_{13}, V_{15}$ e V_{17}), um grupo de vetores médios ($V_8, V_{10}, V_{12}, V_{14}, V_{16}$ e V_{18}), um grupo de vetores pequenos (V_1, V_2, V_3, V_4, V_5 e V_6) e por um vetor nulo (V_0). Cada vetor dos grupos grande e médio são criados por apenas uma combinação dos interruptores, enquanto que os vetores do grupo pequeno e o vetor nulo são determinados por mais de uma combinação diferente dos interruptores, conforme Tabela 2.2. Essas redundâncias inerentes aos vetores pequenos e nulo do inversor de três níveis permitem mais possibilidades de reconfiguração do que no caso de inversores convencionais de dois níveis. As combinações dos interruptores que originam o vetor nulo(ou de roda livre) não possibilitam o fluxo de energia entre a fonte CC e a carga.

Capítulo 3

Modelagem Dinâmica de um Conversor Alimentando uma Máquina Assíncrona

Este capítulo introduz a modelagem dinâmica de um conversor CC/CA de três níveis alimentando uma carga trifásica, mais especificamente uma máquina assíncrona. Também é feita uma análise do comportamento do sistema na ocorrência de uma falta, caracterizando o seu funcionamento nessa condição de operação. Basicamente, a falta abordada consiste na abertura não comandada de uma das chaves de um inversor de três níveis com diodos de grampeamento.

Na Figura 3.1 é apresentado o esquema simplificado do sistema de acionamento considerado neste trabalho. A alimentação da máquina assíncrona (motor de indução - *MI*), é fornecida por um inversor trifásico de três níveis com diodos de grampeamento. Os sinais de comando das chaves do inversor são gerados utilizando-se a técnica PWM escalar.

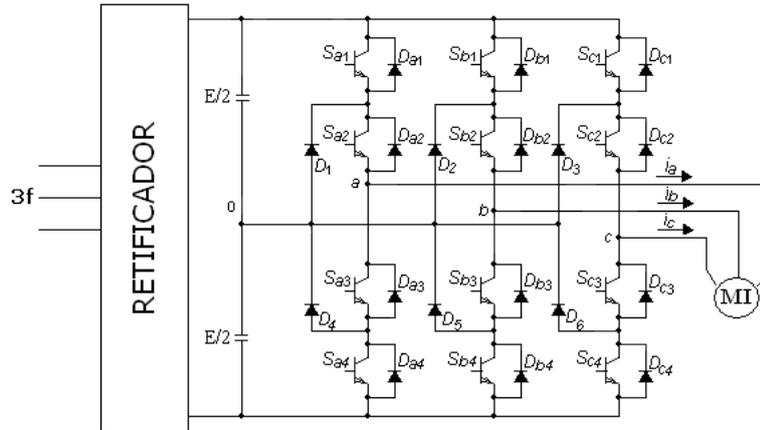


Figura 3.1: Sistema de acionamento com máquina assíncrona.

3.1 Modelo da Máquina Assíncrona (Motor de Indução)

Uma máquina de indução é obtida a partir de uma configuração particular da alimentação da máquina CA, em que as bobinas estatóricas são alimentadas por um sistema trifásico equilibrado (v_{a0} , v_{b0} e v_{c0}), cujas tensões nas fases da máquina podem ser expressas por

$$v_{sa} = v_{a0} - v_{n0} \quad (3.1)$$

$$v_{sb} = v_{b0} - v_{n0} \quad (3.2)$$

$$v_{sc} = v_{c0} - v_{n0} \quad (3.3)$$

onde v_{a0} , v_{b0} e v_{c0} são as tensões de pólo do inversor, cujos valores podem ser representados por $V_s \cos(\omega_s t)$, $V_s \cos(\omega_s t - 2\pi/3)$ e $V_s \cos(\omega_s t + 2\pi/3)$, respectivamente.

O modelo dinâmico da máquina assíncrona (maiores detalhes no Apêndice A) que relaciona corrente estatórica com tensão estórica, pode ser dado por:

$$v_s^s = r_{sr} i_s^s + \sigma l_s \frac{di_s^s}{dt} + e_s^s \quad (3.4)$$

onde $r_{sr} = r_s + \frac{(l_s - \sigma l_s)}{\tau_r}$ e $e_s^s = \left(j\omega_r - \frac{1}{\tau_r} \right) \left(\frac{l_s - \sigma l_s}{l_m} \right) \phi_r^s$, que representa a força contraeletromotriz (f_{cem}) do estator. As constantes $\sigma = \left(1 - \frac{l_m^2}{l_s l_r} \right)$ e $\tau_r = \frac{l_r}{r_r}$ são o coeficiente de dispersão da máquina e a constante de tempo rotórica, respectivamente. As variáveis

v_s^s e i_s^s são as tensões e as correntes estatóricas no referencial estatórico; r_s , r_r , l_s , l_r e l_m são as resistências estatórica e rotórica, indutâncias estatórica e rotórica, e a indutância mútua, respectivamente; ω_r é a frequência de rotação do rotor.

3.2 Caracterização do Sistema na Condição de Pré-Falta

Analisando a equação (3.4), admite-se afirmar que o modelo da máquina pode ser aproximado a um circuito RLE (conforme Figura 3.2), em que os parâmetros r_{sr} , σl_s e e_s^s da máquina são representados por r_s , l_s e e_{sx} ($x \in \{a, b, c\}$), respectivamente.

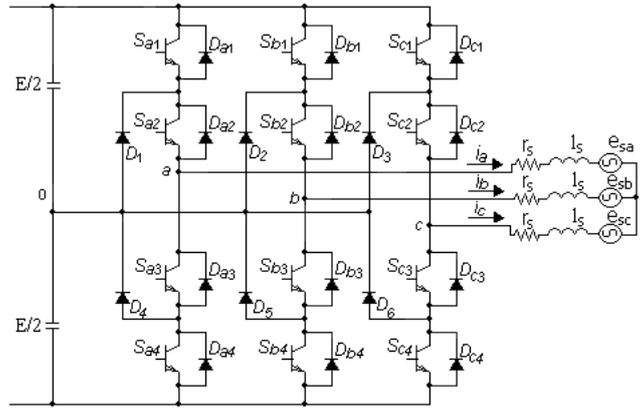


Figura 3.2: Sistema de acionamento com carga RLE.

Aplicando-se a lei das tensões de Kirchoff no circuito da Figura 3.2, obtém-se as seguintes expressões:

$$v_{a0} - r_s i_a - l_s \frac{di_a}{dt} - e_{sa} - v_{n0} = 0 \quad (3.5)$$

$$v_{b0} - r_s i_b - l_s \frac{di_b}{dt} - e_{sb} - v_{n0} = 0 \quad (3.6)$$

$$v_{c0} - r_s i_c - l_s \frac{di_c}{dt} - e_{sc} - v_{n0} = 0 \quad (3.7)$$

onde, v_{n0} (tensão de modo comum) representa a diferença de potencial entre o neutro da carga e o ponto intermediário θ do barramento CC.

Somando-se as equações (3.5), (3.6) e (3.7), obtém-se: $(v_{a0} + v_{b0} + v_{c0}) - r_s(i_a + i_b + i_c) - l_s \frac{d}{dt}(i_a + i_b + i_c) - (e_{sa} + e_{sb} + e_{sc}) - 3v_{n0} = 0$. Para um sistema equilibrado com

estator composto por enrolamentos conectados a neutro isolado, a soma das correntes de fase é zero, ou seja, $i_a + i_b + i_c = 0$. Logo,

$$v_{n0} = \frac{1}{3}(v_{ao} + v_{bo} + v_{co}) - \frac{1}{3}(e_{sa} + e_{sb} + e_{sc}) \quad (3.8)$$

Como a soma das forças contra-eletromotrizes é zero ($e_{sa} + e_{sb} + e_{sc} = 0$), conforme mostrado através da equação (A.11) do Apêndice A, a tensão de modo comum v_{n0} pode ser dada por:

$$v_{n0} = \frac{1}{3}(v_{ao} + v_{bo} + v_{co}) \quad (3.9)$$

3.3 Caracterização do Estado de Falta do Inversor de Tensão

As perdas de comando das chaves S_{a1} e S_{a2} do inversor da Figura 3.2, são esquematizadas nas Figuras 3.3(a) e 3.3(b), respectivamente. Esse tipo de falta pode ser ocasionado por um defeito em um dos circuitos de comando das chaves, desconexão do terminal de comando da chave ou por defeito da própria chave (RIBEIRO, 2003).

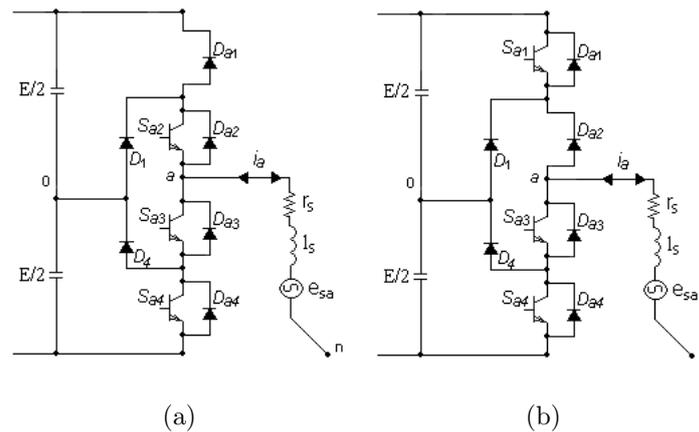


Figura 3.3: Braço referente à fase a do inversor após a ocorrência de falta: (a) na chave S_{a1} , (b) na chave S_{a2} .

Analisando melhor a Figura 3.3, para uma falta na chave S_{a1} , por exemplo, a tensão no pólo v_{a0} é determinada pela corrente de fase i_a e pelo padrão de chaveamento das chaves S_{a2} , S_{a3} e S_{a4} , definido na Tabela 2.1.

O Algoritmo 1 mostra como a tensão de pólo v_{a0} passa a ser determinada após a ocorrência da falta na chave S_{a1} , em que os valores binários $\{0,1\}$ correspondem aos estados de condução das chaves (chave aberta ou chave fechada, respectivamente). O Algoritmo 2 mostra como v_{a0} é determinada, para falta em S_{a2} .

Algoritmo 1 - Tensão de pólo v_{a0} na condição de pós-falta para a chave S_{a1} aberta

```

Se  $i_a > 0$  então
    Se  $S_{a2} = 1$  então
         $\Rightarrow v_{a0} = 0$  (corrente flui por  $D_1$  e  $S_{a2}$ )
    Senão se  $S_{a2} = 0$  então
         $\Rightarrow v_{a0} = -\frac{E}{2}$  (corrente flui por  $D_{a3}$  e  $D_{a4}$ )
    fim se
fim se
Se  $i_a < 0$  então
    Se  $S_{a3} = 1$  e  $S_{a4} = 1$  então
         $\Rightarrow v_{a0} = -\frac{E}{2}$  (corrente flui por  $S_{a3}$  e  $S_{a4}$ )
    Senão se  $S_{a3} = 0$  então
         $\Rightarrow v_{a0} = \frac{E}{2}$  (corrente flui por  $D_{a1}$  e  $D_{a2}$ )
    Senão se  $S_{a3} = 1$  e  $S_{a4} = 0$  então
         $\Rightarrow v_{a0} = 0$  (corrente flui por  $S_{a3}$  e  $D_4$ )
    fim se
fim se

```

Algoritmo 2 - Tensão de pólo v_{a0} na condição de pós-falta para a chave S_{a2} aberta

```

Se  $i_a > 0$  então
     $\Rightarrow v_{a0} = -\frac{E}{2}$  (corrente flui por  $D_{a3}$  e  $D_{a4}$ )
fim se

```

Se $i_a < 0$ então

Se $S_{a3} = 1$ e $S_{a4} = 0$ então

$$\Rightarrow v_{a0} = 0 \quad (\text{corrente flui por } S_{a3} \text{ e } D_4)$$

Senão se $S_{a3} = 1$ e $S_{a4} = 1$ então

$$\Rightarrow v_{a0} = -\frac{E}{2} \quad (\text{corrente flui por } S_{a3} \text{ e } S_{a4})$$

Senão se $S_{a3} = 0$ e $S_{a4} = 0$ então

$$\Rightarrow v_{a0} = \frac{E}{2} \quad (\text{corrente flui por } D_{a1} \text{ e } D_{a2})$$

fim se

fim se

A análise do comportamento da tensão de pólo v_{a0} , para faltas nas chaves S_{a3} e S_{a4} , pode ser feita por simetria. Destaca-se que, uma falta em qualquer das chaves do braço referente à fase a do inversor não interfere nas tensões de pólo v_{b0} e v_{c0} , e vice versa.

- Analisando o sistema na condição de pós-falta

Uma falta em qualquer das chaves (S_{x1} a S_{x4}) do inversor pode ser representada pela inclusão de um desvio de tensão $\pm \Delta v_{x0}$ em v_{x0} , sendo ($x \in \{a, b, c\}$). Admitindo-se uma falta em S_{a1} ou S_{a2} , a forma de onda de v_{a0} sofre deformação, de forma que as tensões de pólo na condição de pós-falta passam a ser dadas por:

$$\begin{cases} v'_{a0} = v_{a0} - \Delta v_{a0} \\ v'_{b0} = v_{b0} \\ v'_{c0} = v_{c0} \end{cases} \quad (3.10)$$

então, através das expressões (3.5)-(3.7),

$$\begin{cases} v'_{a0} = r_s i_a + l_s \frac{di_a}{dt} + e_{sa} + v_{n0} \\ v'_{b0} = r_s i_b + l_s \frac{di_b}{dt} + e_{sb} + v_{n0} \\ v'_{c0} = r_s i_c + l_s \frac{di_c}{dt} + e_{sc} + v_{n0} \end{cases} \quad (3.11)$$

Substituindo os termos de (3.10) em (3.11), tem-se:

$$\begin{cases} v_{a0} - \Delta v_{a0} = r_s i_a + l_s \frac{di_a}{dt} + e_{sa} + v_{n0} \\ v_{b0} = r_s i_b + l_s \frac{di_b}{dt} + e_{sb} + v_{n0} \\ v_{c0} = r_s i_c + l_s \frac{di_c}{dt} + e_{sc} + v_{n0} \end{cases} \quad (3.12)$$

Somando-se as três equações anteriores, obtém-se:

$$v_{ao} + v_{bo} + v_{co} - \Delta v_{ao} = r_s(i_a + i_b + i_c) + l_s \frac{d}{dt}(i_a + i_b + i_c) + (e_{sa} + e_{sb} + e_{sc}) + 3v_{n0} \quad (3.13)$$

como $(i_a + i_b + i_c) = 0$ (estator composto por enrolamentos conectados a neutro isolado), a equação (3.13) pode ser reescrita da forma

$$v_{n0} = \frac{1}{3}(v_{ao} + v_{bo} + v_{co}) - \frac{1}{3}(e_{sa} + e_{sb} + e_{sc}) - \frac{\Delta v_{ao}}{3} \quad (3.14)$$

Conforme equação (A.11), em que $(e_{sa} + e_{sb} + e_{sc}) = 0$, e considerando que as tensões de pólo do inversor são trifásicas e equilibradas, ou seja, $(v_{ao} + v_{bo} + v_{co}) = 0$, a tensão de modo comum pode ser aproximada por

$$v_{n0} = -\frac{\Delta v_{ao}}{3} \quad (3.15)$$

Para melhor avaliar o comportamento do sistema inversor/máquina, sob condições de falta, foram analisados os resultados de simulação para um conversor de três níveis alimentando um motor de indução, de forma que os resultados foram divididos em quatro estágios (I-IV), os quais são delimitados pelos instantes t_0 , t_1 , t_1' , t_2 , t_3 e t_4 , representados na Figura 3.4. A falta foi simulada para condição das chaves S_{a1} ou S_{a2} aberta.

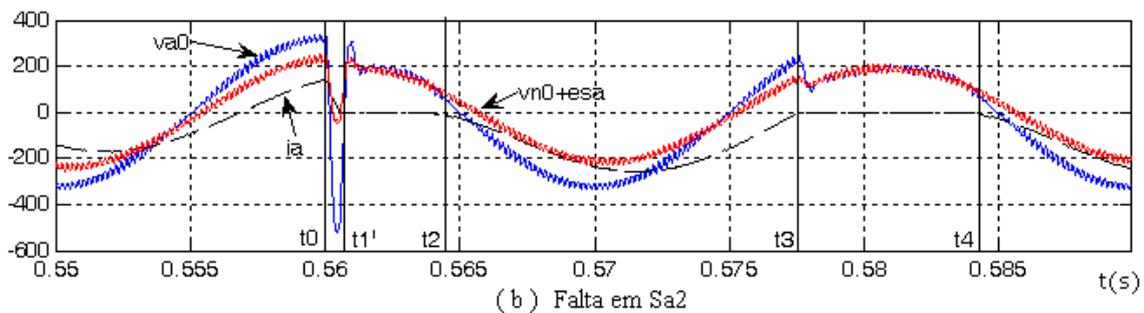
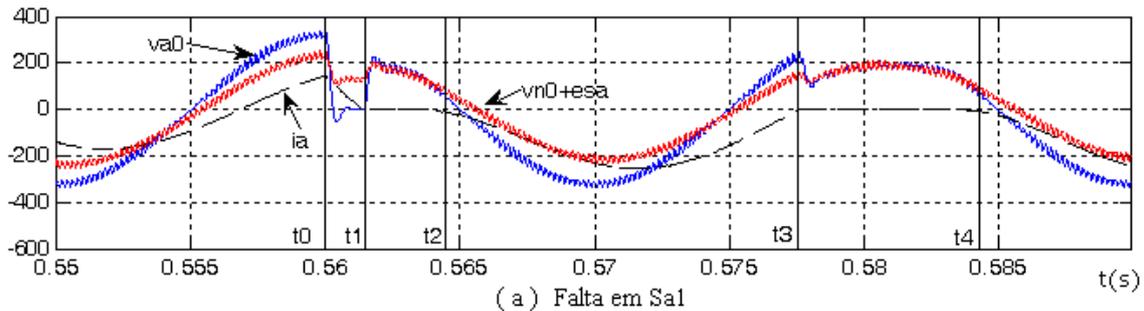


Figura 3.4: Comportamento do sistema após a ocorrência de falta: (a) na chave S_{a1} e (b) na chave S_{a2} .

3.3.1 Estágio I ($t_0 \leq t < t_1$ ou $t_0 \leq t < t_1'$)

Esse primeiro estágio corresponde ao intervalo de tempo entre o instante da ocorrência da falta (t_0) e o instante da primeira passagem por zero da corrente de fase i_a (t_1 para falta em S_{a1} e t_1' para falta em S_{a2}).

- Análise para falta em S_{a1} ($t_0 \leq t < t_1$)

No instante da falta, tanto a tensão de pólo v_{a0} quanto a corrente de fase i_a apresentam valores positivos, em cuja condição, a tensão de pólo assume o valor $v_{a0} = 0$, conforme Algoritmo 1.

Nessas condições, para $v_{a0} = 0$, aplicando a Lei das Tensões de Kirchoff no circuito equivalente da Figura 3.2(a), as correntes de fase passam a ser dadas por:

$$l_s \frac{di_a'}{dt} + r_s i_a' = -e_{sa} - v_{no} \quad (3.16)$$

$$l_s \frac{di_b'}{dt} + r_s i_b' = v_{bo} - e_{sb} - v_{no} \quad (3.17)$$

$$l_s \frac{di_c'}{dt} + r_s i_c' = v_{co} - e_{sc} - v_{no} \quad (3.18)$$

Visto que, para a falta em análise, a tensão de neutro pode ser expressa por $v_{no} = -\frac{\Delta v_{ao}}{3}$, então, as correntes de fase podem ser escritas como:

$$l_s \frac{di_a'}{dt} + r_s i_a' = -e_{sa} + \frac{\Delta v_{ao}}{3} \quad (3.19)$$

$$l_s \frac{di_b'}{dt} + r_s i_b' = v_{bo} - e_{sb} + \frac{\Delta v_{ao}}{3} \quad (3.20)$$

$$l_s \frac{di_c'}{dt} + r_s i_c' = v_{co} - e_{sc} + \frac{\Delta v_{ao}}{3} \quad (3.21)$$

Diante disso, a partir do momento em que ocorre a falta, além das correntes de fase se modificarem, conforme equações (3.19)-(3.21), as formas de onda das tensões de fase, dadas pelas expressões (3.1)-(3.3), também sofrem deformação.

- Análise para falta em S_{a2} ($t_0 \leq t < t_1'$)

Da mesma forma, como no instante da falta a corrente de fase é positiva ($i_a > 0$), para uma falta em S_{a2} , a tensão de pólo assume o valor $v_{a0} = -\frac{E}{2}$, conforme análise do Algoritmo 2.

Aplicando a Lei das Tensões de Kirchoff no circuito equivalente da Figura 3.2(b), a corrente i_a passa a ser dada por:

$$l_s \frac{di_a'}{dt} + r_s i_a' = -\left(\frac{E}{2} + e_{sa} + v_{n0}\right) \quad (3.22)$$

Assim, a corrente de fase i_a' , para a tensão de neutro $v_{n0} = -\frac{\Delta v_{ao}}{3}$, pode ser expressa conforme equação (3.23). As correntes i_b e i_c continuam com o mesmo comportamento descrito pelas equações (3.20) e (3.21), respectivamente.

$$l_s \frac{di_a'}{dt} + r_s i_a' = -\frac{E}{2} - e_{sa} + \frac{\Delta v_{ao}}{3} \quad (3.23)$$

3.3.2 Estágio II ($t_1 \leq t < t_2$ ou $t_1' \leq t < t_2$)

Tanto no intervalo de tempo $t_1 \leq t < t_2$ quanto em $t_1' \leq t < t_2$, a corrente de fase i_a chaveia em torno de zero, de forma a apresentar valor médio nulo ($\overline{i_a} = 0$). Esse comportamento é imposto pela igualdade entre a tensão de pólo e a força contra-eletromotriz somada à tensão de neutro ($v'_{a0} = e_{sa} + v_{n0}$). Assim, com $\overline{i_a} = 0$, $v'_{a0} = e_{sa} + v_{n0}$ e as correntes i_b e i_c continuam sendo dadas pelas equações (3.17) e (3.18), respectivamente.

3.3.3 Estágio III ($t_2 \leq t \leq t_3$)

Nesse estágio, a corrente i_a assume valores negativos. Com base nos Algoritmos 1 e 2, e levando em consideração que, nesse intervalo, $i_a < 0$, o pólo a do inversor consegue sintetizar a tensão de referência, o que corresponde à operação normal do inversor. Nesse intervalo, como o eixo de simetria mudou, a corrente passa a conter um valor CC, de forma que a corrente da fase a passa a ser $i_a'' = i_a - \Delta I$. Como a soma das correntes de fase é zero (considerando o estator da máquina composto enrolamentos conectados a neutro isolado), as correntes das fases b e c passam a ser das por: $i_b'' = i_b + \frac{\Delta I}{2}$ e $i_c'' = i_c + \frac{\Delta I}{2}$, respectivamente.

Dessa forma, o comportamento das correntes de fase dar-se-á por:

$$\begin{cases} l_s \frac{di_a''}{dt} + r_s i_a'' = -(v_{a0} + e_{sa} + v_{n0}) \\ l_s \frac{di_b''}{dt} + r_s i_b'' = -(v_{ab} + e_{sb} + v_{n0}) \\ l_s \frac{di_c''}{dt} + r_s i_c'' = -(v_{c0} + e_{sc} + v_{n0}) \end{cases} \quad (3.24)$$

Essa condição de operação será mantida até que a referência de tensão force a corrente a se anular, o que ocorre no instante t_3 , em que $v'_{a0} = e_{sa} + v_{n0}$, o que traduz-se em $\bar{i}_a = 0$.

3.3.4 Estágio IV ($t_3 \leq t \leq t_4$)

Nesse intervalo, verifica-se as mesmas condições de contorno observadas no estágio II, em que a corrente de fase i_a apresenta valor médio nulo e a tensão de pólo v'_{a0} passa a ser determinada pela *fcm* e pela tensão de neutro v_{n0} .

Sobre o comportamento do pólo do inversor, quando ocorre uma abertura não comandada em qualquer das chaves do inversor (chave aberta), é importante destacar que:

- A análise foi feita para a condição S_{a1} ou S_{a2} aberta, porém o comportamento do inversor para faltas em S_{a3} ou S_{a4} é simétrico. A análise dos braços referentes às fases b e c é feita de forma similar, observando-se as condições apresentadas no Algoritmo 1 e 2.

Essas observações com relação ao comportamento da corrente de fase e da tensão de pólo, na condição de pós-falta, dá margem à utilização de indicadores que possibilitam detectar faltas. Um estudo de métodos que possibilitam a detecção de falta, baseados no comportamento do sistema, é apresentado no capítulo 4.

Capítulo 4

Métodos de Detecção e Identificação de Falhas

A detecção de falhas é essencial para que procedimentos sejam realizados com o intuito de manter contínuo o funcionamento do sistema de acionamento, na ocorrência de falhas. Essa continuidade é possível através da reconfiguração do sistema e da compensação dessas possíveis falhas. A idéia básica da detecção e identificação de uma falha é que, através do comportamento de variáveis como tensão ou corrente, a ocorrência da falta seja diagnosticada por sinais indicadores gerados quando da ocorrência da falta (assinaturas de falta).

Neste capítulo, será realizado um estudo com o objetivo de apontar características que possibilitem o correto diagnóstico de falhas.

4.1 Métodos de Diagnósticos

Através de medições de tensões ou de correntes em determinados pontos do sistema de acionamento, consegue-se caracterizar o comportamento desse sistema sob condições de operação normal de funcionamento e de falta. Essas medições podem ser feitas por sensores de tensão ou de corrente instalados em pontos estratégicos do sistema inversor/carga, conforme é mostrado na Figura 4.1.

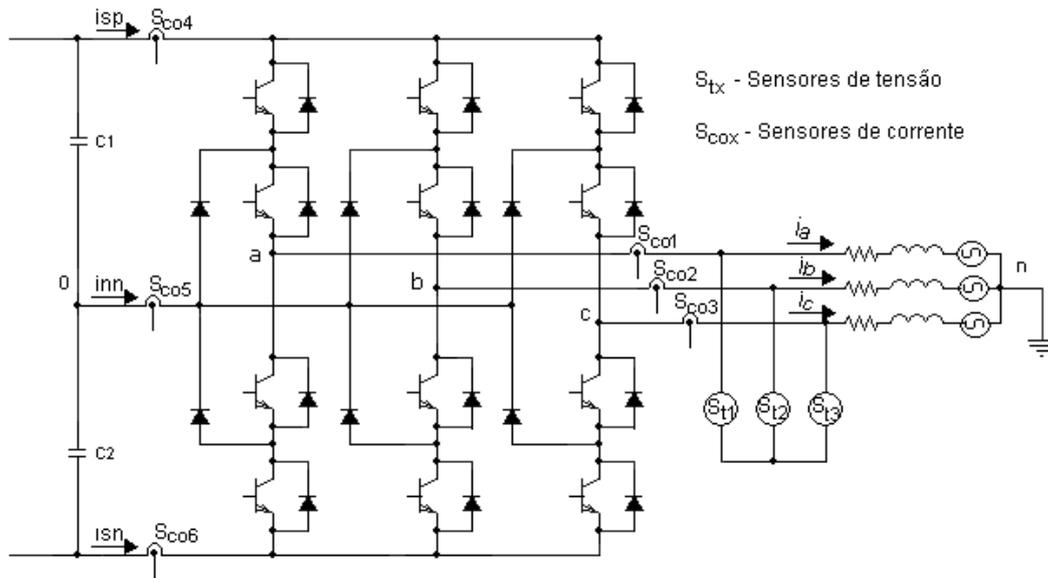


Figura 4.1: Diagrama esquemático do inversor de tensão trifásico de três níveis com diodos de grameamento, com as possíveis localizações dos sensores de tensão e de corrente.

4.1.1 Análise das correntes de fase

SON et al. (2004) investigaram formas de diagnosticar falhas em um inversor de três níveis com diodos de grameamento, utilizando-se de medições de correntes de fase, possibilitadas por sensores de corrente (S_{cox1} , S_{cox2} e S_{cox3}) possivelmente dispostos conforme mostra a Figura 4.1. Foi verificado que as correntes de fase i_a , i_b e i_c apresentam-se de forma diferente para cada chave com defeito. Nesse estudo, para validação dessa proposta, utilizou-se uma carga RL, cujos valores utilizados foram, respectivamente: $r_s = 8\Omega$ e $l_s = 0.002H$, com $E = 200V$. Nessas condições, o fator de potência da carga é de 0.995. Os resultados de simulação para essa técnica, utilizando esses valores, podem ser vistos na Figura 4.2, considerando apenas o primeiro braço do inversor. As falhas foram introduzidas em $t_0 = 0.284$ segundos.

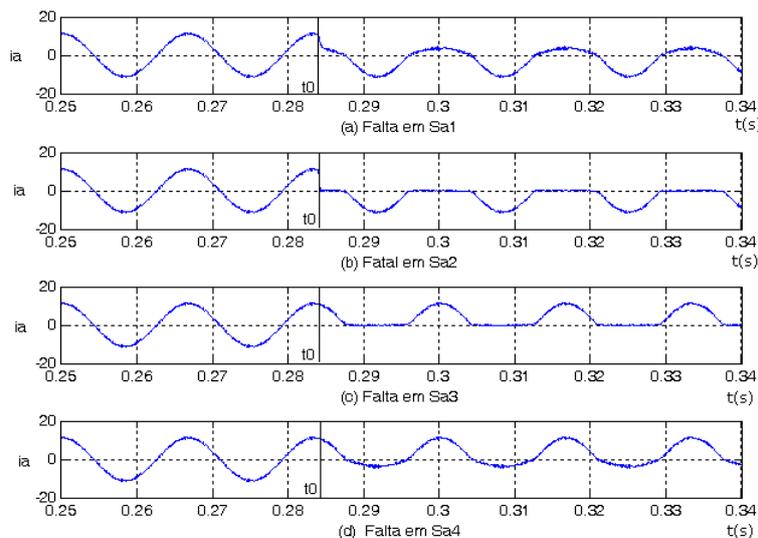


Figura 4.2: Formas de onda da corrente de fase i_a , sob condições de falta.

Analisando o comportamento da corrente de fase i_a na Figura 4.2, na condição pós-falta, constata-se o seguinte:

- Para uma falta em S_{a1} , i_a ainda se apresenta de forma bipolar, porém com a parte positiva bastante comprometida;
- Para uma falta em S_{a2} , i_a só apresenta valores negativos;
- Para uma falta em S_{a3} , i_a só apresenta valores positivos;
- Para uma falta em S_{a4} , i_a se apresenta de forma bipolar, porém com a parte negativa bastante comprometida.

Com essas observações em relação às correntes de fase, SON et al. (2004) conseguiram detectar faltas, assim como identificar a chave que apresentou defeito.

Ocorre que, para uma análise mais fiel, uma máquina genérica trifásica deve ser comparada a uma carga RLE, conforme equação (3.4) e Figura 3.2. Para essa condição, foi feita uma análise mais detalhada (Figura 4.3), comparando-se o comportamento das correntes de fase de um inversor alimentando uma carga RLE, variando-se o fator de potência. Os valores utilizados para a tensão do barramento CC, resistência, indutância e f_{cem} foram: $E = 200V$, $r_s = 1\Omega$, $l_s = 5mH$ e $e_{sa} = 80 \cdot \cos(w_s \cdot t - \phi)$. A variação do fator de potência foi feita variando-se o ângulo de carga ϕ . A tensão de pólo foi definida como sendo $v_{a0} = \frac{E}{2} \cdot m_a \cdot \cos(377 \cdot t)$, onde o m_a representa o índice de modulação, cujo

valor utilizado foi de 0.9. O momento da falta ocorreu em $t_0 = 0.284$ segundos.

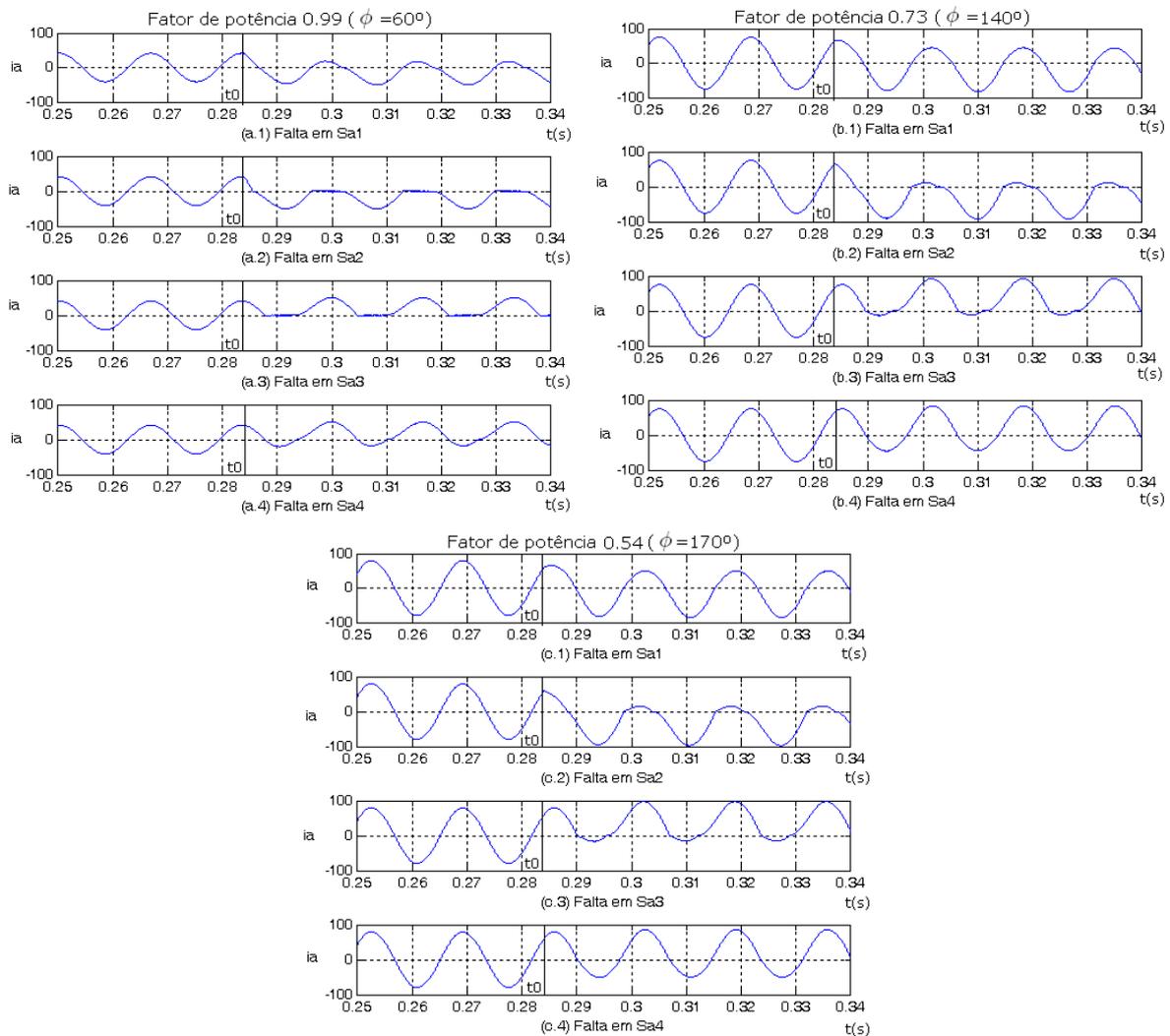


Figura 4.3: Comportamento da corrente de fase i_a , sob condições de falta, para diferentes fatores de potência: (a)0.99, (b)0.73 e (c)0.54.

De acordo com os resultados obtidos e ilustrados na Figura 4.3, à medida que o fator de potência vai diminuindo, a técnica de identificar a chave com defeito proposta por SON et al. (2004) não se aplica, pois a corrente passa a se apresentar sempre de forma bipolar, independente da chave com falha. Diante disso, essa técnica de identificar a chave com falha, analisando as correntes de fase, se mostra bastante restrita, podendo ser utilizada apenas para cargas com fator de potência alto.

Uma outra situação em que não consegue-se identificar a chave com defeito, através do comportamento das correntes de fase, está ilustrada na Figura 4.4. A simulação foi feita para um inversor de três níveis alimentado uma máquina assíncrona, cujos parâmetros

estão apresentados na Tabela 4.1:

$E = 800V$	$l_s = 0.386H$	$r_r = 3.421\Omega$	$k_j = 0.0267$
$v_{x0}^* = 320V$	$l_r = 0.386H$	$l_m = 0.363H$	$par = 2$
$f_s = 50Hz$	$r_s = 5.793\Omega$	$k_f = 0.0297$	$C_m = 8Nm$

Tabela 4.1: Parâmetros da máquina assíncrona utilizados na simulação.

onde, l_s corresponde à indutância estatória, l_r à indutância rotórica, l_m à indutância mútua, r_s à resistência estatória, r_r à resistência rotórica, k_j ao momento de inércia, k_f ao coeficiente de atrito, par ao número de pares de pólos e C_m ao conjugado mecânico, o qual foi inserido quando transcorrido 0.2 segundos de simulação.

As tensões de pólo v_{a0} , v_{b0} e v_{c0} foram sintetizadas a partir de uma estratégia PWM escalar, com $v_{x0} = \frac{E}{2} \cdot m_a \cdot \cos(w_s \cdot t)$, defasadas de 120° , em que $x \in \{a, b, c\}$, e o índice de modulação m_a utilizado foi de 0.8. A falta foi introduzida em $t_0 = 0.56$ segundos.

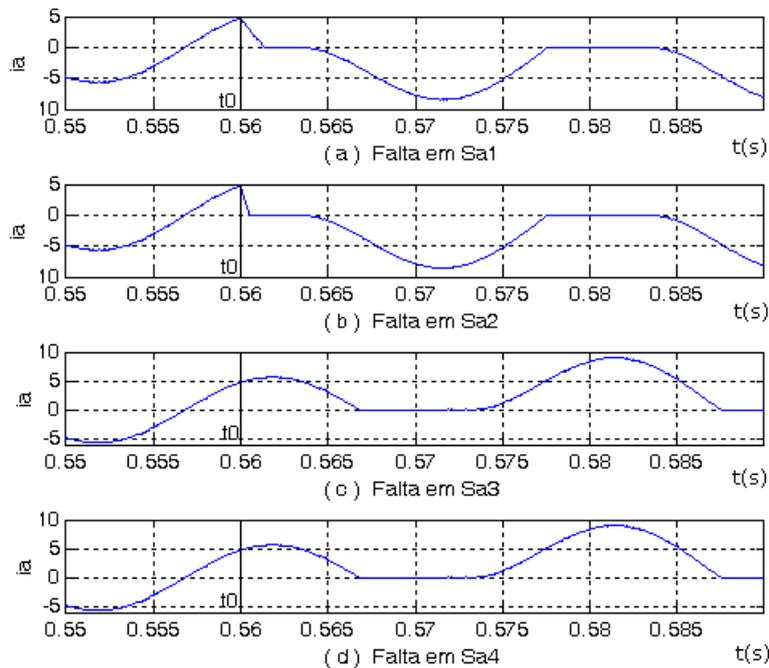


Figura 4.4: Formas de onda da corrente de fase i_a , para um inversor alimentando uma máquina assíncrona.

A partir da Figura 4.4, observa-se que, para a carga sendo a máquina em questão, após a falta, a corrente de fase somente apresenta valores negativos para faltas nas chaves S_{a1} ou S_{a2} e somente valores positivos para faltas nas chaves S_{a3} ou S_{a4} .

Diante dos resultados expostos, através do comportamento das correntes de fase, é possível detectar que houve falta, e ainda determinar em que parte do braço (superior ou inferior) a falha ocorreu. Dessa forma, desconsiderando condições adequadas, não consegue-se identificar a chave com defeito.

4.1.2 Análise das tensões de pólo

Foi verificado no item anterior que o comportamento das correntes de fase se modifica quando ocorre uma falta em qualquer das chaves do inversor. Da mesma forma, as formas de onda das tensões de pólo v_{a0} , v_{b0} e v_{c0} também sofrem deformações quando algumas das chaves de suas respectivas fases apresentam defeito, conforme visto no item 3.3.

Para que seja possível definir a melhor estratégia pós-falta, é necessário não somente detectar o braço com defeito, mas também identificar o dispositivo que apresentou falha. Em seu estudo, RIBEIRO (2003) considerou o erro entre tensões medidas e suas respectivas referências obtidas a partir da estratégia de modulação PWM para diagnosticar faltas em inversores de dois níveis. Foi então mostrado que esses erros, além de presentes nas tensões de fase, se propagam também nas tensões de linha e na tensão de modo-comum, e todas essas medidas de tensão foram usadas para detectar a falta e identificar a chave com defeito.

Assim como para inversores de dois níveis, em inversores de três níveis, o erro de tensão de pólo causado por defeito nas chaves pode ser definido por:

$$\varepsilon_{x0} = v_{x0}^* - v_{x0} = \Delta V_{x0} \quad \text{com } x \in \{a, b, c\} \quad (4.1)$$

onde v_{x0}^* corresponde às tensões de referência obtidas a partir da estratégia de modulação PWM e v_{x0} às tensões de pólo medidas, feitas a partir de sensores de tensão (S_{t1} , S_{t2} e S_{t3}) dispostos conforme ilustra a Figura 4.1.

Resultados de simulação mostraram que esses erros podem ser considerados como $\pm\Delta V_{x0}$ ou $\pm\Delta'V_{x0}$ para faltas ocorridas nas chaves externas (S_{x1} ou S_{x4}) e internas (S_{x2} ou S_{x3}), respectivamente. A maneira como esses erros afetam a tensão de pólo, no momento da falta, é dada na Tabela 4.2.

<i>Falha</i>	ε_{a0}	ε_{b0}	ε_{c0}
S_{a1}	ΔV_{a0}	0	0
S_{a2}	$\Delta' V_{a0}$	0	0
S_{a3}	$-\Delta' V_{a0}$	0	0
S_{a4}	$-\Delta V_{a0}$	0	0
S_{b1}	0	ΔV_{b0}	0
S_{b2}	0	$\Delta' V_{b0}$	0
S_{b3}	0	$-\Delta' V_{b0}$	0
S_{b4}	0	$-\Delta V_{b0}$	0
S_{c1}	0	0	ΔV_{c0}
S_{c2}	0	0	$\Delta' V_{c0}$
S_{c3}	0	0	$-\Delta' V_{c0}$
S_{c4}	0	0	$-\Delta V_{c0}$

Tabela 4.2: Erros nas tensões de pólo devido a chaves abertas.

Interpretando a Tabela 4.2 acima, constata-se que se a falta ocorreu em algumas das chaves da parte superior do braço do inversor (S_{x1} ou S_{x2}), o erro de tensão é positivo. Entretanto, para faltas nas chaves inferiores do braço do inversor (S_{x3} ou S_{x4}), o erro de tensão é negativo. Essas observações permitem, não somente detectar a ocorrência da falta pela simples presença do erro, como também definir em que parte do braço existe o dispositivo com defeito. Mais ainda, se $\pm\Delta V_{x0}$ for significativamente diferente (em amplitude) de $\pm\Delta' V_{x0}$, consegue-se identificar a chave que apresentou falha.

Para uma melhor visualização do comportamento das tensões de pólo e dos erros de tensão, sob condição de falta(chave aberta), foram introduzidas faltas em pontos estratégicos na corrente de fase da máquina descrita na Tabela 4.1 (Figura 4.5), a qual possui fator de potência aproximadamente igual a 0.78 indutivo. A corrente de fase i_a foi multiplicada por um fator 30, para melhor visualização.

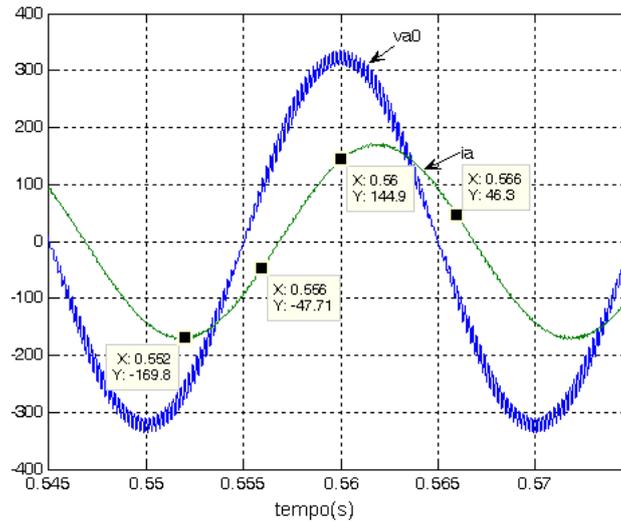


Figura 4.5: Momento em que as faltas ocorreram.

Conforme especifica a Figura 4.5, as faltas foram introduzidas para situações em que: $i_a < 0$ e $v_{a0} < 0$; $i_a < 0$ e $v_{a0} > 0$; $i_a > 0$ e $v_{a0} > 0$; $i_a > 0$ e $v_{a0} < 0$, respectivamente. As Figuras 4.6 a 4.9 ilustram o comportamento da tensão de pólo, da corrente de fase e do erro de tensão para faltas nas chaves S_{a1} ou S_{a2} . O comportamento dessas variáveis para o caso de faltas nas chaves S_{a3} ou S_{a4} ocorre de forma simétrica.

- Falta ocorrida em 0.552 segundos

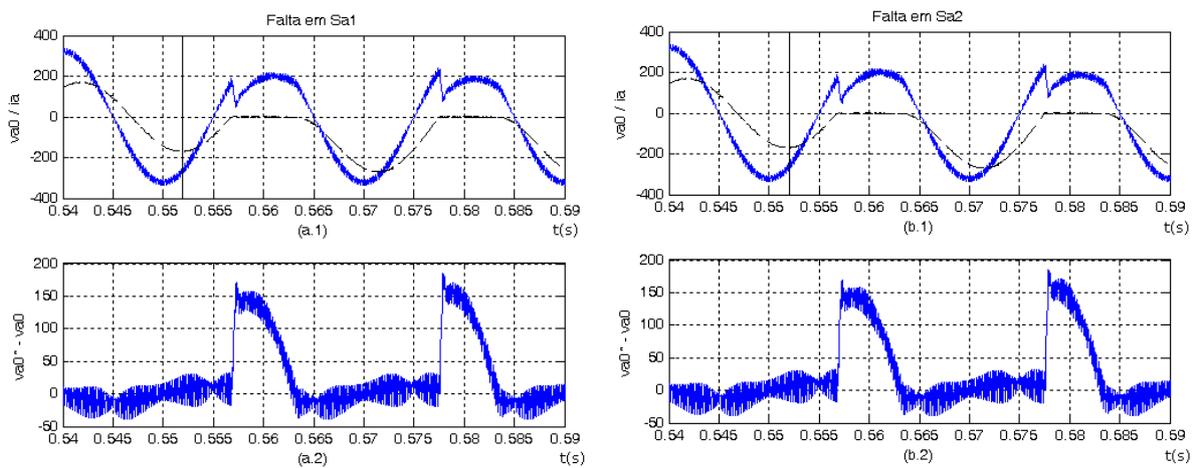


Figura 4.6: Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.552s.

- Falta ocorrida em 0.556 segundos

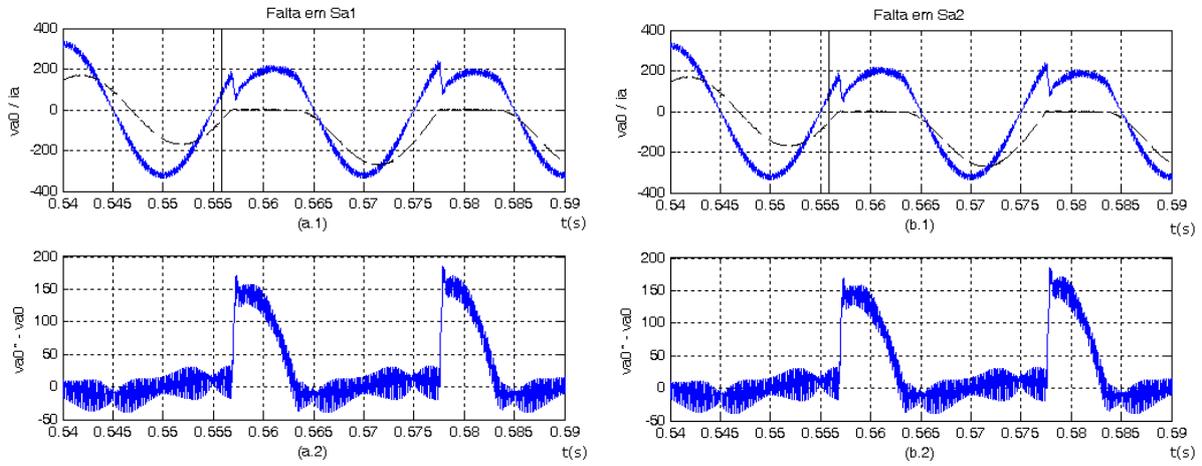


Figura 4.7: Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.556s.

- Falta ocorrida em 0.56 segundos

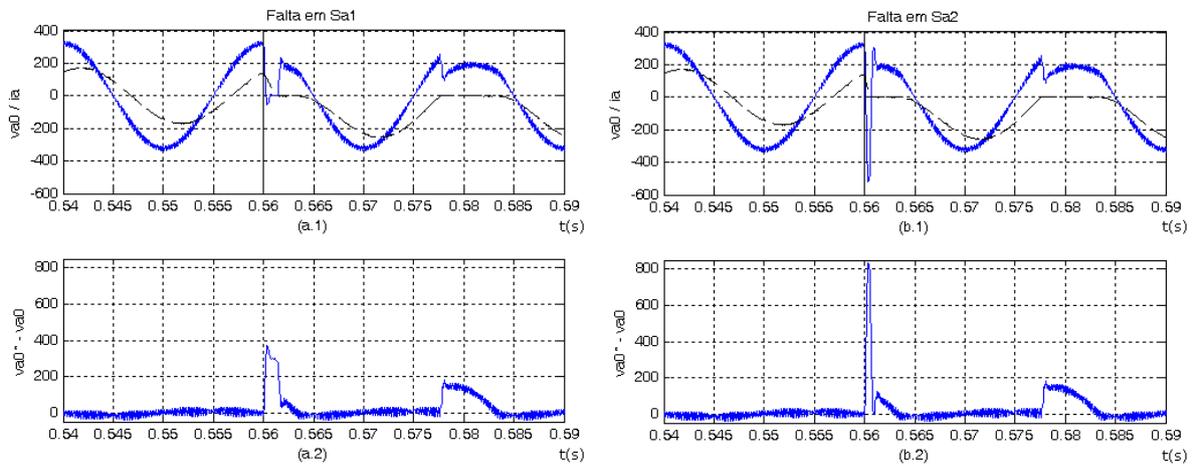


Figura 4.8: Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.56s.

- Falta ocorrida em 0.566 segundos

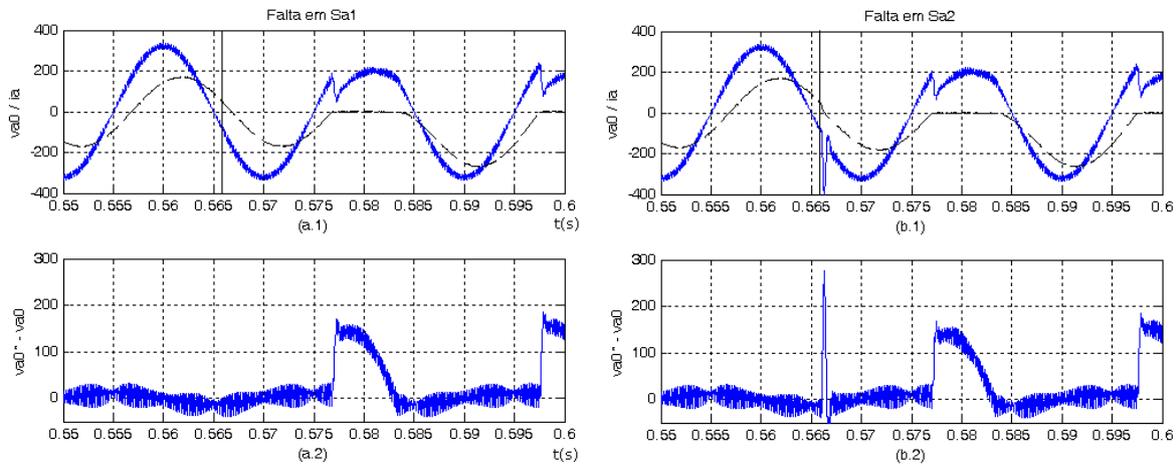


Figura 4.9: Tensão de pólo, corrente de fase e erro de tensão ε_{a0} para falta em: (a) S_{a1} e (b) S_{a2} . Falta em 0.566s.

A partir das Figuras 4.6 e 4.7, observa-se que se a falta ocorre em qualquer das chaves superiores do braço (S_{a1} ou S_{a2}) quando a corrente de fase é negativa ($i_a < 0$), o comportamento e amplitude dos erros de tensão obtidos (ΔV_{a0} e $\Delta'V_{a0}$) são muito próximos um do outro.

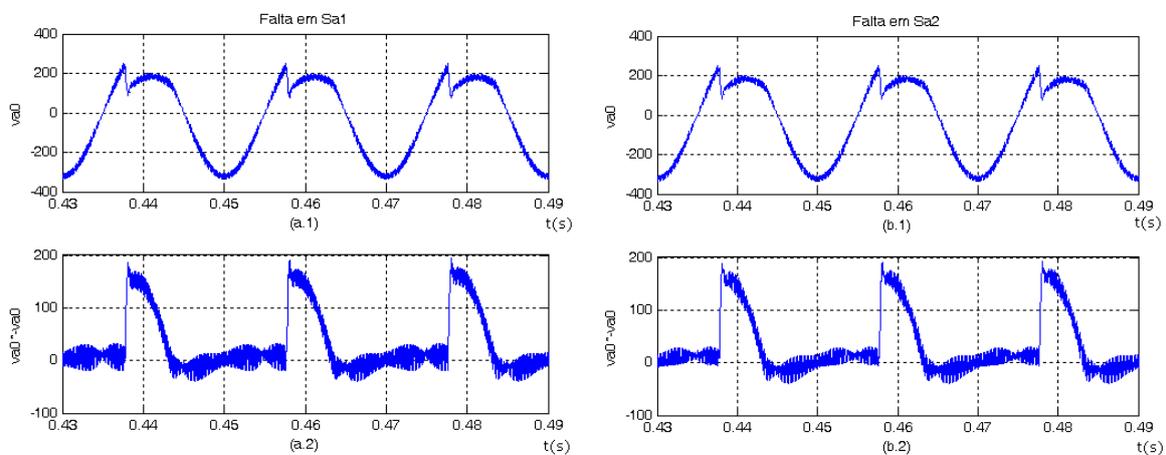
Em contrapartida, para faltas nas chaves superiores ocorridas quando a corrente de fase é positiva ($i_a > 0$) e a tensão de pólo também é positiva ($v_{a0} > 0$), a diferença de amplitude entre os erros ΔV_{a0} e $\Delta'V_{a0}$, no momento da falta, é bastante significativa (Figura 4.8). Nessa situação, através da amplitude dos erros de tensão, consegue-se identificar se a falha ocorreu na chave S_{a1} ou S_{a2} . O valor do erro no instante da falha quando S_{a1} apresenta defeito é muito menor que para o caso quando S_{a2} é a chave com problema.

Analisando a Figura 4.9, também para falta introduzida quando a corrente de fase é positiva ($i_a > 0$), porém com tensão de pólo negativa ($v_{a0} < 0$), observa-se, no momento da falta, uma diferença significativa entre ΔV_{a0} e $\Delta'V_{a0}$. No instante em que ocorre a falta, para um defeito em S_{a1} , ΔV_{a0} não sofre alteração, enquanto que para uma falha em S_{a2} , $\Delta'V_{a0}$ tem sua amplitude bastante amplificada. Essa situação também permite identificar se a falha ocorreu na chave S_{a1} ou S_{a2} .

Diante das observações expostas, pode-se deduzir que só se consegue identificar se a falha está em S_{x1} ou S_{x2} , através da diferença de amplitude entre os erros ΔV_{x0} e $\Delta'V_{x0}$,

quando a falta ocorre em situações que a corrente de fase i_x é positiva. Por simetria, só é identificada a falta em S_{x3} ou S_{x4} , através da diferença de amplitude entre os erros de tensão $-\Delta V_{x0}$ e $-\Delta'V_{x0}$, quando a falta ocorre durante o período em que a corrente de fase i_x é negativa. Com isso, a detecção e identificação da chave com falha depende do fator de potência do sistema, como também depende em que região na forma de onda da corrente, a falta ocorreu. Resultados de simulação tem mostrado que, mesmo em situações favoráveis como o da Figura 4.8 em que $i_a > 0$ e $V_{a0} > 0$, existe uma faixa adequada em que a diferença de amplitude entre $\pm\Delta V_{x0}$ e $\pm\Delta'V_{x0}$ é bastante significativa. A diferença de amplitude desses erros é tão maior quanto maior for a amplitude da tensão de pólo no momento da falta.

Fora das condições adequadas, ou quando a amplitude do erro no instante da falta é desconsiderada, os erros de tensão obtidos para faltas nas chaves externas e internas são muito próximos um do outro. Essa situação pode ser observada na Figura 4.10.



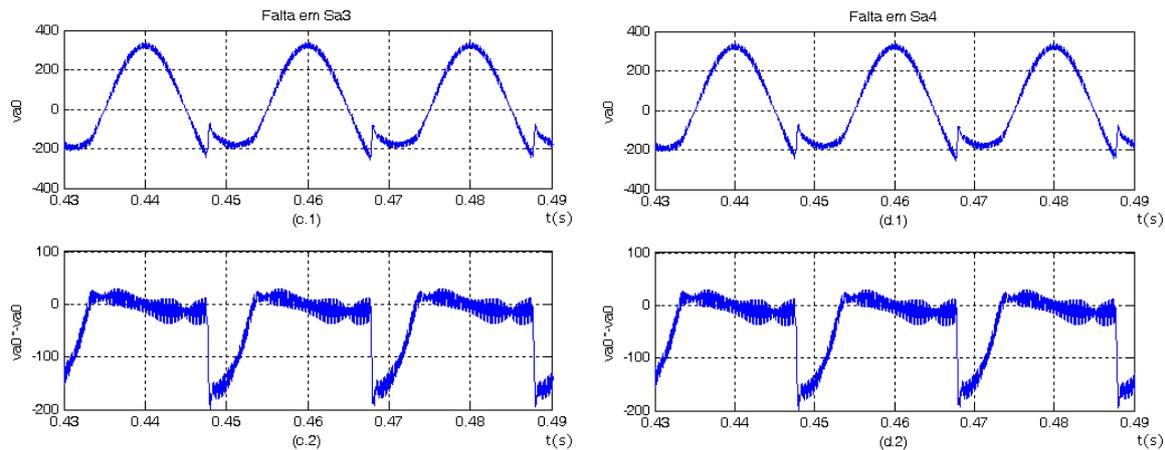


Figura 4.10: (x.1) Tensão de pólo v_{a0} , sob condição de falta. (x.2) Erro de tensão $\varepsilon_{a0} = v_{a0}^* - v_{a0}$.

Os resultados ilustrados na Figura 4.10 indicam que erros de tensão para faltas ocorridas nas chaves S_{a1} ou S_{a2} apresentam-se de forma semelhante, possibilitando definir apenas a parte do braço do inversor em que há chave com defeito, através da polaridade desses erros. Da mesma forma ocorre com faltas nas chaves S_{a3} ou S_{a4} .

Nessas condições, para identificar exatamente a chave que apresentou falha, SILVA et al. (2006) realizam os seguintes passos:

→ Depois da detecção da parte do braço em que apresenta-se uma chave com falha, sua chave externa (S_{x1} ou S_{x4}) é aberta e sua chave interna (S_{x2} ou S_{x3}) é colocada em condução;

→ Se a tensão de pólo assume o valor “0”, significa que o defeito está na chave externa;

→ Se, instantaneamente, a tensão de pólo assume o valor de $\pm E/2$, a chave interna é a defeituosa.

4.1.3 Análise das correntes do barramento CC

As correntes do barramento CC são definidas como sendo as correntes isp , isn e inn , indicadas na Figura 4.1. Suas medições podem ser efetuadas através de sensores como: S_{co4} , S_{co5} e S_{co6} , posicionados estrategicamente.

Em condições normais de funcionamento de um inversor de três níveis com diodos de grampeamento, as correntes do barramento CC podem ser definidas pelas expressões

(4.2), (4.3) e (4.4), a seguir:

$$isp = (S_{a1} \cdot S_{a2}) \cdot i_a + (S_{b1} \cdot S_{b2}) \cdot i_b + (S_{c1} \cdot S_{c2}) \cdot i_c \quad (4.2)$$

$$isn = (S_{a3} \cdot S_{a4}) \cdot i_a + (S_{b3} \cdot S_{b4}) \cdot i_b + (S_{c3} \cdot S_{c4}) \cdot i_c \quad (4.3)$$

$$inn = (S_{a2} \cdot S_{a3}) \cdot i_a + (S_{b2} \cdot S_{b3}) \cdot i_b + (S_{c2} \cdot S_{c3}) \cdot i_c \quad (4.4)$$

Uma forma mais detalhada de como essas correntes fluem pelas chaves e diodos do conversor na condição de pré-falta está descrita no Algoritmo 3.

Algoritmo 3 - *Correntes do barramento CC em condições normais de funcionamento do conversor*

Se $i_a > 0$ então

$$\Rightarrow isp = (S_{a1} \cdot S_{a2}) \cdot i_a + (S_{b1} \cdot S_{b2}) \cdot i_b + (S_{c1} \cdot S_{c2}) \cdot i_c$$

$$\Rightarrow isn = (D_{a3} \cdot D_{a4}) \cdot i_a + (D_{b3} \cdot D_{b4}) \cdot i_b + (D_{c3} \cdot D_{c4}) \cdot i_c$$

$$\Rightarrow inn = (D_1 \cdot S_{a2}) \cdot i_a + (D_2 \cdot S_{b2}) \cdot i_b + (D_3 \cdot S_{c2}) \cdot i_c$$

fim se

Se $i_a < 0$ então

$$\Rightarrow isp = (D_{a1} \cdot D_{a2}) \cdot i_a + (D_{b1} \cdot D_{b2}) \cdot i_b + (D_{c1} \cdot D_{c2}) \cdot i_c$$

$$\Rightarrow isn = i_a + (S_{b3} \cdot S_{b4}) \cdot i_b + (S_{c3} \cdot S_{c4}) \cdot i_c$$

$$\Rightarrow inn = (S_{a3} \cdot D_4) \cdot i_a + (S_{b3} \cdot D_5) \cdot i_b + (S_{c3} \cdot D_6) \cdot i_c$$

fim se

As Figuras 4.12 e 4.14 ilustram o comportamento dessas correntes, sob condições de operação normal e em falta nas chaves S_{a1} , S_{a2} , S_{a3} e S_{a4} , para a máquina assíncrona apresentada na Tabela 4.1, cujo fator de potência é de aproximadamente 0.78 indutivo. Na Figura 4.12, a falta foi introduzida em t_0 igual a 0.5619 segundos, momento este coincidente com a crista positiva da corrente de fase i_a , conforme Figura 4.11. Na Figura 4.14, a falta foi simulada em t_0 igual a 0.5719 segundos, instante coincidente com a crista negativa de i_a , conforme Figura 4.13.

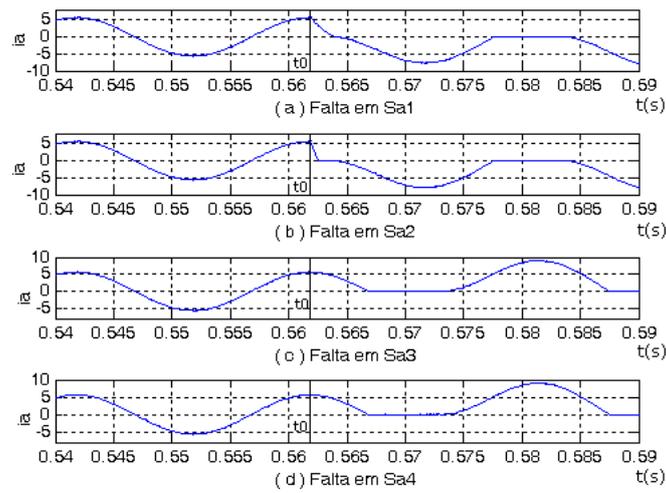


Figura 4.11: Corrente de fase i_a . Falta em 0.5619s - Crista Positiva.

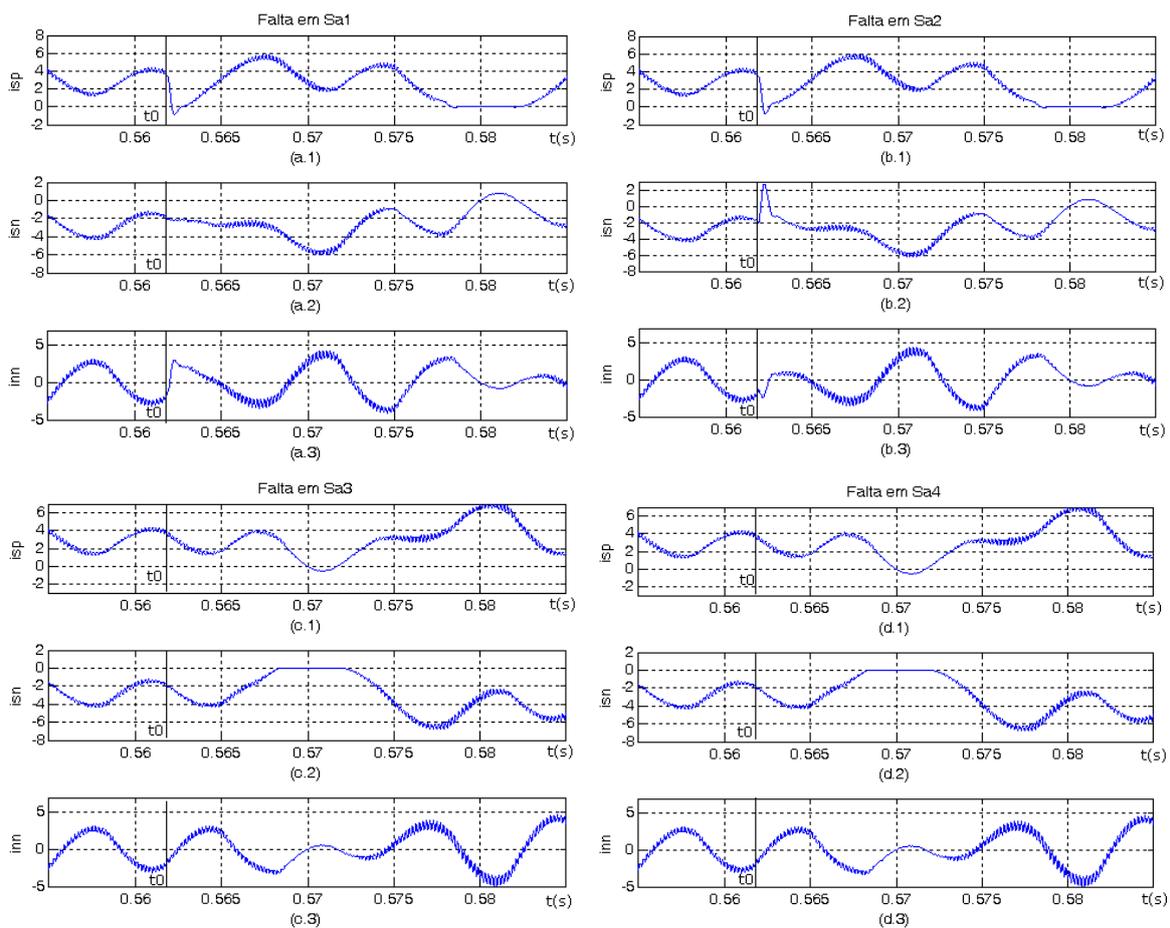


Figura 4.12: Correntes do barramento CC, com falta ocorrida em 0.5619s.

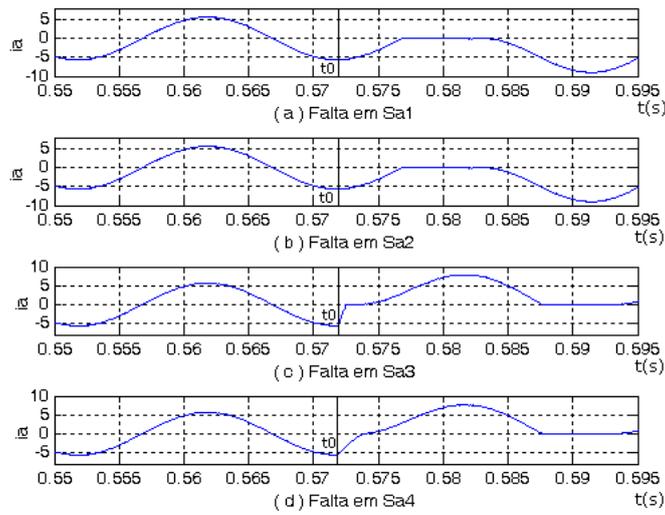


Figura 4.13: Corrente de fase i_a . Falta em 0.5719s - Crista Negativa.

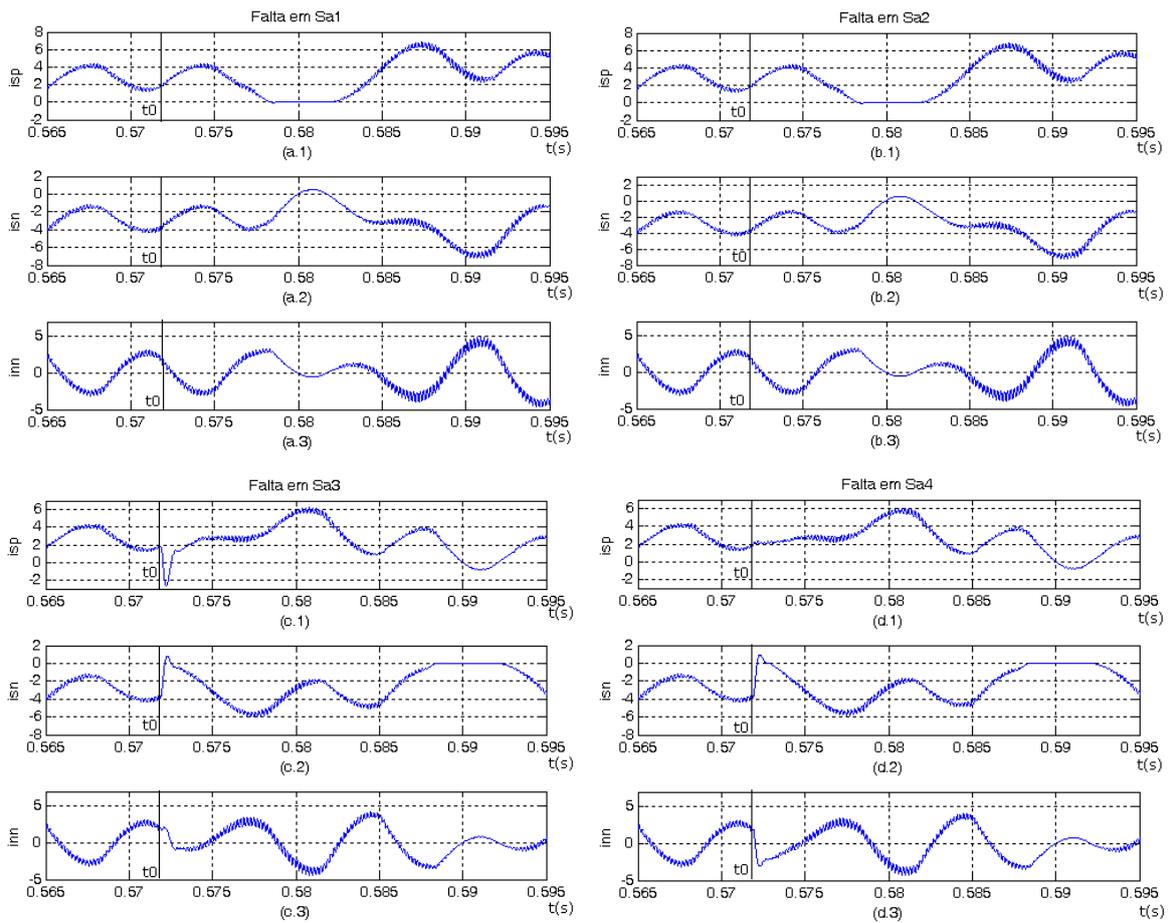


Figura 4.14: Correntes do barramento CC, com falta ocorrida em 0.5719s.

Analisando o momento da falta na Figura 4.12, verifica-se que para uma falha ocorrida nas chaves S_{a1} ou S_{a2} , por um determinado momento, a corrente isp logo assume valores negativos, comportamento este que permite detectar a ocorrência da falta. Nesse mesmo instante em que $isp \leq 0$, a corrente isn , para falta em S_{a1} , não apresenta de imediato valores positivos, enquanto que para uma falta em S_{a2} , isn logo assume valores positivos, apresentando um pico na corrente. Ainda considerando o instante em que $isp \leq 0$, para falta em S_{a1} , inn apresenta valores positivos, ao contrário para uma falta em S_{a2} , em que inn apresenta valores negativos. Já para o caso de faltas em S_{a3} ou S_{a4} , as correntes isp , isn e inn se mostram de formas idênticas (Figura 4.12(c.x) e 4.12(d.x)), entretanto, com comportamentos diferentes das correntes para falta nas chaves superiores.

Analisando a Figura 4.14, no momento em que ocorre a falta em S_{a3} ou S_{a4} , a corrente isn assume valores positivos, por um curto período de tempo, de forma que esse comportamento permite detectar a ocorrência da falta. A corrente isp , no momento da falta em S_{a3} , assume valores negativos e apresenta um pico na corrente, enquanto que para uma falta em S_{a4} , isp não modifica sua polaridade no instante da falta. Também, no instante em que $isn \geq 0$, para falta em S_{a3} , inn apresenta valores positivos, ao contrário para uma falta em S_{a4} , em que inn apresenta valores negativos. Já para o caso de faltas nas chaves S_{a1} ou S_{a2} , as correntes isp , isn e inn se mostram de formas idênticas (Figura 4.14(a.x) e 4.14(b.x)), entretanto, com comportamentos diferentes das correntes para falta nas chaves inferiores.

Diante dessas observações, constata-se que se a falta ocorreu em uma das chaves superiores durante o semiciclo positivo da corrente de fase, consegue-se detectar a falta diante do comportamento da corrente isp , e nesse mesmo instante identificar se o defeito encontra-se na chave S_{a1} ou S_{a2} , a partir do comportamento das correntes isn ou inn . Se ocorrer faltas nas chaves inferiores (S_{a3} ou S_{a4}) durante o período em que a corrente de fase é positiva, não consegue-se identificar a chave com defeito, apenas detectar que houve falha diante do comportamento de isp ou isn e definir em que parte do braço do inversor possui o dispositivo com defeito.

Constata-se também que, se a falta ocorreu em uma das chaves inferiores durante o semiciclo negativo da corrente de fase, consegue-se detectar a falta diante do comportamento da corrente isn , e nesse mesmo instante identificar se o defeito encontra-se na chave

S_{a3} ou S_{a4} , a partir do comportamento das correntes isp ou inn . Se ocorrer faltas nas chaves superiores (S_{a1} ou S_{a2}) durante o período em que a corrente de fase é negativa, não consegue-se identificar a chave com defeito, apenas detectar que houve falha diante do comportamento de isp ou isn e definir em que parte do braço do inversor possui o dispositivo com defeito.

O raciocínio exposto encontra-se resumido nas Tabelas 4.3 e 4.4. Na Tabela 4.3, considera-se falta ocorrida durante o semiciclo positivo da corrente de fase i_a , enquanto que a Tabela 4.4 resume o comportamento de i_a antes e logo após a ocorrência de falta no semiciclo negativo.

Correntes	Antes da Falta	Falta em S_{a1}	Falta em S_{a2}
isp	> 0	≤ 0	≤ 0
isn	< 0	< 0	> 0
inn	< 0	> 0	< 0

Tabela 4.3: Comportamento das correntes isp , isn e inn , antes e logo após o instante da falta em S_{a1} ou S_{a2} , para faltas durante o semiciclo positivo da corrente de fase i_a .

Correntes	Antes da Falta	Falta em S_{a3}	Falta em S_{a4}
isp	> 0	< 0	> 0
isn	< 0	≥ 0	≥ 0
inn	> 0	> 0	< 0

Tabela 4.4: Comportamento das correntes isp , isn e inn , antes e logo após o instante da falta em S_{a3} ou S_{a4} , para faltas durante o semiciclo negativo da corrente de fase i_a .

Para uma análise mais detalhada do comportamento dessas correntes, foram feitas várias simulações de faltas nas chaves pertencentes ao braço referente à fase “a” (S_{a1} , S_{a2} , S_{a3} e S_{a4}) de um inversor de três níveis com diodos de grampeamento, utilizando a máquina assíncrona apresentada na Tabela 4.1 como carga. As faltas foram introduzidas em pontos específicos (Figura 4.15) na corrente de fase i_a da máquina em questão, quais sejam: em 30° , 45° , 60° , 90° , 110° e 120° , localizados no semiciclo positivo da corrente de fase i_a , e em 30° , 45° , 60° , 90° , 110° e 120° localizados no semiciclo negativo da corrente de fase i_a .

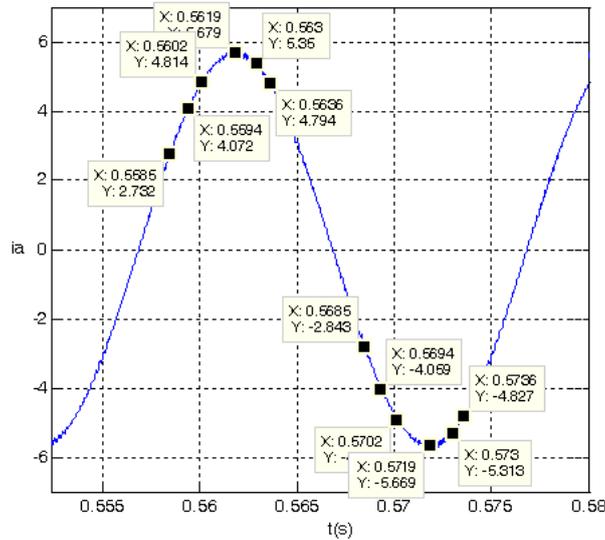


Figura 4.15: Momento em que as falhas foram simuladas.

As situações que ilustram a falta no instante correspondente a 90° da corrente de fase i_a , nos semiciclos positivo e negativo, correspondem às Figuras 4.12 e 4.14, respectivamente. As demais simulações encontram-se no Apêndice B. A partir dessas figuras, foi constatado, com uma certa margem de segurança, que o comportamento descrito nas Tabelas 4.3 e 4.4 verifica-se apenas para falhas ocorridas nos instantes correspondentes à faixa entre 45° a 110° das correntes de fase, tanto para o semiciclo positivo quanto para o negativo. Falhas ocorridas fora desse intervalo, não consegue-se identificar a chave com defeito, apenas determinar a parte do braço que contém o dispositivo com falha, a partir do novo comportamento das correntes do barramento CC. Para cargas com fator de potência próximo da unidade, esse limite aumenta, podendo variar de 30° a 120° .

O Algoritmo 4 define como as correntes do barramento CC passam a se comportar após a ocorrência de falta na chave S_{a1} . Já o Algoritmo 5 descreve o caminho por onde essas correntes fluem após a falta em S_{a2} . A análise do comportamento das correntes do barramento CC, para falhas nas chaves S_{a3} ou S_{a4} , pode ser feita por simetria.

Algoritmo 4 - Correntes do barramento CC na condição de pós-falta para a chave S_{a1} aberta

Se $i_a > 0$ então

$$\Rightarrow isp = (S_{b1} \cdot S_{b2}) \cdot i_b + (S_{c1} \cdot S_{c2}) \cdot i_c$$

$$\Rightarrow isn = (D_{a3} \cdot D_{a4}) \cdot i_a + (D_{b3} \cdot D_{b4}) \cdot i_b + (D_{c3} \cdot D_{c4}) \cdot i_c$$

$$\Rightarrow inn = (D_1 \cdot S_{a2}) \cdot i_a + (D_2 \cdot S_{b2}) \cdot i_b + (D_3 \cdot S_{c2}) \cdot i_c$$

fim se

Se $i_a < 0$ então

$$\Rightarrow isp = (D_{a1} \cdot D_{a2}) \cdot i_a + (D_{b1} \cdot D_{b2}) \cdot i_b + (D_{c1} \cdot D_{c2}) \cdot i_c$$

$$\Rightarrow isn = (S_{a3} \cdot S_{a4}) \cdot i_a + (S_{b3} \cdot S_{b4}) \cdot i_b + (S_{c3} \cdot S_{c4}) \cdot i_c$$

$$\Rightarrow inn = (S_{a3} \cdot D_4) \cdot i_a + (S_{b3} \cdot D_5) \cdot i_b + (S_{c3} \cdot D_6) \cdot i_c$$

fim se

Algoritmo 5 - Correntes do barramento CC na condição de pós-falta para a chave S_{a2} aberta

Se $i_a > 0$ então

$$\Rightarrow isp = (S_{b1} \cdot S_{b2}) \cdot i_b + (S_{c1} \cdot S_{c2}) \cdot i_c$$

$$\Rightarrow isn = (D_{a3} \cdot D_{a4}) \cdot i_a + (D_{b3} \cdot D_{b4}) \cdot i_b + (D_{c3} \cdot D_{c4}) \cdot i_c$$

$$\Rightarrow inn = (D_2 \cdot S_{b2}) \cdot i_b + (D_3 \cdot S_{c2}) \cdot i_c$$

fim se

Se $i_a < 0$ então

$$\Rightarrow isp = (D_{a1} \cdot D_{a2}) \cdot i_a + (D_{b1} \cdot D_{b2}) \cdot i_b + (D_{c1} \cdot D_{c2}) \cdot i_c$$

$$\Rightarrow isn = (S_{a3} \cdot S_{a4}) \cdot i_a + (S_{b3} \cdot S_{b4}) \cdot i_b + (S_{c3} \cdot S_{c4}) \cdot i_c$$

$$\Rightarrow inn = (S_{a3} \cdot D_4) \cdot i_a + (S_{b3} \cdot D_5) \cdot i_b + (S_{c3} \cdot D_6) \cdot i_c$$

fim se

Uma observação a ser destacada é que as correntes isp , isn e inn dependem das correntes de fase, conforme equações (4.2) a (4.4). Conforme a Figura 4.11, se uma falta ocorre nas chaves S_{a3} ou S_{a4} durante o semiciclo positivo da corrente de fase, não há diferença no comportamento de i_a para falhas nessas duas chaves inferiores. Consequentemente, também não há diferença no comportamento das correntes do barramento CC para faltas em S_{a3} ou S_{a4} , durante o semiciclo positivo da corrente de fase i_a . Esse mesmo comportamento das correntes ocorre nas chaves S_{a1} e S_{a2} , quando ocorre uma falta durante o semiciclo negativo.

Pensando na relação custo/benefício, a utilização das correntes do barramento CC, para detectar e identificar falhas, necessita apenas de 5 sensores: 2 sensores para as correntes isp e isn ; e mais 3 sensores para as correntes de fase, com o objetivo de definir se a chave identificada com defeito encontra-se no braço referente à fase a , b ou c .

Uma análise das quantidades e localizações de sensores necessários para medições de tensão ou correntes dos métodos de detecção estudados nos itens 4.1.1, 4.1.2 e 4.1.3 é resumida na Tabela 4.5, respectivamente.

Nº sensores	Variáveis	Sensores	Medições
3	i_a, i_b e i_c	S_{co1}, S_{co2} e S_{co3}	correntes de fase
3	v_{a0}, v_{b0} e v_{c0}	S_{t1}, S_{t2} e S_{t3}	tensões de pólo
5	$i_a, i_b, i_c,$ isp e isn	S_{co1}, S_{co2} e $S_{co3},$ S_{co4} e S_{co6}	correntes de fase e correntes do barramento CC

Tabela 4.5: Quantidade e localização de sensores dos métodos analisados de detecção e identificação de falhas.

Apesar do método de detecção e identificação de falhas utilizando as correntes do barramento CC exigir sensores adicionais à estrutura do sistema estático de potência, uma vantagem no uso de sensores de corrente em relação a sensores de tensão é que os primeiros são significativamente mais baratos¹ e mais simples de serem implementados que os segundos.

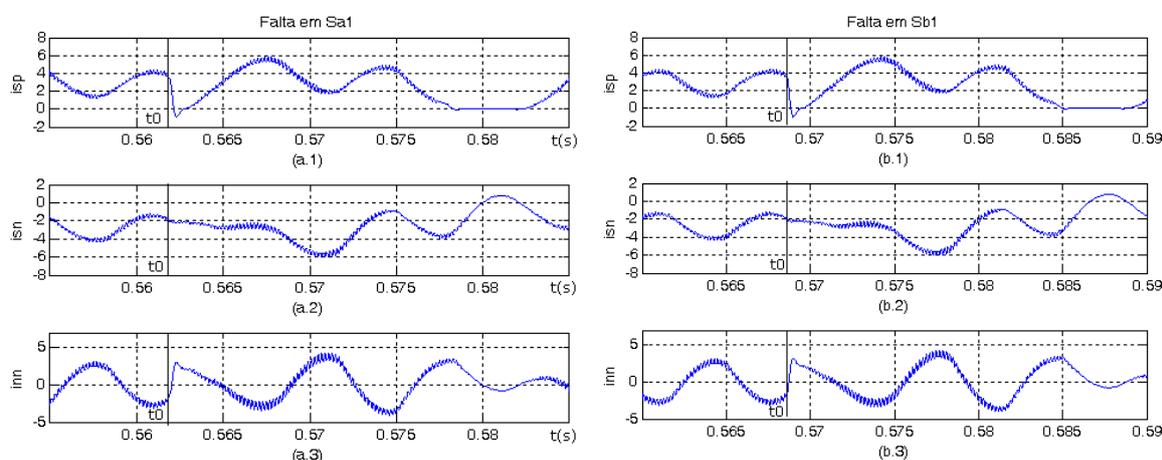
¹De acordo com o catálogo da Farnell, um transdutor de tensão, por exemplo o LV25-p, custa em torno de R\$ 358.54, enquanto que um transdutor de corrente, como o LA55-p, custa aproximadamente R\$ 138.84. Ambos utilizam o efeito hall.

Capítulo 5

Método de Detecção e Identificação de Faltas Proposto

O método de diagnóstico de faltas proposto nesse trabalho, introduzido no item 4.1.3, emprega medições de apenas duas correntes do barramento CC, quais sejam: isp e isn , com o objetivo de detectar a falta e identificar, quando possível, se a falta ocorreu em S_{x1} , S_{x2} , S_{x3} ou S_{x4} , sendo $x \in \{a, b, c\}$. O comportamento das correntes isp , isn e inn são semelhantes para faltas em S_{a1} , S_{b1} e S_{c1} , por exemplo, nas mesmas condições de falta. O mesmo ocorre para as outras chaves de mesma posição, porém de braços diferentes.

A Figura 5.1 ilustra o comportamento das correntes do barramento CC para uma falta em S_{a1} ocorrida em 90° de i_a , falta em S_{b1} ocorrida em 90° de i_b e falta em S_{c1} ocorrida em 90° de i_c . A carga considerada nas simulações desse capítulo é a máquina assíncrona cujos parâmetros encontram-se na Tabela 4.1.



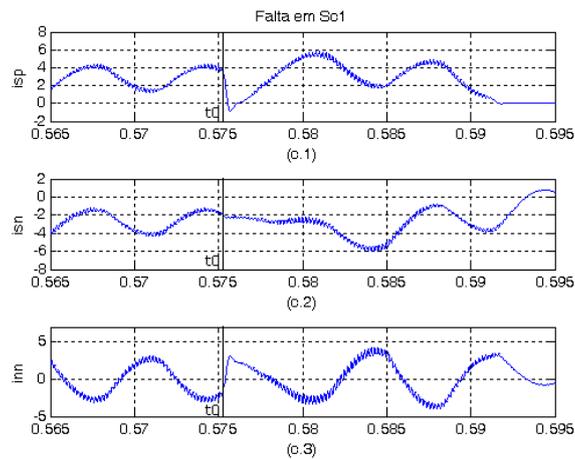


Figura 5.1: (a.x) Falta em S_{a1} , ocorrida em 0.5619s. (b.x) Falta em S_{b1} , ocorrida em 0.5686s, (c.x) Falta em S_{c1} , ocorrida em 0.5753s

Diante dessa igualdade de comportamento das correntes do barramento CC para chaves de mesma posição, porém de braços diferentes, medições das correntes de fase são necessárias para que se possa identificar o braço que possui a chave com defeito. A Figura 5.2 mostra o comportamento das correntes de fase i_a , i_b e i_c , considerando uma falta em S_{a1} no instante correspondente à crista positiva de i_a .

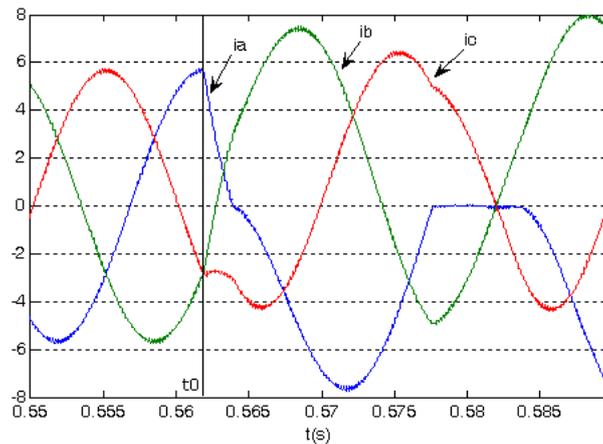


Figura 5.2: i_a , i_b e i_c para falta em S_{a1} , ocorrida em 0.5619s.

A partir da Figura 5.2, observa-se que a corrente de fase i_a , após a falta, passa a ser unipolar, assumindo apenas valores negativos ou valores médios nulos. Esse mesmo comportamento (unipolar) ocorre em i_b e i_c caso ocorra falta em alguma de suas chaves.

Uma forma prática de detectar a fase que apresenta um dispositivo com falha, é usar o teste de paridade, comparando-se os intervalos de polaridade, como ilustra a Figura 5.3.

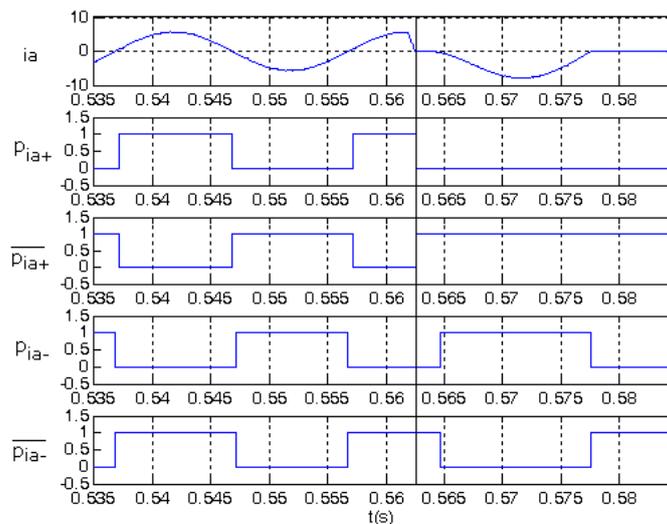


Figura 5.3: Teste de paridade na corrente de fase i_a .

Na Figura 5.3, os indicadores p_{ia+} e p_{ia-} indicam quando a corrente é positiva ou negativa, respectivamente. $\overline{p_{ia+}}$ e $\overline{p_{ia-}}$ são o complemento de p_{ia+} e p_{ia-} . Caso aconteça de p_{ia+} ser diferente de $\overline{p_{ia-}}$ ou p_{ia-} ser diferente de $\overline{p_{ia+}}$, detecta-se a ocorrência da falta no braço referente à fase a . Indicadores de polaridade para as correntes i_b e i_c também devem ser gerados, para testar a paridade, quais sejam: p_{ib+} , p_{ib-} , $\overline{p_{ib+}}$ e $\overline{p_{ib-}}$, p_{ic+} , p_{ic-} , $\overline{p_{ic+}}$ e $\overline{p_{ic-}}$.

5.1 Procedimentos de Detecção e Identificação de Falhas do Método Proposto

O procedimento utilizando as correntes isp , isn e as correntes de fase, para detecção da falta e, quando possível, identificação da chave com defeito, considerando apenas o braço referente à fase a , segue os seguintes passos:

Passo 1: Com a medição das correntes, testar sobre a mudança de comportamento de isp e isn , no sentido de detectar a falta, conforme Algoritmo 6;

Algoritmo 6 - *Teste sobre a mudança de comportamento de isp e isn para detecção da falta e identificação da posição da chave com defeito*

```

Se  $isp \leq 0$  então
  houve falta
  regista-se o momento da falta
  Se  $isn > 0$  então
    falta em chave superior interna( $S_{a2}$ ,  $S_{b2}$  ou  $S_{c2}$ )
  Senão
    falta em chave superior externa( $S_{a1}$ ,  $S_{b1}$  ou  $S_{c1}$ )
  fim se
fim se
Se  $isn \geq 0$  então
  houve falta
  regista-se o momento da falta
  Se  $isp < 0$  então
    falta em chave inferior interna( $S_{a3}$ ,  $S_{b3}$  ou  $S_{c3}$ )
  Senão
    falta em chave inferior externa( $S_{a4}$ ,  $S_{b4}$  ou  $S_{c4}$ )
  fim se
fim se

```

Passo 2: Após detectar a falta, verificar se esta ocorreu em instante correspondente à faixa entre 45° a 110° das correntes de fase;

Passo 3: Testar a paridade das correntes, para identificar o braço que possui a chave com defeito;

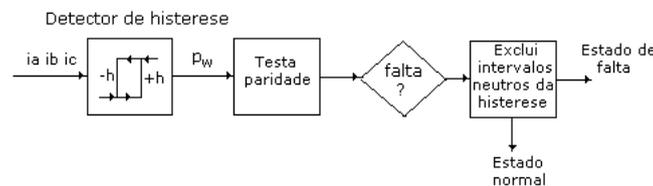


Figura 5.4: Diagrama de blocos do procedimento para identificar a fase com problema.

Passo 4: Identificar a chave com defeito, se possível, e gerar a palavra digital f_w , composta pelos indicadores binários f_{l1} , f_{l2} , f_{l3} , f_{l4} , f_{l5} e f_{l6} , conforme Tabelas 5.1 e 5.2.

Chave	f_{l1}	f_{l2}	f_{l3}	f_{l4}
S_{x1}	1	0	0	0
S_{x2}	0	1	0	0
S_{x3}	0	0	1	0
S_{x4}	0	0	0	1

Tabela 5.1: Assinatura de falta - Identificação da posição da chave com defeito.

Fase	f_{l5}	f_{l6}
a	0	1
b	1	0
c	1	1

Tabela 5.2: Assinatura de falta - Identificação do braço do inversor que possui chave com defeito.

Caso a falta não tenha ocorrido entre o intervalo correspondente a 45° - 110° da corrente de fase, consegue-se definir apenas a parte do braço que possui a chave com defeito. Nesse caso, a Tabela 5.1 resume-se à Tabela 5.3 a seguir:

Chave	f_{l1}	f_{l2}	f_{l3}	f_{l4}
S_{x1} / S_{x2}	1	1	0	0
S_{x3} / S_{x4}	0	0	1	1

Tabela 5.3: Assinatura de falta - Identificação da parte do braço do inversor que possui chave com defeito.

Nas Figuras 5.5 e 5.6 é mostrado o algoritmo contendo os passos anteriores e escrito em linguagem C++, considerando apenas o braço referente à fase a de um inversor trifásico de três níveis.

```

//PASSO 1
if (scd1 == 0.0) // se não houve falta anteriormente, testa isp
{
  if (isp <= 0.0)
  {
    scd1 = 1.0; // houve falta
    tfft1 = tim; // registro do momento da falta

    if (isn > 0.0) {chsupin = 1.0; chsupex = 0.0;} // chsupin - falta em chave superior interna(Sa2,Sb2 ou Sc2)
    else {chsupex = 1.0; chsupin = 0.0;} // chsupex - falta em chave superior externa(Sa1,Sb1 ou Sc1)

    if (ia>=hys) {ia_pos = 1.0; ia_neg = 0.0;} // ia_pos e ia_neg - indicadores da polaridade de ia no momento da falta
    else if (ia<=-hys) {ia_pos = 0.0; ia_neg = 1.0;}
  }
}

if (scd2 == 0.0) // se não houve falta anteriormente, testa isn
{
  if (isn >= 0.0)
  {
    scd2 = 1.0; // houve falta
    tfft2 = tim; // registro do momento da falta

    if (isp < 0.0) {chinfim = 1.0; chinfe = 0.0;} // chinfim - chave inferior interna(Sa3,Sb3,Sc3)
    else {chinfe = 1.0; chinfim = 0.0;} // chinfe - chave inferior externa(Sa4,Sb4,Sc4)

    if (ia>=hys) {ia_pos = 1.0; ia_neg = 0.0;} // ia_pos e ia_neg - indicadores da polaridade de ia no momento da falta
    else if (ia<=-hys) {ia_pos = 0.0; ia_neg = 1.0;}
  }
}

```

```

//PASSO2
if ((ia > 0.0)&&(ia < hys)&&(scd1 == 0.0)&&(scd2 == 0.0)) //t1 e t2 - instantes da passagem por zero da corrente ia
{t1=tim;}
if ((ia < 0.0)&&(ia >= -hys)&&(scd1 == 0.0)&&(scd2 == 0.0))
{t2=tim;}

if ((tfft1 - t1 >= t_limite_45graus)&&(tfft1 - t1 <= t_limite_110graus)) // faixa_ia_pos = 1.0 - intervalo entre 45° e 110° de ia(semiciclo positivo)
{faixa_ia_pos = 1.0;} else {faixa_ia_pos = 0.0;}
if ((tfft2 - t2 >= t_limite_45graus)&&(tfft2 - t2 <= t_limite_110graus)) // faixa_ia_pos = 1.0 - intervalo entre 45° e 110° de ia(semiciclo negativo)
{faixa_ia_neg = 1.0;} else {faixa_ia_neg = 0.0;}

```

```

//PASSO3
if(ia >= hys) {p_ia_pos = 1.0; p_ia_pos_b = 0.0;} // gerando paridade no semiciclo positivo
else {p_ia_pos = 0.0; p_ia_pos_b = 1.0;}
if(ia < -hys) {p_ia_neg = 1.0; p_ia_neg_b = 0.0;} // gerando paridade no semiciclo negativo
else {p_ia_neg = 0.0; p_ia_neg_b = 1.0;}

if((p_ia_pos != p_ia_neg_b)|| (p_ia_neg != p_ia_pos_b))
flag_ia = 1.0 // flag_ia = 1.0 - pode haver falta. tem que excluir intervalos neutros da histerese
else flag_ia = 0.0;

if(scdia == 0.0)
{
  if(flag_ia == 1.0) // se houver possibilidade de falta, testa
  {
    cont = cont + hm6;
    if(cont >= delay)
    {flag1_ia = 1.0; scdia = 1.0;} // flag1_ia = 1.0 - houve falta em uma das chaves da fase "a"
    else {flag1_ia = 0.0;}
  }
  else cont = 0.;
}

```

Figura 5.5: Passos 1, 2 e 3 do algoritmo em C++ da técnica de diagnóstico de falhas proposta.

```

//PASSO4
if (flag1_ia == 1.0)          // se houve falta em chave da fase "a"(Sa1 a Sa4), gera-se a palavra digital
{
  if ((scd1 == 1.0)&&(ia_pos == 1.0)&&(faixa_ia_pos==1.0))
  {
    fl5=0.0; fl6=1.0;          // indicadores da fase que apresenta a chave com defeito (fase "a")
    if (chsupex == 1.0)      {fl1 = 1.0; fl2 = 0.0; fl3 = 0.0; fl4 = 0.0;} //falta em Sa1
    else if (chsupin == 1.0) {fl1 = 0.0; fl2 = 1.0; fl3 = 0.0; fl4 = 0.0;} //falta em Sa2
  }

  if ((scd1 == 1.0)&&(ia_pos == 1.0)&&(faixa_ia_pos==0.0)) {fl1 = 1.0; fl2 = 1.0; fl3 = 0.0; fl4 = 0.0; fl5=0.0; fl6=1.0;} //falta em Sa1 ou Sa2
  if ((scd2 == 1.0)&&(scd1 == 0.0)&&(ia_pos == 0.0)&&(ia_neg == 0.0)) {fl1 = 0.0; fl2 = 0.0; fl3 = 1.0; fl4 = 1.0; fl5=0.0; fl6=1.0;} //falta em Sa3 ou Sa4

  if ((scd2 == 1.0)&&(ia_neg == 1.0)&&(faixa_ia_neg==1.0))
  {
    fl5=0.0; fl6=1.0;
    if (chinfin == 1.0) {fl1 = 0.0; fl2 = 0.0; fl3 = 1.0; fl4 = 0.0;} //falta em Sa3
    else if (chinfix == 1.0) {fl1 = 0.0; fl2 = 0.0; fl3 = 0.0; fl4 = 1.0;} //falta em Sa4
  }

  if ((scd2 == 1.0)&&(ia_neg == 1.0)&&(faixa_ia_neg==0.0)) {fl1 = 0.0; fl2 = 0.0; fl3 = 1.0; fl4 = 1.0; fl5=0.0; fl6=1.0;} //falta em Sa3 ou Sa4
  if ((scd1 == 1.0)&&(scd2 == 0.0)&&(ia_pos == 0.0)&&(ia_neg == 0.0)) {fl1 = 1.0; fl2 = 1.0; fl3 = 0.0; fl4 = 0.0; fl5=0.0; fl6=1.0;} //falta em Sa1 ou Sa2
}
}

```

Figura 5.6: Passo 4 do algoritmo em C++ da técnica de diagnóstico de falhas proposta.

5.2 Resultados de Simulação

A validação do método de diagnose proposto foi realizada com o auxílio de um programa de simulação, implementado em linguagem C++. Nesse programa simula-se um sistema estático composto por um inversor de tensão de três níveis com diodos de grameamento, uma carga trifásica (máquina assíncrona, cujos parâmetros foram apresentados na Tabela 4.1) e os módulos de aquisição de sinais e diagnose. A máquina foi modelada no referencial estacionário dq , utilizando-se os fluxos rotóricos e estatóricos como variáveis de estado. A solução desse modelo foi obtida utilizando-se o método de integração Runge-kutta de 4º ordem. A modelagem do inversor é realizada considerando-se os modelos ideais das chaves associados às condições de condução dos diodos de roda-livre. A condição de falta, nas chaves do inversor, é simulada com base nas condições de contorno verificadas, nos circuitos de pós-falta, dos pólos do inversor (ver Figura 3.3).

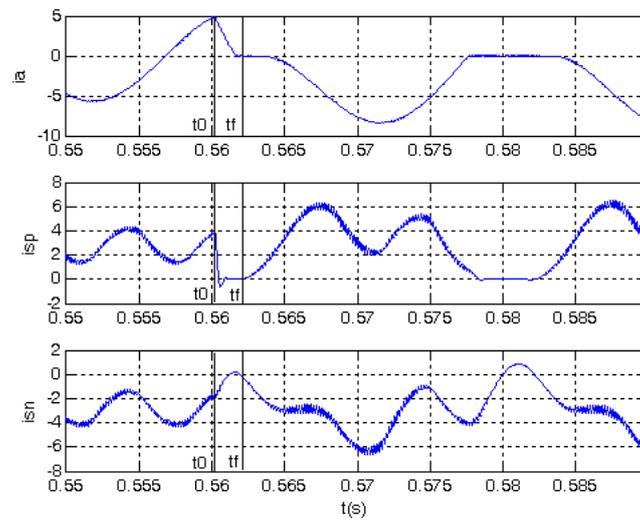
A Figura 5.7 apresenta o resultado de simulação para uma falta em S_{a1} , introduzida em $t_0 = 0.5602s$, instante correspondente a 60° no semiciclo positivo da corrente de fase i_a . A falta ocorreu entre o intervalo em que consegue-se identificar a chave com defeito (45° a 110°). Sua detecção é registrada no momento em que a corrente isp modifica seu comportamento, conforme indicado no PASSO 1 da Figura 5.5, situação em que a posição da chave com defeito também é definida através de isn . Porém, a condição de falta é determinada apenas no instante $t_f = 0.562s$, quando é identificado o braço (fase)

que contém a chave com defeito, através do teste de paridade das correntes i_a , i_b e i_c , momento em que são gerados os indicadores binários f_{l1} , f_{l2} , f_{l3} e f_{l4} que indicam a posição da chave com falha e f_{l5} e f_{l6} que indicam a fase com problema.

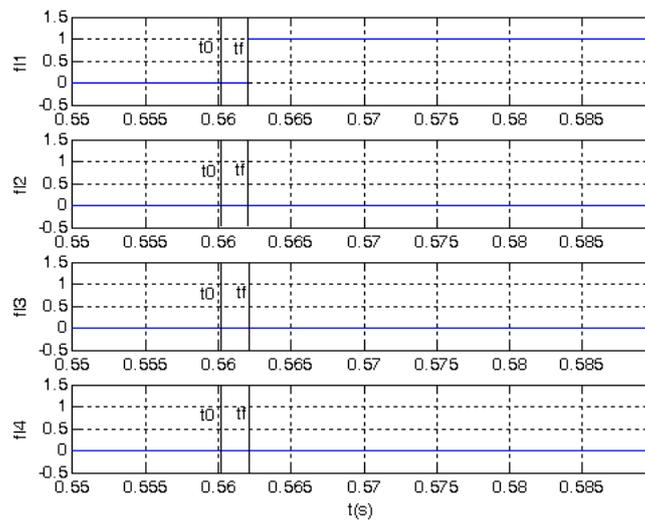
Na Figura 5.8, a falta ocorreu na chave S_{a2} , também introduzida no instante correspondente a 60° no semiciclo positivo da corrente de fase i_a . Sua diagnose foi realizada em $t_f = 0.5615\text{s}$, quando é definida a fase com problema.

A situação de uma falta nas chaves S_{a3} ou S_{a4} , no período em que a corrente de fase é positiva, é apresentada na Figura 5.9. Nesses casos, não consegue-se definir qual chave apresentou defeito em virtude do comportamento tanto das correntes de fase, como das correntes do barramento CC serem iguais para faltas nas chaves inferiores, ocorridas no período em que a corrente de fase é positiva. Diante disso, a técnica de diagnose determina, através dos indicadores f_{l3} e f_{l4} , que a falta pode estar ou na chave S_{a3} ou na chave S_{a4} . Nessa simulação, a condição de falta foi introduzida em $t_0 = 0.5602\text{s}$ e sua diagnose foi realizada em $t_f = 0.5684\text{s}$, instante em que foi detectada a variação do comportamento da corrente isn .

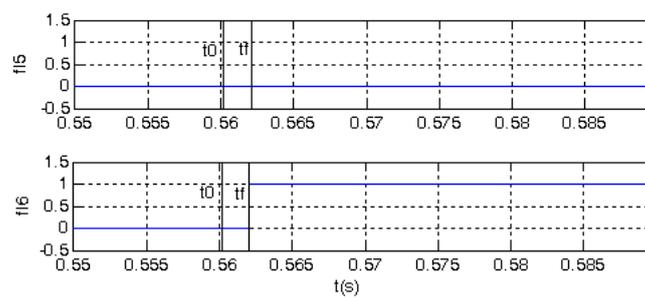
Caso uma falta ocorra em uma das chaves superiores (S_{a1} ou S_{a2}) durante o semiciclo positivo da corrente de fase, porém fora da faixa entre 45° a 110° , não consegue-se definir qual dessas chaves apresenta defeito, devido ao comportamento de isn não assumir as condições indicadas na Tabela 4.3 e observadas nas Figuras B.2 a B.5. Essa situação é ilustrada nas Figuras 5.10 e 5.11, onde as faltas foram introduzidas em $t_0 = 0.5585\text{s}$ (instante correspondente a 30° no semiciclo positivo da corrente de fase i_a), e suas diagnoses foram realizadas em $t_f = 0.5599\text{s}$ e $t_f = 0.5596\text{s}$, respectivamente.



(a)



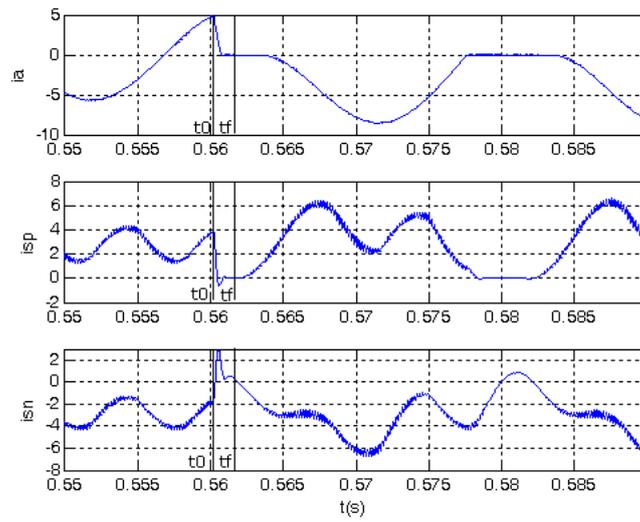
(b)



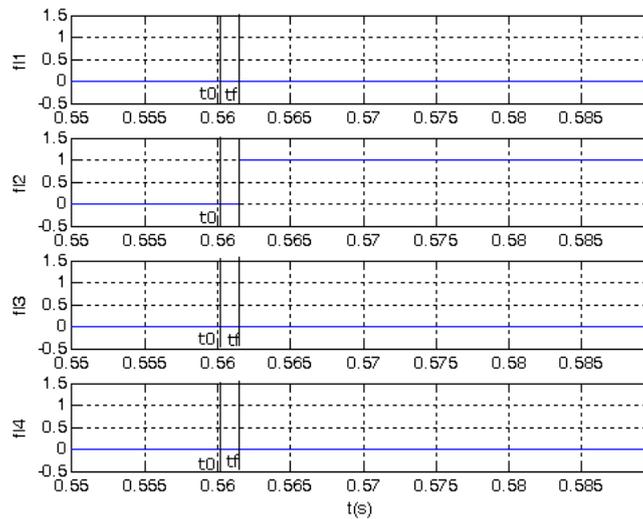
(c)

Figura 5.7: Falta em S_{a1} , ocorrida em 0.5602s (60° do semiciclo positivo da corrente de fase i_a).

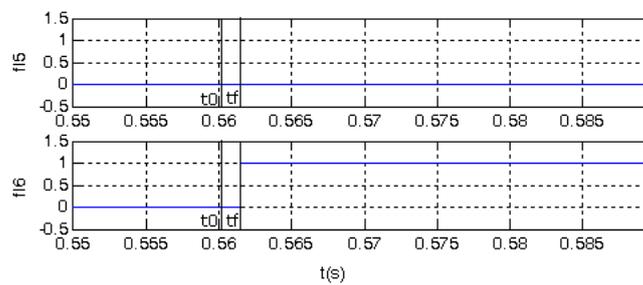
Diagnose realizada em $t_f = 0.562$ s.



(a)



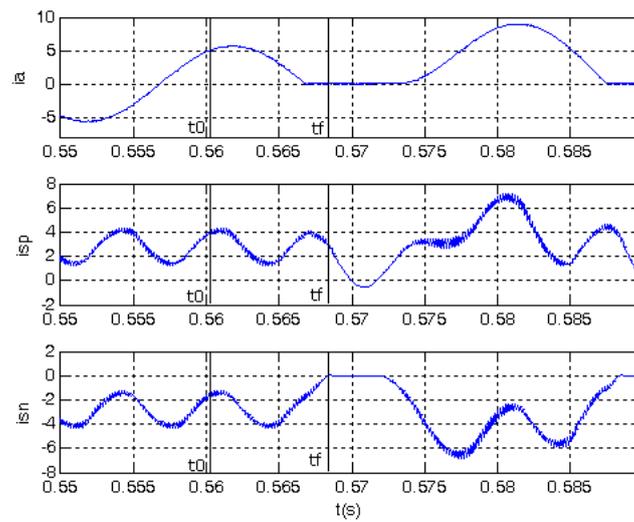
(b)



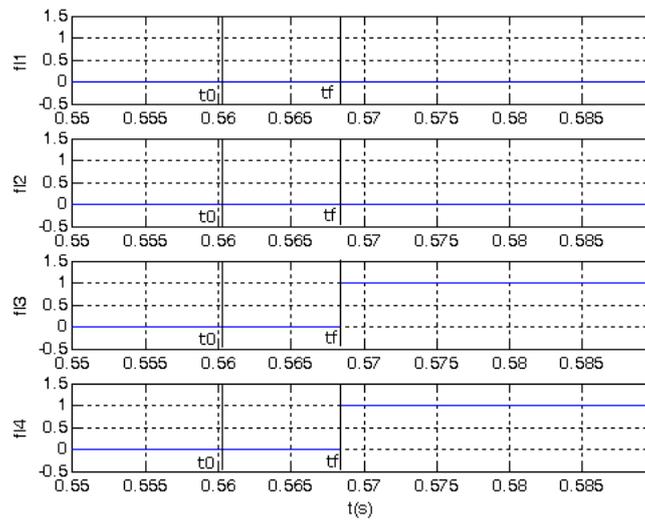
(c)

Figura 5.8: Falta em S_{a2} , ocorrida em 0.5602s (60° do semiciclo positivo da corrente de fase i_a).

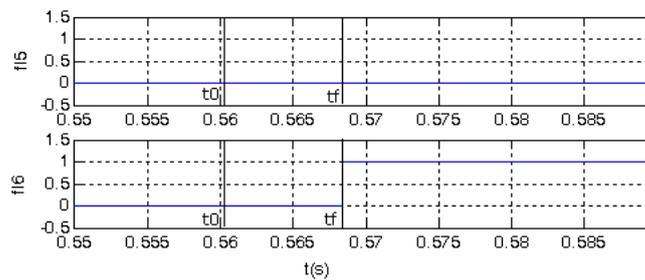
Diagnose realizada em $t_f = 0.5615$ s.



(a)



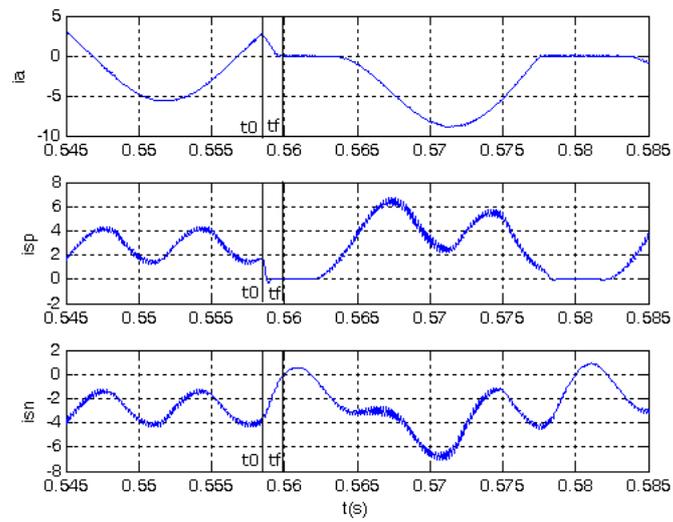
(b)



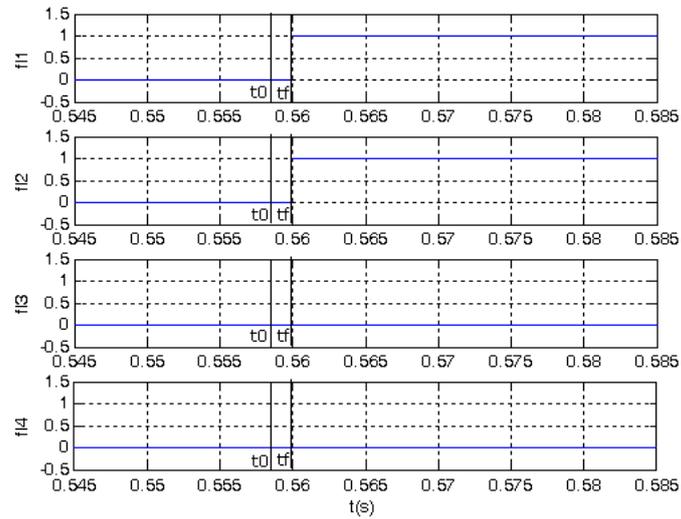
(c)

Figura 5.9: Falta em S_{a3} ou S_{a4} , ocorrida em 0.5602s (60° do semiciclo positivo da corrente de fase i_a).

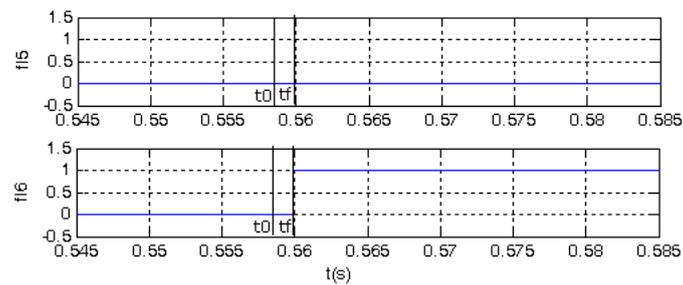
Diagnose realizada em $t_f = 0.5684$ s.



(a)



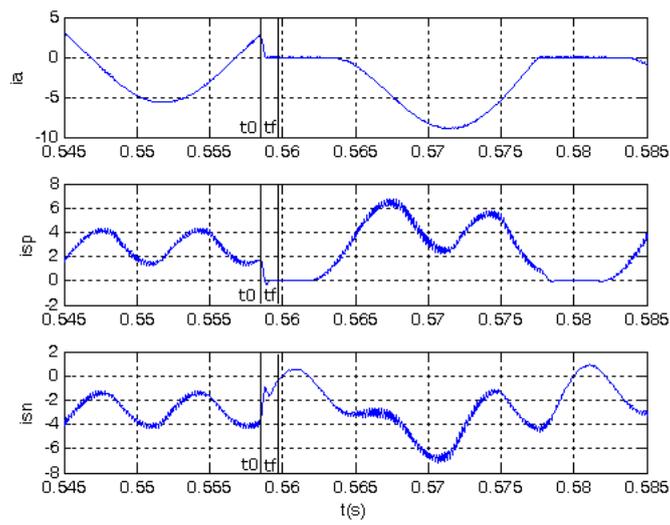
(b)



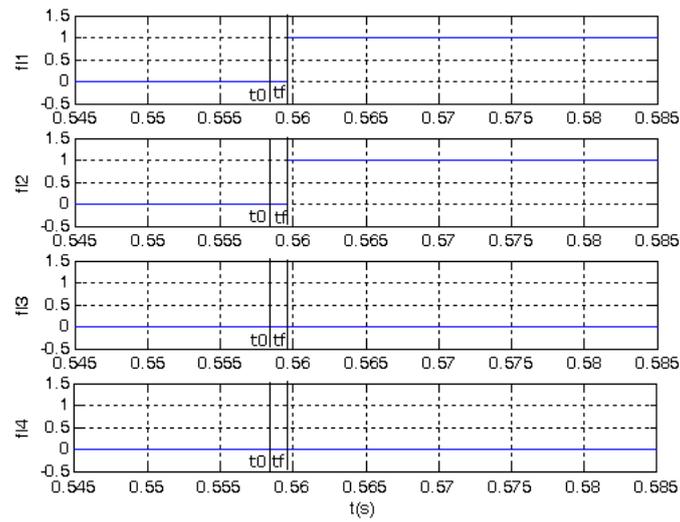
(c)

Figura 5.10: Falta em S_{a1} , ocorrida em 0.5585s (30° do semiciclo positivo da corrente de fase i_a).

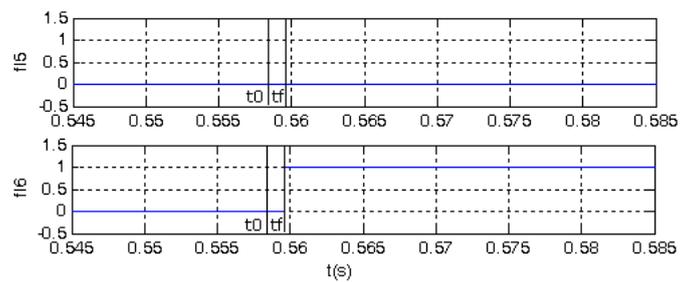
Diagnose realizada em $t_f = 0.5599$ s.



(a)



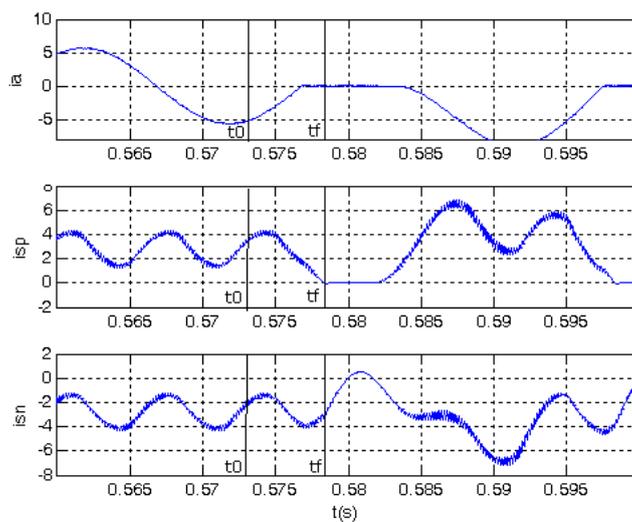
(b)



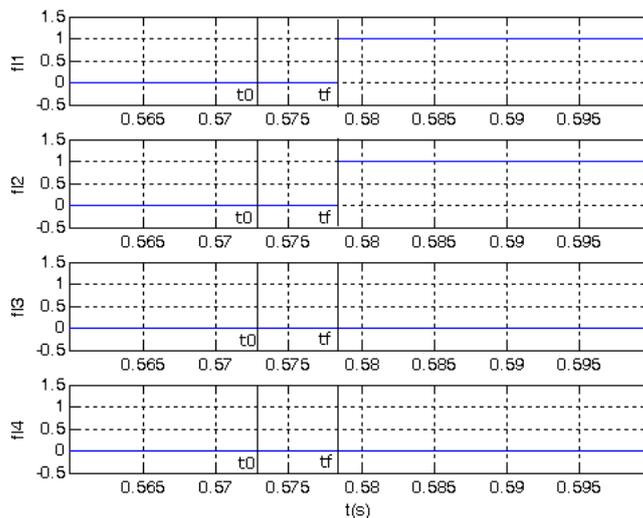
(c)

Figura 5.11: Falta em S_{a2} , ocorrida em 0.5585s (30° do semiciclo positivo da corrente de fase i_a).

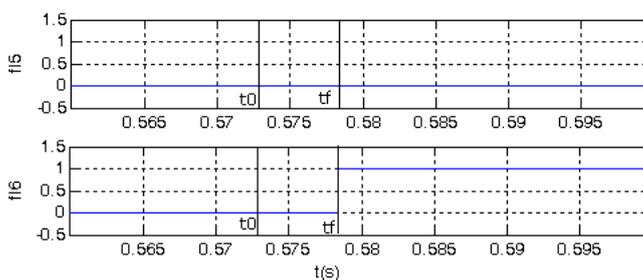
Diagnose realizada em $t_f = 0.5596$ s.



(a)

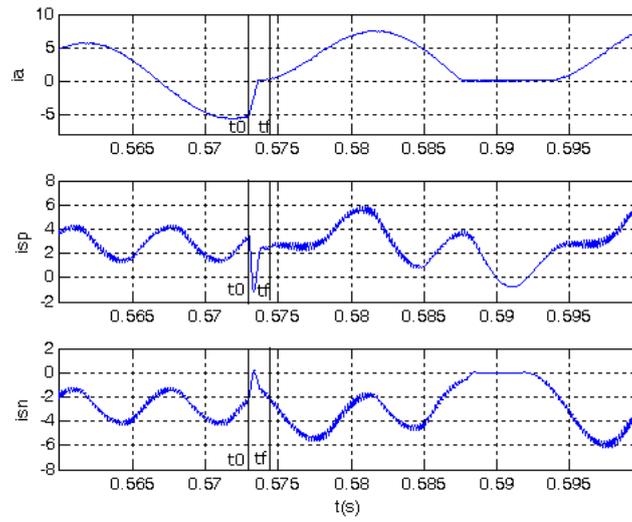


(b)

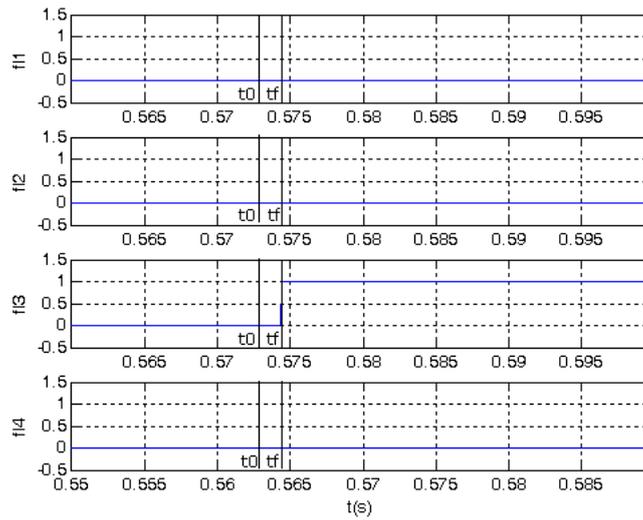


(c)

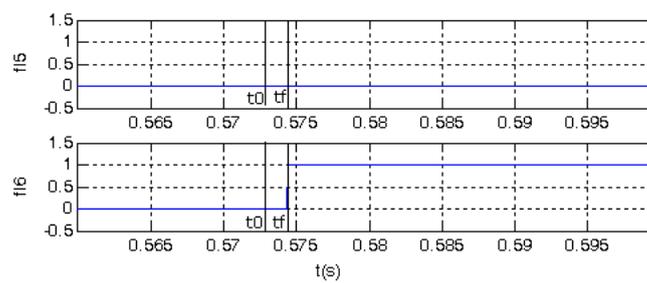
Figura 5.12: Falta em S_{a1} ou S_{a2} , ocorrida em 0.5730s (110° do semiciclo negativo da corrente de fase i_a). Diagnose realizada em $t_f = 0.5784$ s.



(a)



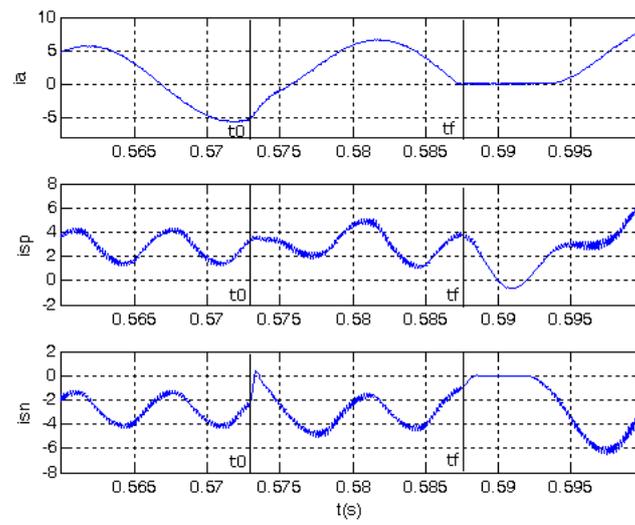
(b)



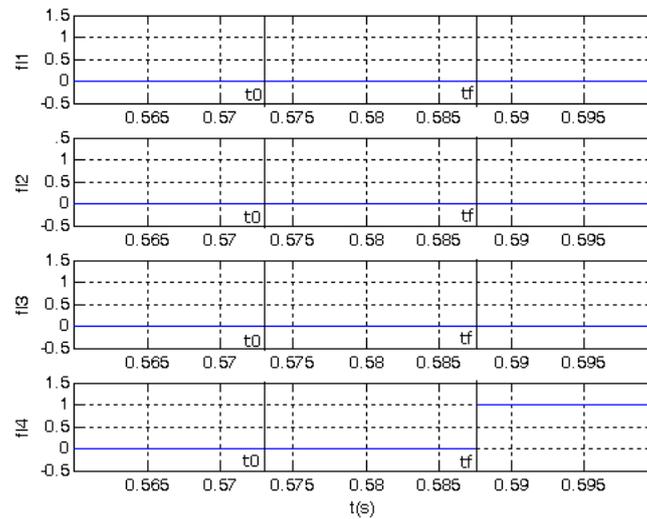
(c)

Figura 5.13: Falta em S_{a3} , ocorrida em 0.5730s (110° do semiciclo negativo da corrente de fase i_a).

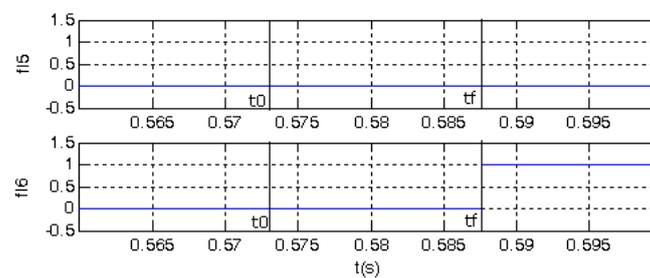
Diagnose realizada em $t_f = 0.5744$ s.



(a)



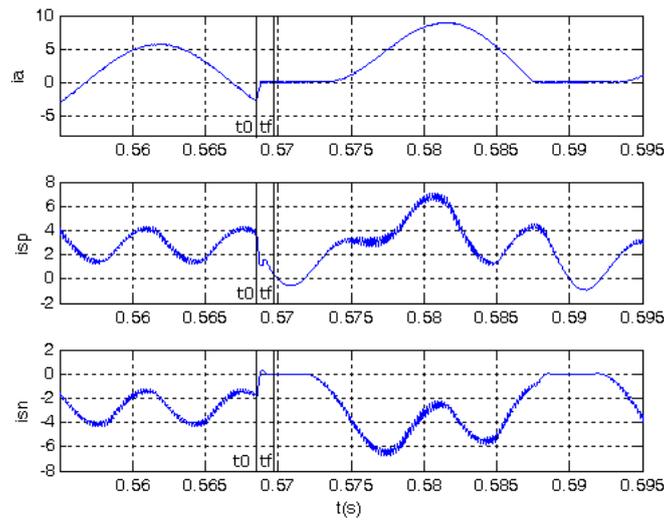
(b)



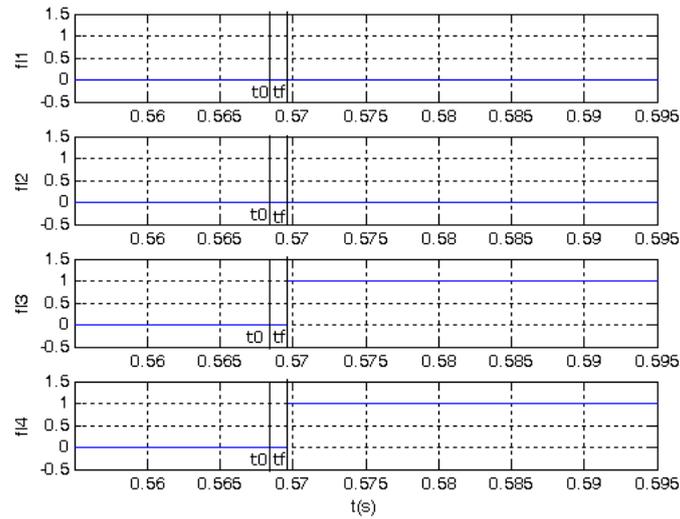
(c)

Figura 5.14: Falta em S_{a4} , ocorrida em 0.5730s (110° do semiciclo negativo da corrente de fase i_a).

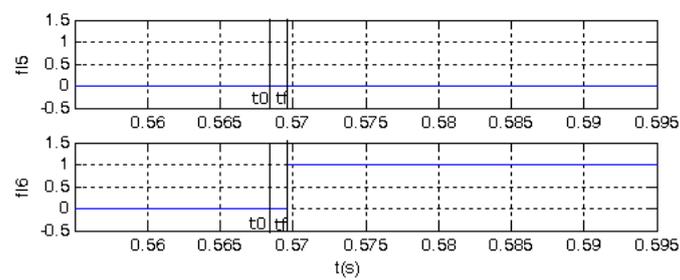
Diagnose realizada em $t_f = 0.5876$ s.



(a)



(b)



(c)

Figura 5.15: Falta em S_{a3} , ocorrida em 0.5685s (30° do semiciclo negativo da corrente de fase i_a).

Diagnose realizada em $t_f = 0.5696s$.

Situações de faltas ocorridas durante o semiciclo negativo da corrente de fase são apresentadas nas Figuras 5.12 a 5.15.

O caso de faltas nas chaves S_{a1} ou S_{a2} , ocorridas no período em que a corrente de fase é negativa, é apresentado na Figura 5.12. Nessa situação, não consegue-se definir qual das chaves superiores apresentou falha. Com isso, os indicadores f_{l1} e f_{l2} informam que a falta pode estar ou na chave S_{a1} ou na chave S_{a2} .

Nas Figuras 5.13 e 5.14, a condição de falta ocorre nas chaves S_{a3} e S_{a4} , respectivamente, e é introduzida em $t_0 = 0.5730s$, instante correspondente a 110° no semiciclo negativo da corrente de fase i_a . Na primeira, a diagnose é realizada em $t_f = 0.5876s$ e na segunda em $t_f = 0.5784s$, quando define-se o braço que apresenta a chave com defeito através do teste de paridade das correntes de fase, embora a detecção seja registrada momentos antes, quando a corrente isn modifica seu comportamento.

A Figura 5.15 apresenta um caso em que a falta ocorre em uma das chaves inferiores durante o semiciclo negativo da corrente de fase, porém fora da faixa entre 45° a 110° . A falta foi simulada em S_{a3} e introduzida em $t_0 = 0.5730s$, instante correspondente a 30° no semiciclo negativo da corrente de fase i_a . Em $t_f = 0.5896s$, os indicadores f_{l3} e f_{l4} informam que a falta pode estar ou na chave S_{a3} ou na chave S_{a4} .

Capítulo 6

Estratégia de Compensação de Falta

Depois de detectar a falta e identificar sua localização no inversor, esquemas tolerantes a falta devem ser empregados para manter o funcionamento do sistema, o qual deve ser reconfigurado para essa nova condição de operação.

Em inversores multiníveis, esquemas tolerantes a falta podem se basear na redundância de vetores de tensão inerentes a esses conversores, assim como utilizar-se de dispositivos extras adicionados na estrutura. Um inversor convencional de três níveis com diodos de grampeamento (ver Figura 3.1), reconfigurado apenas considerando a redundância dos vetores de tensão, não é apto a compensar uma falta ocorrida nas chaves internas (SILVA et al., 2006). Assim, dispositivos extras devem ser adicionados para permitir a compensação da falta em qualquer das chaves.

Determinadas topologias de compensação, como por exemplo o emprego de um quarto braço redundante, podem apresentar grande eficiência, entretanto se mostra um método caro, com algoritmo de controle mais complexo, e somente justificam em aplicações de alta confiabilidade.

Neste capítulo, um esquema de compensação de faltas é investigado, com o objetivo de manter o sistema de acionamento em operação na ocorrência de falhas, utilizando-se SCRs em paralelo com as chaves internas. O método em questão se mostra bastante prático e econômico quando comparado com outros esquemas de compensação de falta. Tal esquema foi mencionado por SILVA et al. (2006), porém, ainda não estudado. Nessa abordagem, capacitores do barramento CC serão considerados balanceados por procedimentos externos.

A Figura 6.1 mostra o esquema do inversor de três níveis com diodos de grampeamento investigado. É considerado que cada braço do inversor é similar à fase a , o qual é composto pelas chaves externas S_{a1} e S_{a4} e pelas chaves internas S_{a2} e S_{a3} , cada chave com seus respectivos diodos em antiparalelo D_{a1} a D_{a4} , e pelos diodos de grampeamento D_1 e D_4 . As chaves internas são complementadas com SCRs em paralelo (S_1 e S_4) para garantir a característica de tolerância à falta da topologia. Sob condições normais de operação, os SCRs são mantidos abertos.

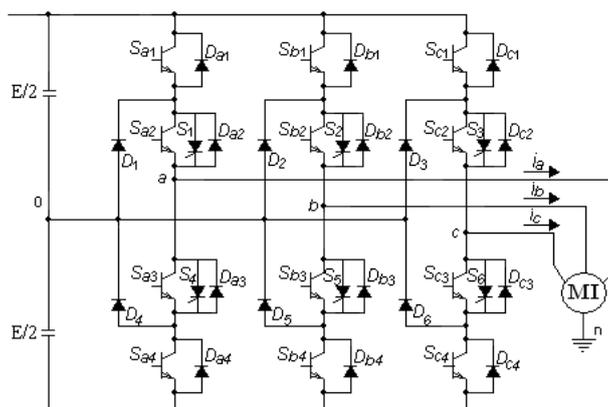


Figura 6.1: Esquema do inversor de três níveis com diodos de grampeamento investigado.

6.1 Compensação na Topologia do Conversor

A) Falta na chave externa

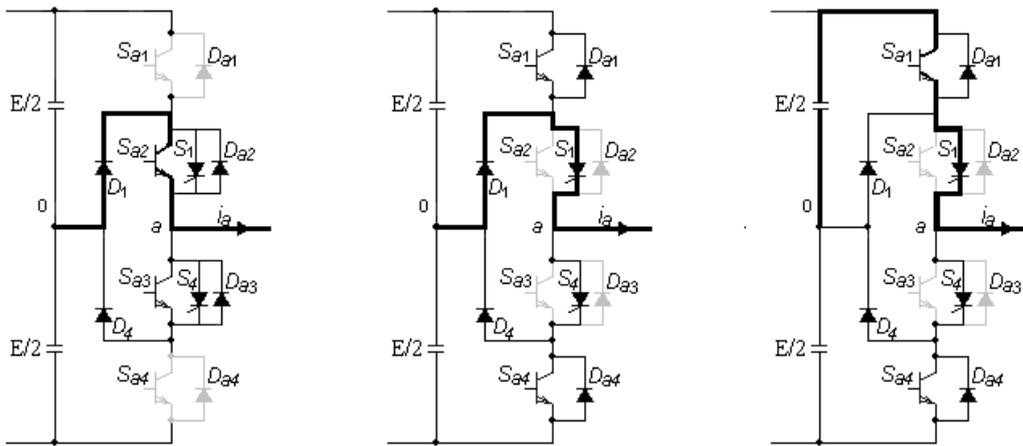
Na ocasião de uma falta (abertura não comandada) na chave externa S_{a1} da fase a , com a corrente de fase sendo positiva: torna-se a chave S_{a2} em estado de condução, conectada ao ponto central do barramento CC, como mostra a Figura 6.2(a). S_{a2} é mantida em estado de condução até a corrente de fase se inverter. Então, a carga referente à fase a também é conectada ao ponto central do barramento CC, enquanto os outros braços continuam operando em modo de três níveis. A mesma análise é feita para faltas nas chaves externas superiores das fases b e c .

Uma primeira opção é fazer com que a chave S_{a4} fique inativa para manter a simetria. Dessa forma, o funcionamento do inversor se torna similar à técnica de tolerância a faltas proposta por PARK et al. (2004). Outra possibilidade é tornar inativas todas as chaves externas S_{a1} , S_{b1} e S_{c1} , e operar todo o sistema como um conversor de 2 níveis. Nesse

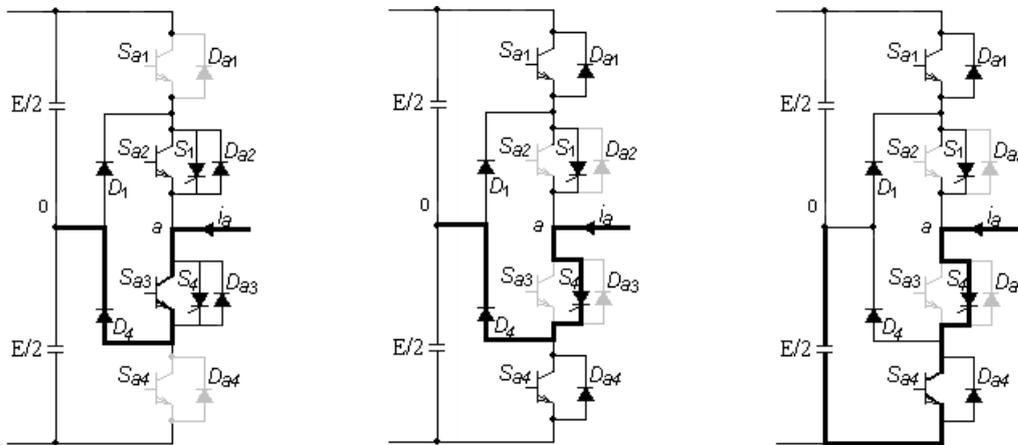
caso, S_{x3} e S_{x4} operam juntas. Essa possibilidade pode ser estendida para o caso das três chaves externas apresentarem defeito.

B) Falta na chave interna

No evento de uma abertura não comandada da chave S_{a2} , considerando a corrente positiva nessa ocasião, o SCR S_1 torna-se em estado de condução. O terminal a é então conectado ao ponto central do barramento CC (Figura 6.2(b)), mantendo a chave S_{a1} inativa, ou conectada ao terminal positivo do barramento CC, tornando S_{a1} em condução (Figura 6.2(c)). Dessa maneira, a tensão de pólo referente à fase a , v_{a0} , pode ser modulada em modo de três níveis. O SCR S_1 bloqueia quando a corrente de fase é invertida. As Figuras 6.2(d) a 6.2(f) ilustram o conversor reconfigurado para o caso da corrente ser negativa, na condição de falta.



(a) Falta em S_{a1} (ou S_{a4}), $i_a > 0$ (b) Falta em S_{a2} (ou S_{a3}), $i_a > 0$ (c) Falta em S_{a2} (ou S_{a3}), $i_a > 0$



(d) Falta em S_{a1} (ou S_{a4}), $i_a < 0$ (e) Falta em S_{a2} (ou S_{a3}), $i_a < 0$ (f) Falta em S_{a2} (ou S_{a3}), $i_a < 0$

Figura 6.2: Caminho de condução da corrente i_a para o conversor proposto, sob condição de falta.

6.2 Compensação no Controle PWM

Uma das importantes ferramentas em um inversor é a estratégia de modulação PWM, que pode ser realizada com abordagem escalar ou vetorial. A técnica utilizada nesse trabalho é implementada segundo uma abordagem escalar.

Em operação regular, as tensões de referência em relação ao ponto intermediário θ , v_{a0}^* , v_{b0}^* e v_{c0}^* , são sintetizadas pelo inversor de três níveis. As tensões de referência para as fases da carga são especificadas por v_{an}^* , v_{bn}^* e v_{cn}^* , e definidas como sendo:

$$\begin{aligned} v_{an}^* &= v_{a0}^* - v_{n0}^* \\ v_{bn}^* &= v_{b0}^* - v_{n0}^* \\ v_{cn}^* &= v_{c0}^* - v_{n0}^* \end{aligned} \tag{6.1}$$

A) Condição Pós-Falta

Supondo que a chave com defeito seja S_{a1} (externa). Durante a operação de pós-falta, a chave S_{a2} conecta o terminal a ao ponto central do barramento CC, como mostrado na Figura 6.2(a), tornando $v_{a0}^* = 0$. Para que a simetria das tensões de fase na carga seja preservada, é necessária a definição de novas tensões de referência dadas por:

$$\begin{aligned} v_{b0}^{*'} &= v_{b0}^* - v_{a0}^* \\ &e \\ v_{c0}^{*'} &= v_{c0}^* - v_{a0}^* \end{aligned} \tag{6.2}$$

Com esse procedimento, as novas tensões de referência $v_{b0}^{*'}$ e $v_{c0}^{*'}$ apresentam-se defasadas de 60° , e com suas amplitudes aumentadas de um fator $\sqrt{3}$, conforme ilustra a Figura 6.3. Diante disso, para que o conversor possa sintetizar as novas tensões de referência, a tensão do barramento CC também deve ser aumentada de um fator $\sqrt{3}$.

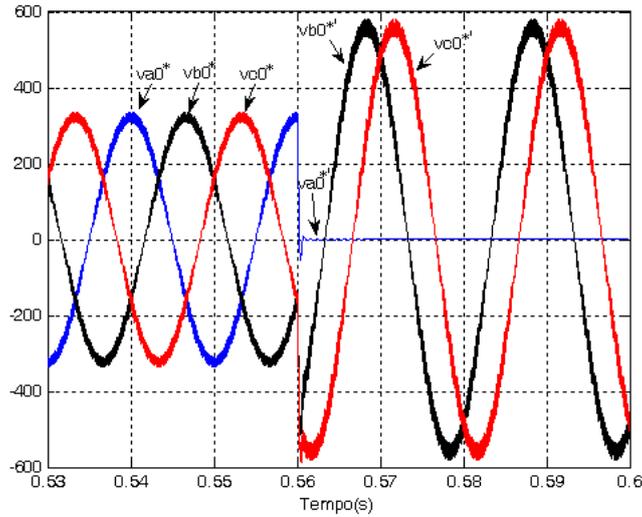


Figura 6.3: Novas tensões de referência.

Na Figura 6.4, observa-se a relação entre as novas tensões de referência e as tensões de fase na máquina.

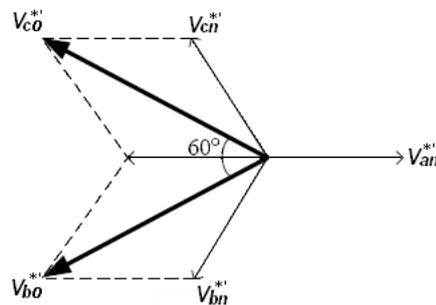


Figura 6.4: Relação entre as novas tensões de referência e as tensões de fase.

Supondo que a falta ocorra em uma das chaves internas do braço referente à fase a , as tensões de referência em relação ao ponto intermediário θ continuam sendo v_{a0}^* , v_{b0}^* e v_{c0}^* , com tensões de fase dadas pela equação (6.1), e o conversor operando em modo de três níveis.

6.3 Resultados de Simulação

Uma avaliação inicial da estratégia de compensação de faltas apresentada foi realizada com auxílio de um programa de simulação implementado em C++. Nesse programa, simula-se um sistema de acionamento de máquinas composto por um inversor de tensão

de três níveis com diodos de grampeamento, uma máquina assíncrona, mais especificamente a apresentada na Tabela 4.1, e pelos módulos de aquisição de sinais, diagnose e compensação. A detecção da falta e identificação da chave com defeito foram realizadas através da técnica de diagnose proposta e detalhada no capítulo 5.

Na Figura 6.5, a falta foi simulada na chave S_{a1} e introduzida em $t_0 = 0.5619\text{s}$, instante correspondente a 90° do semiciclo positivo da corrente de fase i_a . Diante disso, a técnica de diagnose foi capaz de identificar a chave com falha, assim como o braço (fase) que contém o dispositivo com problema, conforme Figuras 6.6 e 6.7. Após constatada a falta na chave S_{a1} , em $t_f = 0.5643\text{s}$, a estratégia de compensação atua, sintetizando novas tensões de referência, de forma que a corrente de fase i_a retorna a seu estado normal, conforme Figura 6.5.

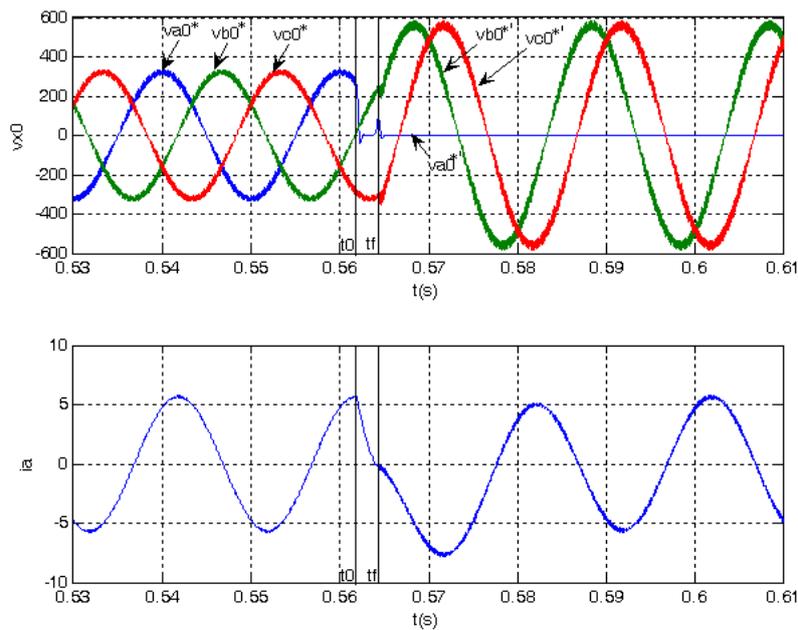


Figura 6.5: Novas tensões de referência e corrente de fase i_a antes e após a compensação da falta.

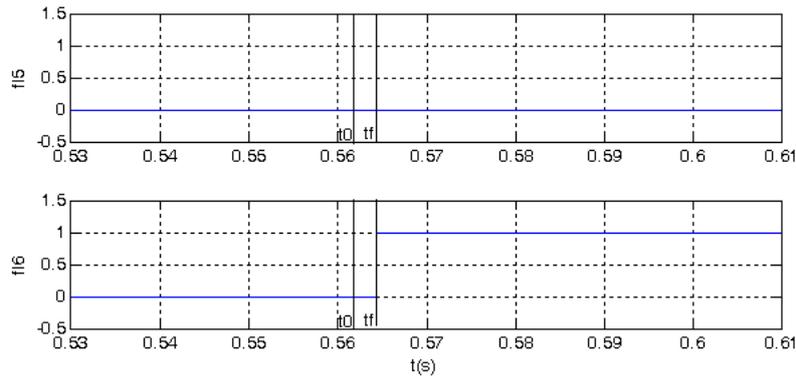


Figura 6.6: Identificadores digitais da fase (braço) com problema.

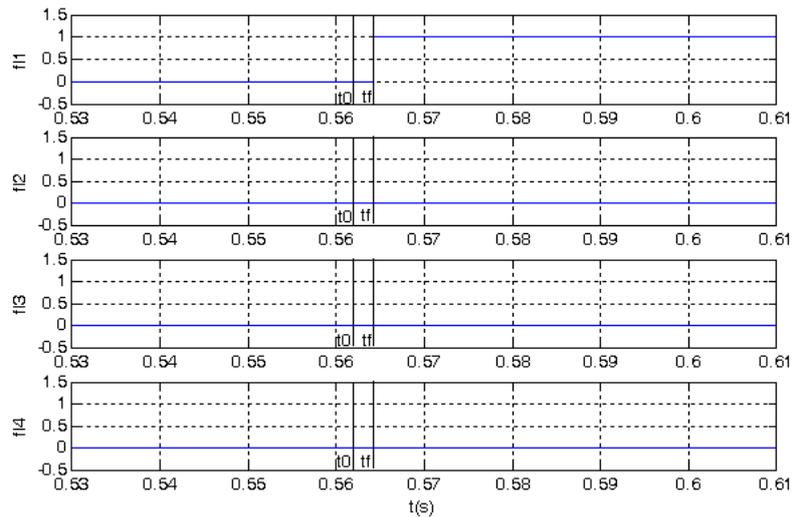


Figura 6.7: Identificadores digitais da posição da chave com falha.

6.4 Resultados Experimentais

A compensação da técnica PWM foi testada e validada em laboratório com um inversor de três níveis com diodos de grampeamento, estruturado conforme a Figura 6.1, alimentando um motor trifásico de 220V, 5HP. Primeiro, é considerado o caso em que a chave externa S_{a1} está aberta e a tensão de pólo em pós-falta assume o valor zero ($v_{a0} = 0$), em virtude do terminal a ser conectado ao ponto central do barramento CC. A Figura 6.8(a) mostra a tensão de pólo v_{a0} nula (braço referente à fase a com falta); A Figura 6.8(b) ilustra a tensão de pólo na fase b em operação normal; Finalmente a Figura 6.8(c) mostra a corrente de fase correspondente ao braço com falta.

A Figura 6.9(a) mostra a tensão de pólo v_{a0} , considerando a falta na chave interna S_{a2} , ocorrida em 1.5 segundos e compensada depois de 0.05 segundos. Pode ser visto que a operação pós-falta é bem similar à operação pré-falta. A Figura 6.9(b) apresenta a corrente correspondente à fase a .

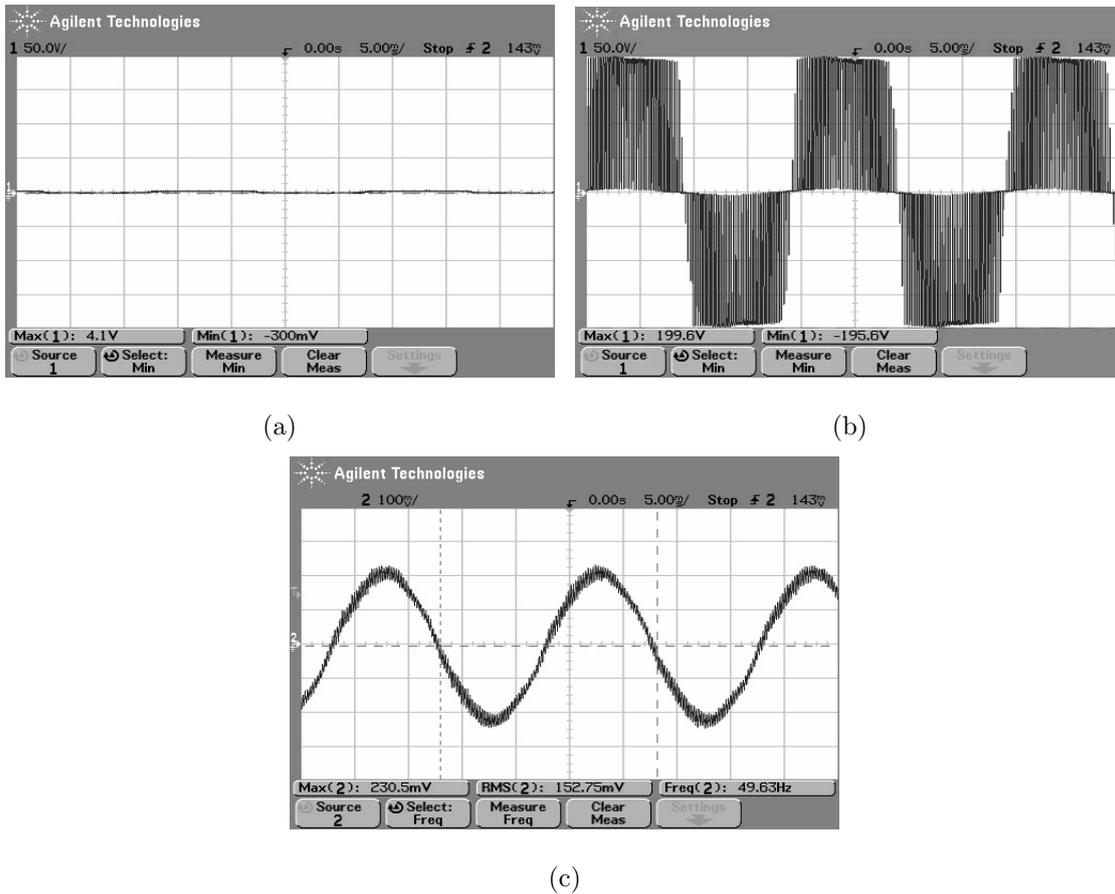


Figura 6.8: Resultados experimentais quando S_{a1} está aberta: (a) tensão de pólo no braço com falta (v_{a0}); (b) tensão de pólo v_{b0} ; (c) corrente de linha, correspondente ao braço com falta.

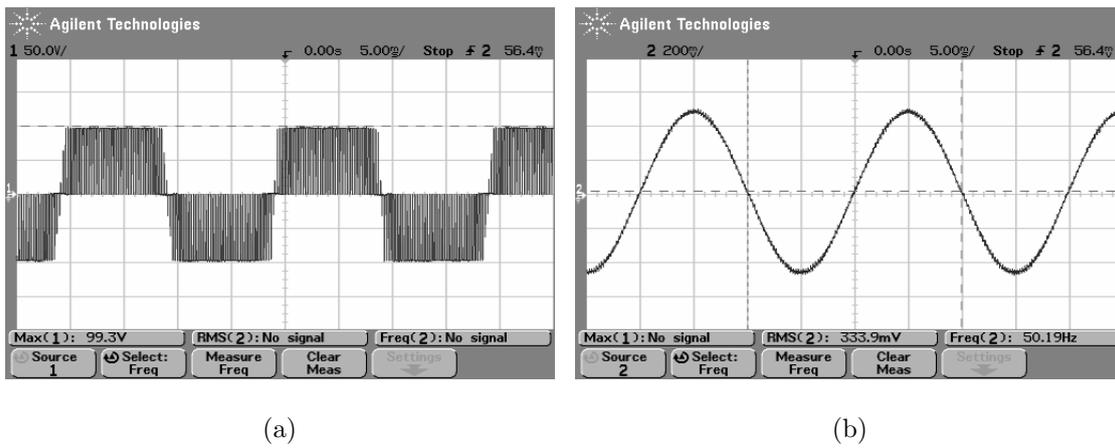


Figura 6.9: Resultados experimentais para S_{a2} aberta: (a) tensão de pólo no braço com falta (v_{a0}); (b) corrente de linha, correspondente ao braço com falta.

Capítulo 7

Conclusões e Sugestões para Trabalhos Futuros

Neste trabalho, um inversor de três níveis com diodos de grampeamento é utilizado. Uma análise do comportamento dessa estrutura multinível alimentando uma carga trifásica é feita, caracterizando o seu funcionamento em condições de operação normal e em falta. A falta abordada consistiu basicamente na abertura não-comandada de uma das chaves do conversor.

Para caracterizar o estado de falta, foram analisadas as tensões de pólo e as correntes de fase, onde foi comprovado que o comportamento dessas duas variáveis dão margem à utilização de indicadores que possibilitam detectar faltas.

No que diz respeito às correntes de fase, resultados de simulação mostraram que é possível identificar a chave com defeito apenas quando a carga apresenta um fator de potência relativamente alto. Em outras situações, as correntes de fase permitem apenas definir que parte do braço contém o dispositivo com falha.

Com relação à detecção de faltas utilizando tensões de pólo, foi constatado que, consegue-se identificar a falha em S_{x1} ou S_{x2} , através da diferença de amplitude entre os erros ΔV_{x0} e $\Delta' V_{x0}$, apenas quando a falta ocorre em situações que a corrente de fase i_x é positiva. Da mesma forma, só é identificada a falha em S_{x3} ou S_{x4} , através da diferença entre $-\Delta V_{x0}$ e $-\Delta' V_{x0}$, quando a falta ocorre durante o período em que a corrente de fase i_x é negativa. Porém, mesmo em situações favoráveis, existe uma faixa adequada em que

a diferença de amplitude entre $\pm\Delta V_{x0}$ e $\pm\Delta'V_{x0}$ é significativa, podendo variar de acordo com a amplitude da tensão de pólo no momento da falta.

Uma análise do comportamento das correntes do barramento CC (isp , isn e inn), sob condições de operação normal e em falta, foi realizada. A técnica de diagnóstico de faltas proposta nesse trabalho emprega medições de isp e isn , com o objetivo de detectar a falta e identificar, quando possível, se a falta ocorreu em S_{x1} , S_{x2} , S_{x3} ou S_{x4} , sendo $x \in \{a, b, c\}$. Esse método de diagnose trabalha em conjunto com medições da corrente de fase com o objetivo de identificar o braço que possui a chave com defeito, visto que as correntes isp e isn somente definem a posição no braço da chave com falha. Resultados de simulação mostraram que se a falta ocorre em uma das chaves superiores (S_{x1} ou S_{x2}), a técnica de diagnose identifica o dispositivo com falha apenas quando esta ocorre em instantes correspondentes à faixa entre 45° a 110° do semiciclo positivo das correntes de fase i_x . Fora dessa condição, define-se somente a parte do braço que contém a chave com defeito. Da mesma forma ocorre para faltas em S_{x3} ou S_{x4} , em que identifica-se qual dessas chaves apresenta defeito somente quando a falta ocorre entre 45° a 110° do semiciclo negativo das correntes de fase i_x .

Uma vantagem no uso de sensores de corrente em relação a sensores de tensão é a questão do custo e simplicidade de implementação.

No que diz respeito a procedimentos tolerantes a faltas, um esquema de compensação bastante prático e econômico, quando comparado com outros esquemas de compensação, foi investigado. Essa topologia é capaz de manter o sistema em operação na ocorrência de falta em um dos dispositivos de chaveamento, utilizando-se SCRs em paralelo com as chaves internas dos braços do conversor. Se o defeito ocorre em uma das chaves externas, o sistema é reconfigurado e seu funcionamento assemelha-se à técnica de tolerância a faltas proposta por PARK et al. (2004). Já para faltas nas chaves internas, o conversor é reconfigurado de maneira que a tensão de pólo do braço com o dispositivo defeituoso pode ser modulada normalmente em modo de três níveis, com a total utilização do barramento CC.

Esse procedimento de compensação, todavia, impõe circulação de correntes CA nos capacitores do barramento CC. Com isso, o esquema de compensação apresentado deve ser empregado por um período de tempo não muito longo, de forma a evitar outros possíveis

danos ao inversor, porém, por um intervalo de tempo suficiente para que seja feita a manutenção corretiva no braço que possui a chave com falha.

A estratégia de compensação de faltas examinada proporcionou a aceitação de artigo em congresso (SILVA,2008).

7.1 Trabalhos Futuros

Dentre estudos de algumas questões que complementam e possibilitam gerar trabalhos futuros diretamente relacionados com o presente, destacam-se:

1. Análise de métodos de detecção de faltas para demais tipos de falhas em inversores multiníveis;
2. Extensão do estudo de detecção de faltas em topologias multiníveis para o caso de defeitos em mais de uma chave simultaneamente, em um mesmo braço;
3. Montagem de uma plataforma experimental composta por um inversor multinível com diodos de grampeamento, carga trifásica e módulos de aquisição de sinais, com o objetivo de confirmar os resultados de simulação da técnica de diagnóstico de faltas proposta.

Bibliografia

BAKER, R. H.; BANNISTER, L. H., “*Electric power converter*”, U.S.Patent 3 867 643, USA, 1975.

BAKER, R. H., “*High-voltage converter circuit*”, U.S. Patent 4 203 151, USA, May 1980.

BHAGWAT, P. M.; STEFANOVIC, V., “*Generalized structure of a multilevel PWM inverter*”, IEEE Transaction on Industry Applications, pp. 1057-1069, 1983.

BRAGA, H. A. C.; BARBI, I., “*Conversores estáticos multiníveis - Uma revisão*”, SBA Controle & Automação, v. 11, n. 01, Jan. - Abril 2000.

CHEN, A. L.; HU, L., CHEN L. F.; DENG, Y.; HE, X. N., “*A multilevel converter topology with fault tolerant ability*”, IEEE Trans. Power Electron., vol. 20, no. 2, pp. 405-415, Mar. 2005.

CORRÊA, M. B. DE R., “*Estruturas estáticas alternativas para acionamento de motores de indução*”, Campina Grande, 2002, Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFPB.

JACOBINA, C. B., “*Sistemas de acionamento estático de máquina elétrica*”, Minicurso - COBEP, Recife-PE, Junho de 2005.

KAJSTRA, D.; BOSE, B. K., “*Investigation of fault modes of voltage-fed in-*

verter system for induction motor drive", IEEE Trans. Ind. Applicat., v.30, n. 4, pp. 1028-1038, 1994.

KOU, X.; CORZINE, K. A.; FAMILIANT, Y. L., "A unique fault-tolerant design for flying capacitor multilevel inverter", IEEE Trans. Power Electron., vol. 19, no. 4, pp. 979-987, Jul. 2004.

KRAUSE, P. C.; WASYNCZUK, O.; SUDHOFF, S. D., "Analysis of electric machinery", Piscataway, NJ: IEEE Press 1995.

KRUG, D.; MALINOWSKI, M.; BERNET, S., "Design and comparison of medium voltage multi-level converters for industry applications", In: Proc. of IEEE IAS'04, v.2, pp. 781-790, 2004.

LEE, J. C.; KIM, T. J.; KANG, D. W.; HYUN, D. S., "A Control Method for Improvement of Reliability in Fault Tolerant NPC Inverter System", in Proc. of IEEE PESC'06, pp. 1-5, June 2006.

LEE, J. C.; KIM, T. J.; LEE, J. C.; HYUN, D. S., "A Novel Fault Detection of an Open-Switch Fault in the NPC Inverter System", in Proc. of IEEE IECON'07, pp. 1565 - 1569, Nov. 2007.

LI, S.; XU, L., "Fault-tolerant operation of a 150KW 3-level neutral-point-clamped PWM inverter in a flywheel energy storage system", Proc. of IEEE Industry Applications Soc., IAS'2001, pp. 585-588.

MA, M.; HU, L.; CHEN, A.; HE, X., "Reconfiguration of carrier-based modulation strategy for fault tolerant multilevel inverters", IEEE Trans. Power Electron., vol. 22, no. 5, pp. 2050-2059, September 2007.

MANJREKAR, M. D.; LIPO, T. A., "A hybrid multilevel inverter topology

for drive applications”, in Proc. IEEE Appl. Power Electron. Conf., Anaheim, CA, pp. 523-529, Feb. 1998.

MARCHESONI, M, “*High-performance current control techniques for applications to multilevel high-power voltage source inverters*”, IEEE Transactions on Power Electronics, v.7, pp. 189-204, 1992.

MEYNARD, T.; FOCH, H., “*Multilevel conversion: high voltage chopper and voltage source inverters*”, in Proc. of IEEE PESC’92, pp. 397-403, 1992.

NABAE, A.; TAKAHASHI, I.; AKAGI, H., “*A new neutral-point clamped PWM inverter*”, IEEE Transactions on Industry Applications, IA-17, pp. 518-523, 1981.

OLIVEIRA Jr, A. S. DE, “*Estratégia generalizada de modulação por largura de pulso para inversores multiníveis*”, Campina Grande, 2005, Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFCG.

PARK, G. T.; KIM, T. J.; KANG, D. W.; HYUN, D. S., “*Control method of NPC inverter for continuous operation under one phase fault condition*”, in Proc. IEEE Ind. Appl. Soc. Conf., pp. 2188-2193, Seattle, WA, 2004.

PENG, F.Z.; LAI, J.S.; MCKEEVER, J.; VANCOEVERING, J., “*A multi-level voltage source inverter with separate dc sources for static Var generation*”, in Conference Record of the IEEE-IAS Annual Meeting, pp. 2541-2548, 1995.

PIMENTEL, S. P., “*Aplicação de inversor multinível como filtro ativo de potência*”, Campinas, Agosto de 2006, Dissertação (Mestrado em Engenharia Eletrica) - FEEC, UNICAMP.

RECH, C.; GRÜNDLING, H. A.; HEY, H. L.; PINHEIRO, H.; PINHEIRO

J. R., “*Uma metodologia de projeto generalizada para inversores multiníveis híbridos*”, Revista de Controle e Automação, v. 15, no. 2, pp. 190-201, Abril, Maio e Junho de 2004.

RECH, C., “*Análise, projeto e desenvolvimento de sistemas multiníveis híbridos*”, Santa Maria/RS, 2005, Tese (Doutorado em Engenharia Elétrica) - CT/PPGEE, UFSM.

RIBEIRO, R. L. DE A., “*Sistemas estáticos com estratégias de controle tolerante a faltas*”, Campina Grande/PB, 2003, Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFCG.

RIBEIRO, R. L. DE A.; JACOBINA, C. B.; SILVA, E. R. C. DA; LIMA, A. M. N., “*Fault detection of open-switch damage in voltage-fed PWM motor drive systems*”, IEEE Transactions on Power Electronics, v.18, n.2, pp.587-593, March 2003.

RIBEIRO, R. L. DE A.; JACOBINA, C. B.; SILVA, E. R. C. DA; LIMA, A. M. N., “*Fault-tolerant voltage-fed PWM inverter AC motor drive systems*”, IEEE Transactions on Industry Electronics, v.51, n.2, pp.439-446, April 2004.

RODRÍGUEZ, J; LAI, J.-S; PENG, F. Z., “*Multilevel inverters: a survey of topologies, controls, and applications*”, IEEE Transactions on Industrial Electronics, v.49, n.4, pp.724-738, August 2002.

SILVA, E. R. C. DA; LIMA, W. S.; OLIVEIRA Jr, A. S. DE; JACOBINA, C. B., “*Detection and compensation of switch faults in a three level inverter*”, in Proc. IEEE Power Electron. Spec. Conf., Jeju, Korea, pp. 1309-1315, Jun. 2006.

SILVA, E. R. C. DA; OLIVEIRA Jr, A. S. DE; JACOBINA, C. B.; RIBEIRO, R. L.; MELO, L. C. A., “*Compensation of switch faults in a three-level inverter*”, in

Proc. IEEE Industry Applications Society, Alberta, Canada, Oct. 2008.

SINHA, G.; HOCHGRAF, C.; LASSETER, R. H.; DIVAN, D. M.; LIPO, T. A., "*Fault protection in a multilevel inverter implementation of a static condenser*", in Proc. IEEE Industry Applications Society Conf., vol. 3, pp. 2557-2564, Orlando, FL, 1995.

SON, H.-I.; KIM, T.-J.; KANG, D.-W.; HYUN, D.-S., "*Fault diagnosis and neutral point voltage control when the 3-level inverter faults occur*", IEEE Power Electronics Specialists Conference, pp. 4558-4563, 2004.

THOERSEN, O. V.; DALVA, M. A., "*A survey of the reliability with an analysis of faults on variable frequency drives in industry*", Conf. Rec. EPE, pp. 1033-1038, 1995.

TURPIN, C.; BAUDESSON, P.; RICHARDEAU, F.; FOREST, F.; MEYNARD, T. A., "*Fault management of multicell converters*", IEEE Trans. Ind. Electron., vol. 49, no. 5, pp. 988-997, Oct. 2002.

WEI, S. M.; WU, B.; LI, F. H.; SUN, X. D., "*Control method for cascaded H-bridge multilevel inverter with faulty power cells*", in Proc. IEEE Appl. Power Electron. Conf., Miami, FL, Feb. 2003, vol.1, pp. 261-267.

Apêndice A

Modelo da Máquina Assíncrona

A.1 Modelo de uma máquina simétrica trifásica

A máquina trifásica utilizada nesse estudo obedece às seguintes convenções e hipóteses:

- Máquina simétrica trifásica composta por: três fases no estator idênticas de índices sa , sb e sc ; três fases no rotor idênticas de índices ra , rb e rc ;
- Ângulos elétricos entre bobinas de estator e rotor igual a $2\pi/3$ radianos elétricos;
- Máquina possui estator e rotor compostos por enrolamentos conectados a neutro isolado;
- Correntes positivas criam fluxos positivos no sentido do eixo;
- Distribuição senoidal do fluxo magnético e entreferro constante (máquina de pólos lisos);
- Máquina não saturada, de modo que $\lambda_t = \Sigma \lambda_i$ (fluxo total igual à soma dos fluxos parciais).

Notações:

$v_s^s, v_r^r, i_s^s, v_r^r, \lambda_s^s$ e λ_r^r : tensões, correntes e fluxos nas bobinas do estator e rotor, respectivamente. O expoente s e r indica o referencial utilizado: $s \rightarrow$ estator e $r \rightarrow$ rotor.

L_s, L_r : indutância própria de uma bobina do estator e do rotor, respectivamente.

M_s, M_r : indutância mútua entre duas bobinas do estator e entre duas bobinas do rotor, respectivamente.

$M_{sr} \cos(\theta_i)$: indutância mútua entre uma bobina do estator e uma do rotor separadas por um ângulo θ_i .

R_s, R_r : resistência de uma bobina do estator e do rotor, respectivamente.

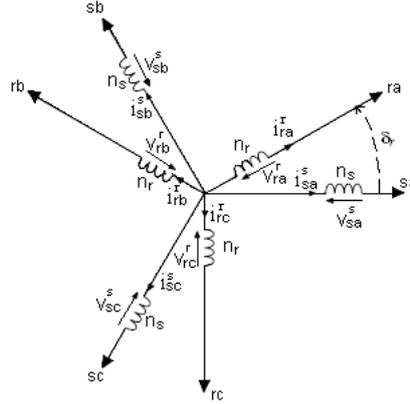


Figura A.1: Representação esquemática da transformação trifásica-*odq*.

As equações nesse apêndice serão analisadas apenas para as bobinas do estator, sendo a análise para as bobinas do rotor feitas de forma análoga.

Pela Figura A.1, as tensões nas bobinas do estator são dadas por:

$$v_{sa}^s = R_s i_{sa}^s + \frac{d\lambda_{sa}^s}{dt} \quad (\text{A.1})$$

$$v_{sb}^s = R_s i_{sb}^s + \frac{d\lambda_{sb}^s}{dt} \quad (\text{A.2})$$

$$v_{sc}^s = R_s i_{sc}^s + \frac{d\lambda_{sc}^s}{dt} \quad (\text{A.3})$$

Como não há saturação na máquina, o fluxo total é dado pela soma dos fluxos parciais:

$$\lambda_{sa} = l_s i_{sa} + M_s i_{sb} + M_s i_{sc} + M_{sr} \cos(\theta_r) i_{ra} + M_{sr} \cos\left(\theta_r + \frac{2\pi}{3}\right) i_{rb} + M_{sr} \cos\left(\theta_r + \frac{4\pi}{3}\right) i_{rc} \quad (\text{A.4})$$

$$\lambda_{sb} = M_s i_{sa} + l_s i_{sb} + M_s i_{sc} + M_{sr} \cos\left(\theta_r + \frac{4\pi}{3}\right) i_{ra} + M_{sr} \cos(\theta_r) i_{rb} + M_{sr} \cos\left(\theta_r + \frac{2\pi}{3}\right) i_{rc} \quad (\text{A.5})$$

$$\lambda_{sc} = M_s i_{sa} + M_s i_{sb} + l_s i_{sc} + M_{sr} \cos\left(\theta_r + \frac{2\pi}{3}\right) i_{ra} + M_{sr} \cos\left(\theta_r + \frac{4\pi}{3}\right) i_{rb} + M_{sr} \cos(\theta_r) i_{rc} \quad (\text{A.6})$$

Escrevendo-se os fluxos das armaduras e a tensão nas bobinas do estator na forma matricial, tem-se:

$$\lambda_{abc} = \bar{L}_{ss}i_{sabc} + \bar{L}_{sr}i_{rabc} \quad (\text{A.7})$$

$$v_{sabc}^s = R_s i_{sabc}^s + \frac{d\lambda_{sabc}^s}{dt} \quad (\text{A.8})$$

$$\text{onde } \bar{R}_s = \begin{bmatrix} r_s & 0 & 0 \\ 0 & r_s & 0 \\ 0 & 0 & r_s \end{bmatrix}, \bar{L}_{ss} = \begin{bmatrix} l_s & M_s & M_s \\ M_s & l_s & M_s \\ M_s & M_s & l_s \end{bmatrix} \text{ e}$$

$$\bar{L}_{sr} = M_{sr} \begin{bmatrix} \cos(\theta_r) & \cos(\theta_r + \frac{2\pi}{3}) & \cos(\theta_r + \frac{4\pi}{3}) \\ \cos(\theta_r + \frac{4\pi}{3}) & \cos(\theta_r) & \cos(\theta_r + \frac{2\pi}{3}) \\ \cos(\theta_r + \frac{2\pi}{3}) & \cos(\theta_r + \frac{4\pi}{3}) & \cos(\theta_r) \end{bmatrix}.$$

As orientações das bobinas, por convenção, são de tal forma que uma corrente positiva cria um fluxo positivo, em que

$$v_i = \frac{d\lambda}{dt} \quad (\text{A.9})$$

onde v_i é tensão induzida nos terminais da bobina, antes da queda de tensão resistiva ($v_i = -e_{f_{cem}}$, onde $e_{f_{cem}}$ é a força contra-eletromotriz, ou f.c.e.m.) e λ é o fluxo na bobina, de forma que:

$$v = Ri + v_i = Ri + \frac{d\lambda}{dt} \quad (\text{A.10})$$

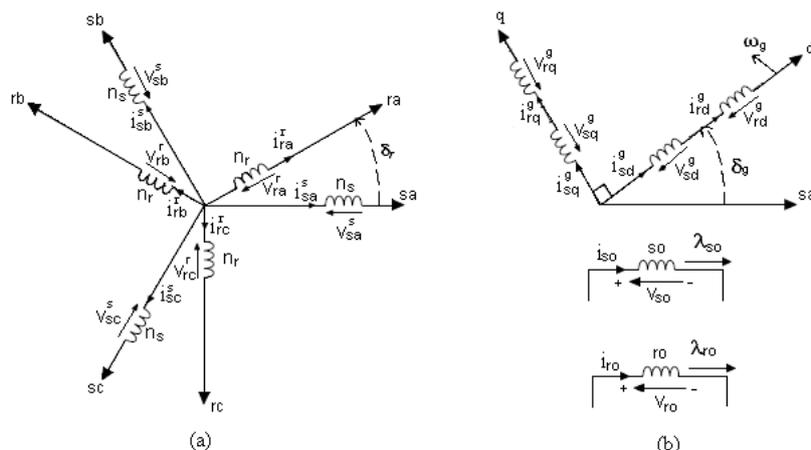
Como a máquina considerada possui estator e rotor compostos por enrolamentos conectados a neutro isolado, $(i_{sa} + i_{sb} + i_{sc}) = (i_{ra} + i_{rb} + i_{rc}) = 0$. Então, $(\lambda_{sa} + \lambda_{sb} + \lambda_{sc}) = 0$. Portanto

$$(e_{sa} + e_{sb} + e_{sc}) = 0 \quad (\text{A.11})$$

ou seja, a soma das forças contra-eletromotrizes é zero.

A.2 Representação *odq* da máquina trifásica

A transformação *odq* corresponde a representar cada armadura trifásica original do estator e do rotor por um par de bobinas de eixo *d* (*sd* e *rd*), um par de bobinas de eixo *q* (*sq* e *rq*) e mais duas bobinas isoladas, ditas homopolares, de índice *o*, (*so* e *ro*) (Figura A.2), de forma que a representação da máquina se torne mais simples.


 Figura A.2: Representação esquemática da transformação trifásica- odq .

A transformação das variáveis abc - odq é definida pela operação:

$$y_{sabc}^s = \bar{A} y_{sodq}^s \quad (\text{A.12})$$

$$\text{com } y_{sabc}^s = \begin{bmatrix} y_{sa}^s & y_{sb}^s & y_{sc}^s \end{bmatrix}^T, y_{sodq}^s = \begin{bmatrix} y_{so}^s & y_{sd}^s & y_{sq}^s \end{bmatrix}^T \text{ e } \bar{A} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & 1 & 0 \\ \frac{1}{\sqrt{2}} & -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}.$$

Considerando-se os componentes homopolares nulos para uma carga trifásica simétrica, as variáveis na base abc são dadas por:

$$y_{sa}^s = \sqrt{2/3} y_{sd}^s \quad (\text{A.13})$$

$$y_{sb}^s = \sqrt{1/6} (-y_{sd}^s + \sqrt{3} y_{sq}^s) \quad (\text{A.14})$$

$$y_{sc}^s = -\sqrt{1/6} (y_{sd}^s + \sqrt{3} y_{sq}^s) \quad (\text{A.15})$$

As correntes homopolares não criam indução no entreferro da máquina e assim não dão origem ao conjugado eletromagnético. Os componentes dq caracterizam a máquina ativa e os componentes homopolares traduzem os desequilíbrios de seqüência zero da máquina trifásica, criados pela alimentação desequilibrada.

Considerando apenas as componentes dq , a máquina bifásica pode ser representada, em um referencial genérico, pelas expressões A.16 a A.20.

$$v_{sdq}^g = r_s i_{sdq}^g + \frac{d\lambda_{sdq}^g}{dt} + \omega_g \begin{bmatrix} 0 & -1 \\ 1 & 0 \end{bmatrix} \lambda_{sdq}^g \quad (\text{A.16})$$

$$v_{rdq}^g = r_r i_{rdq}^g + \frac{d\lambda_{rdq}^g}{dt} + (\omega_g - \omega_r) \begin{bmatrix} 0 & -1 \\ 1 & 0 \end{bmatrix} \lambda_{rdq}^g \quad (\text{A.17})$$

$$\lambda_{sdq}^g = l_s i_{sdq}^g + l_m i_{rdq}^g \quad (\text{A.18})$$

$$\lambda_{rdq}^g = l_r i_{rdq}^g + l_r i_{rdq}^g \quad (\text{A.19})$$

$$c_e = Pl_m (i_{sq}^g i_{rd}^g - i_{sd}^g i_{rq}^g) \quad (\text{A.20})$$

em que c_e representa o conjugado eletromagnético e P o número de pares de pólos; as variáveis v_{sdq}^g , v_{rdq}^g , i_{sdq}^g e i_{rdq}^g são as tensões e as correntes estatóricas e rotóricas em um referencial genérico, respectivamente; r_s , r_r , l_s , l_r e l_m são as resistências estatórica e rotórica, indutâncias estatórica e rotórica, e a indutância mútua respectivamente; ω_g e ω_r são as frequências de rotação do referencial arbitrário e do rotor, respectivamente.

O modelo dinâmico da máquina no referencial estatórico ($\omega_g = 0$), utilizando a corrente estatórica e o fluxo rotórico como variáveis de estado, pode ser dado por:

$$v_{sd}^s = \left(r_s + \frac{l_s - \sigma l_s}{\tau_r} \right) i_{sd}^s + \sigma l_s \frac{di_{sd}^s}{dt} - \left(\frac{l_s - \sigma l_s}{l_m} \right) \left(\omega_r \phi_{rq}^s + \frac{\phi_{rd}^s}{\tau_r} \right) \quad (\text{A.21})$$

$$v_{sq}^s = \left(r_s + \frac{l_s - \sigma l_s}{\tau_r} \right) i_{sq}^s + \sigma l_s \frac{di_{sq}^s}{dt} + \left(\frac{l_s - \sigma l_s}{l_m} \right) \left(\omega_r \phi_{rd}^s - \frac{\phi_{rq}^s}{\tau_r} \right) \quad (\text{A.22})$$

Para efeitos de uma abordagem *siso*, esse modelo (A.21-A.22) pode ser reescrito como:

$$v_{sd}^s = r_{sr} i_{sd}^s + \sigma l_s \frac{di_{sd}^s}{dt} + e_{sd}^s \quad (\text{A.23})$$

$$v_{sq}^s = r_{sr} i_{sq}^s + \sigma l_s \frac{di_{sq}^s}{dt} + e_{sq}^s \quad (\text{A.24})$$

onde $r_{sr} = r_s + \frac{(l_s - \sigma l_s)}{\tau_r}$ e $\begin{bmatrix} e_{sd}^s \\ e_{sq}^s \end{bmatrix} = \begin{bmatrix} -\left(\frac{l_s - \sigma l_s}{l_m}\right) \left(\omega_r \phi_{rq}^s + \frac{\phi_{rd}^s}{\tau_r}\right) \\ \left(\frac{l_s - \sigma l_s}{l_m}\right) \left(\omega_r \phi_{rd}^s - \frac{\phi_{rq}^s}{\tau_r}\right) \end{bmatrix}$; $\sigma = \left(1 - \frac{l_m^2}{l_s l_r}\right)$ e $\tau_r = \frac{l_r}{r_r}$ são o coeficiente de dispersão da máquina e a constante de tempo rotórica, respectivamente; e_{sd}^s e e_{sq}^s são as forças contra-eletromotrizes (*fcems*) do estator.

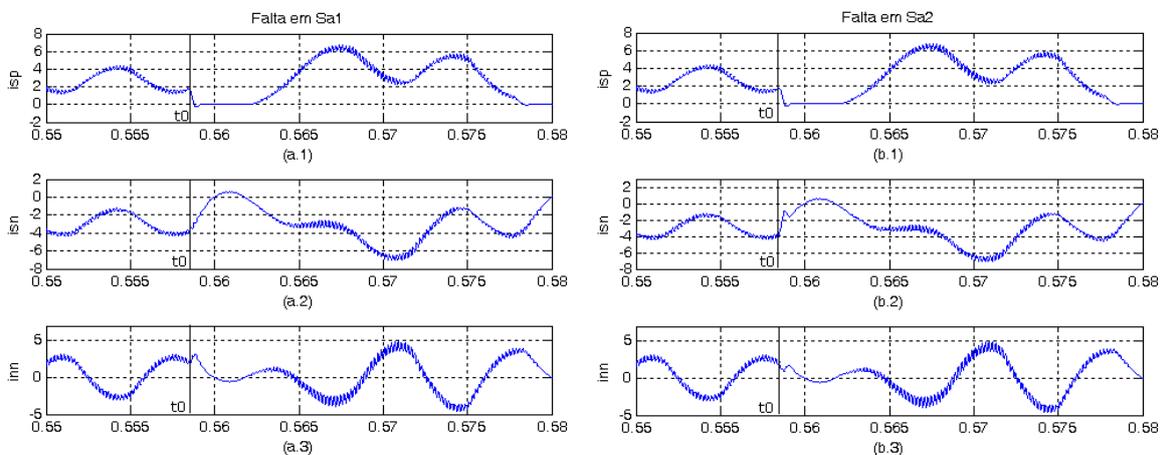
Apêndice B

Correntes do Barramento CC

As simulações a seguir ilustram o comportamento das correntes do barramento CC (i_{sp} , i_{sn} e i_{nn}) de um inversor de três níveis com diodos de grampeamento, para faltas introduzidas em pontos estratégicos na corrente de fase i_a . Os instantes onde as faltas ocorreram correspondem a: 30° , 45° , 60° , 90° , 110° e 120° , localizados no semiciclo positivo de i_a , e 30° , 45° , 60° , 90° , 110° e 120° referentes ao semiciclo negativo da corrente de fase i_a . A carga considerada é a máquina assíncrona definida na Tabela 4.1.

B.1 Semiciclo positivo de i_a

- Falta em 30°



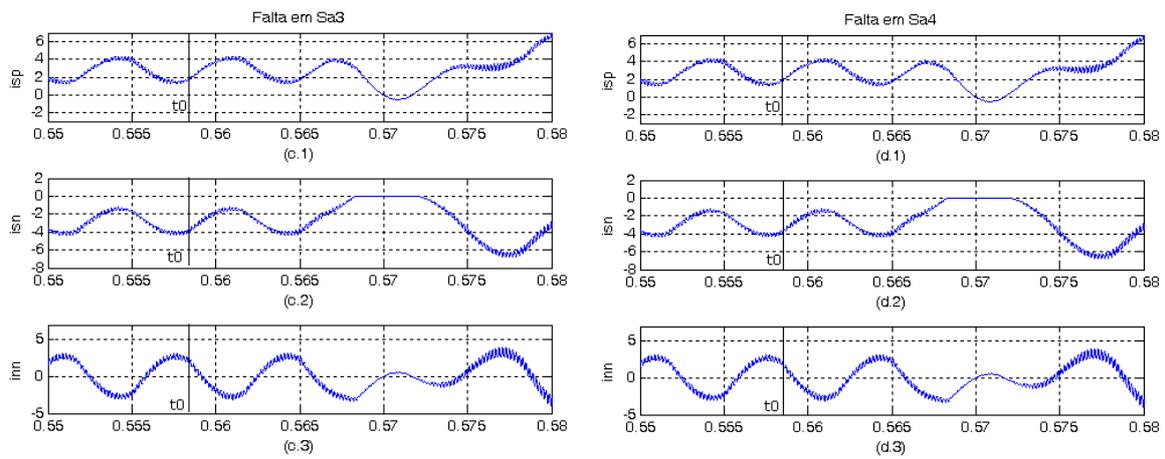


Figura B.1: Correntes do barramento CC, com falta ocorrida em 0.5585s.

- Falta em 45°

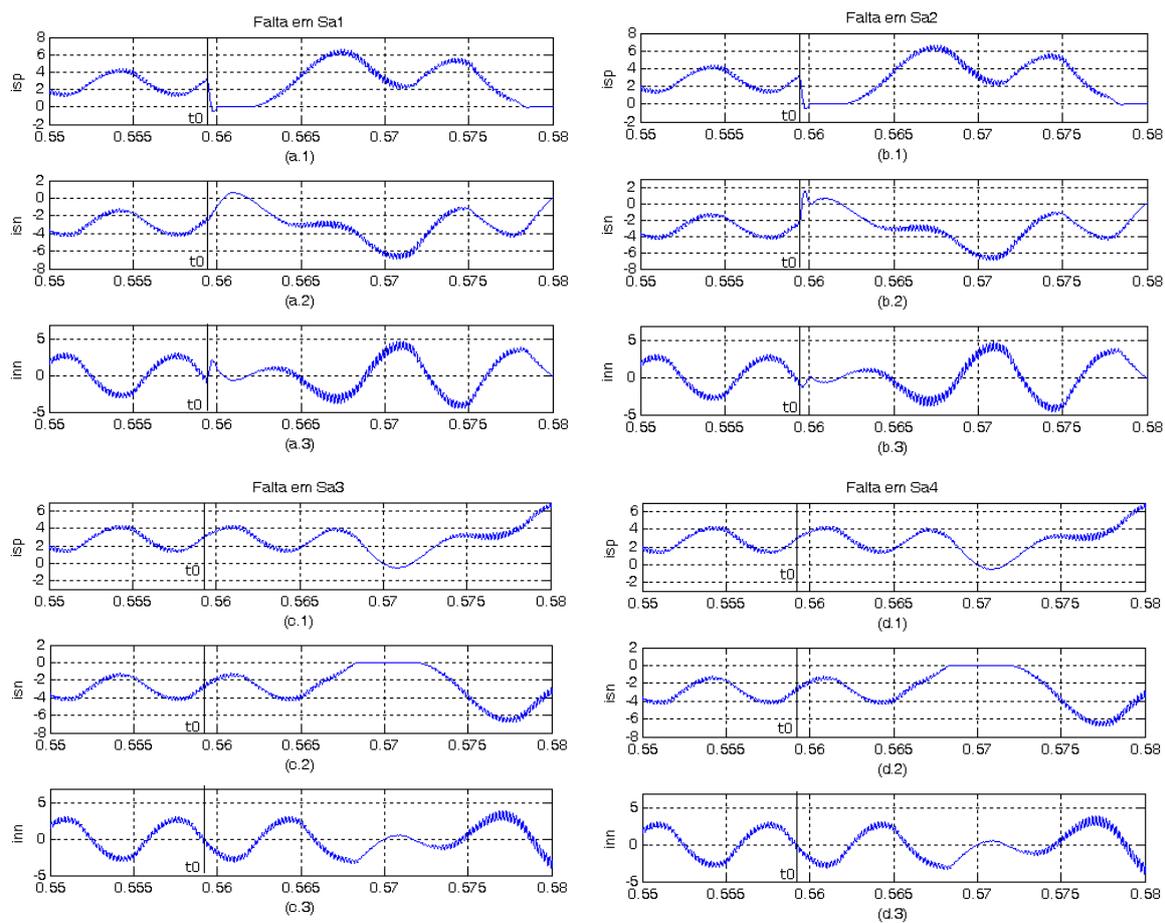


Figura B.2: Correntes do barramento CC, com falta ocorrida em 0.5594s.

• Falta em 60°

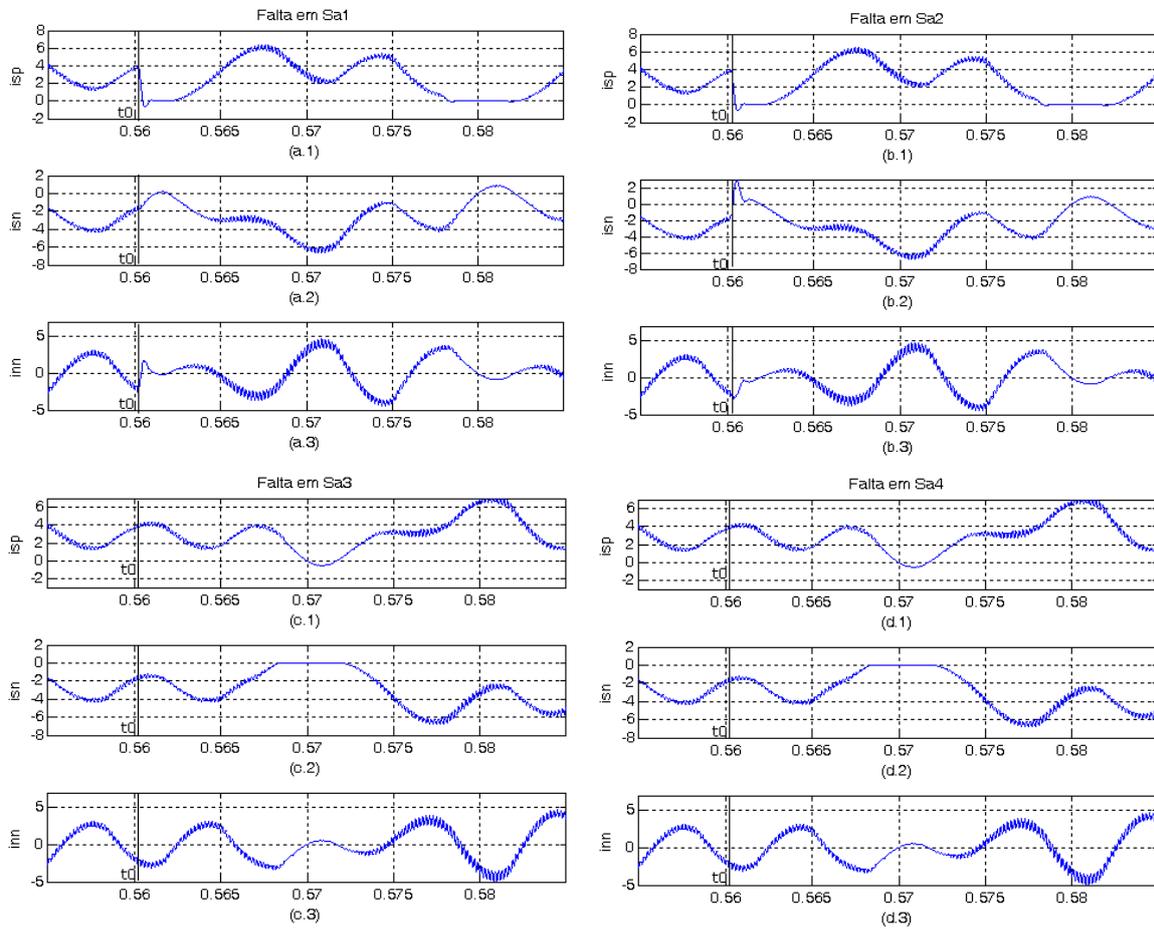
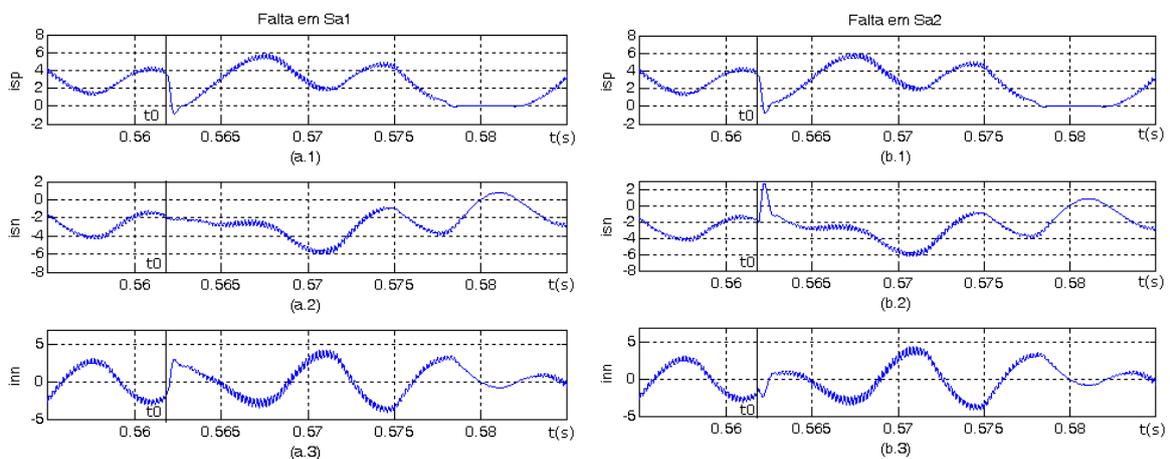


Figura B.3: Correntes do barramento CC, com falta ocorrida em 0.5602s.

• Falta em 90°



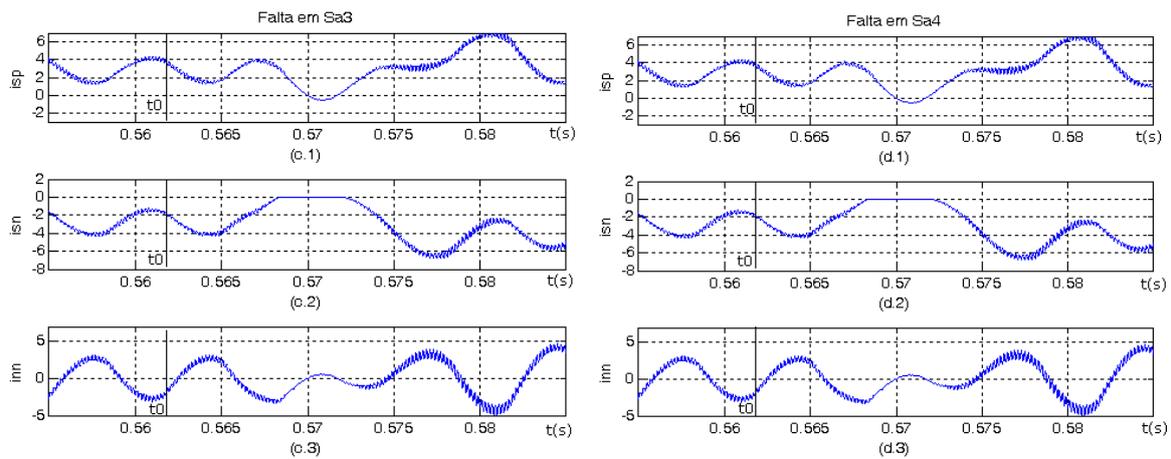


Figura B.4: Correntes do barramento CC, com falta ocorrida em 0.5619s.

- Falta em 110°

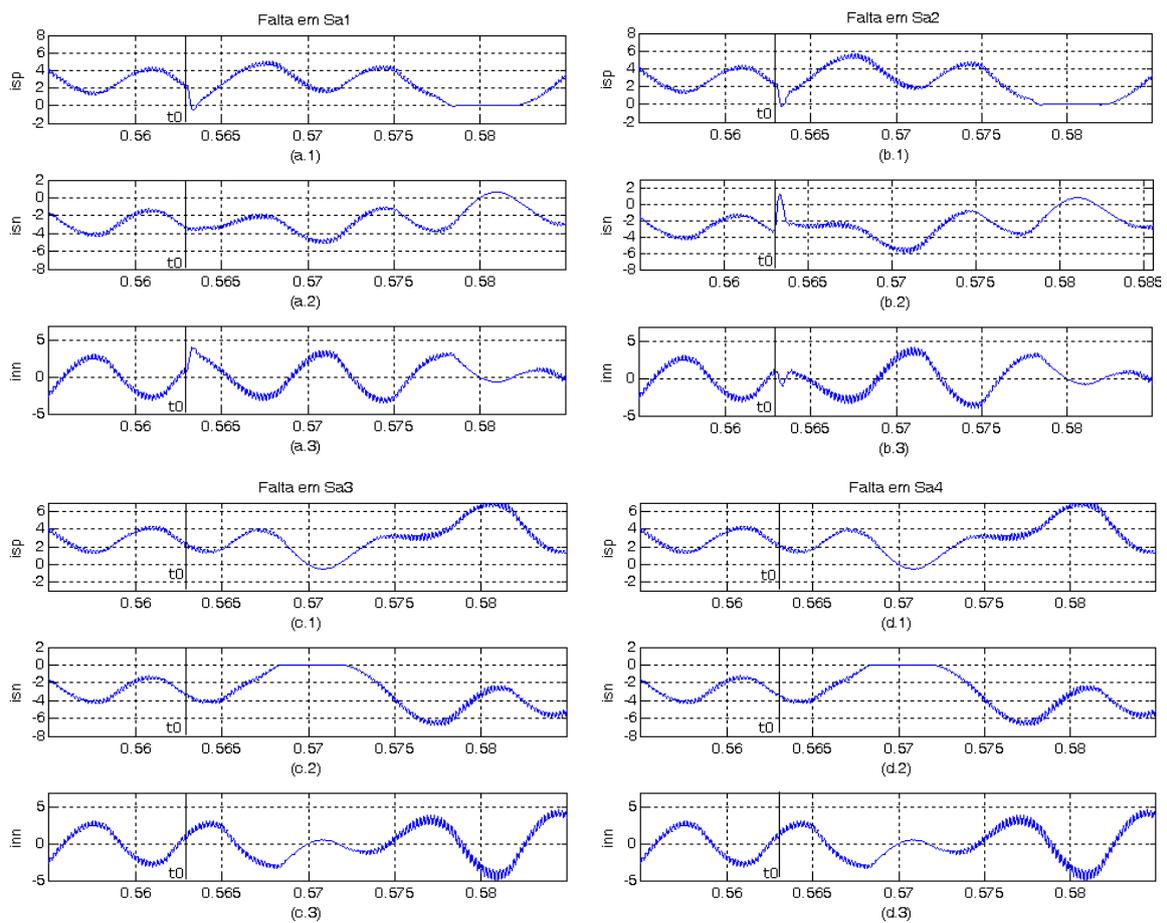


Figura B.5: Correntes do barramento CC, com falta ocorrida em 0.5630s.

- Falta em 120°

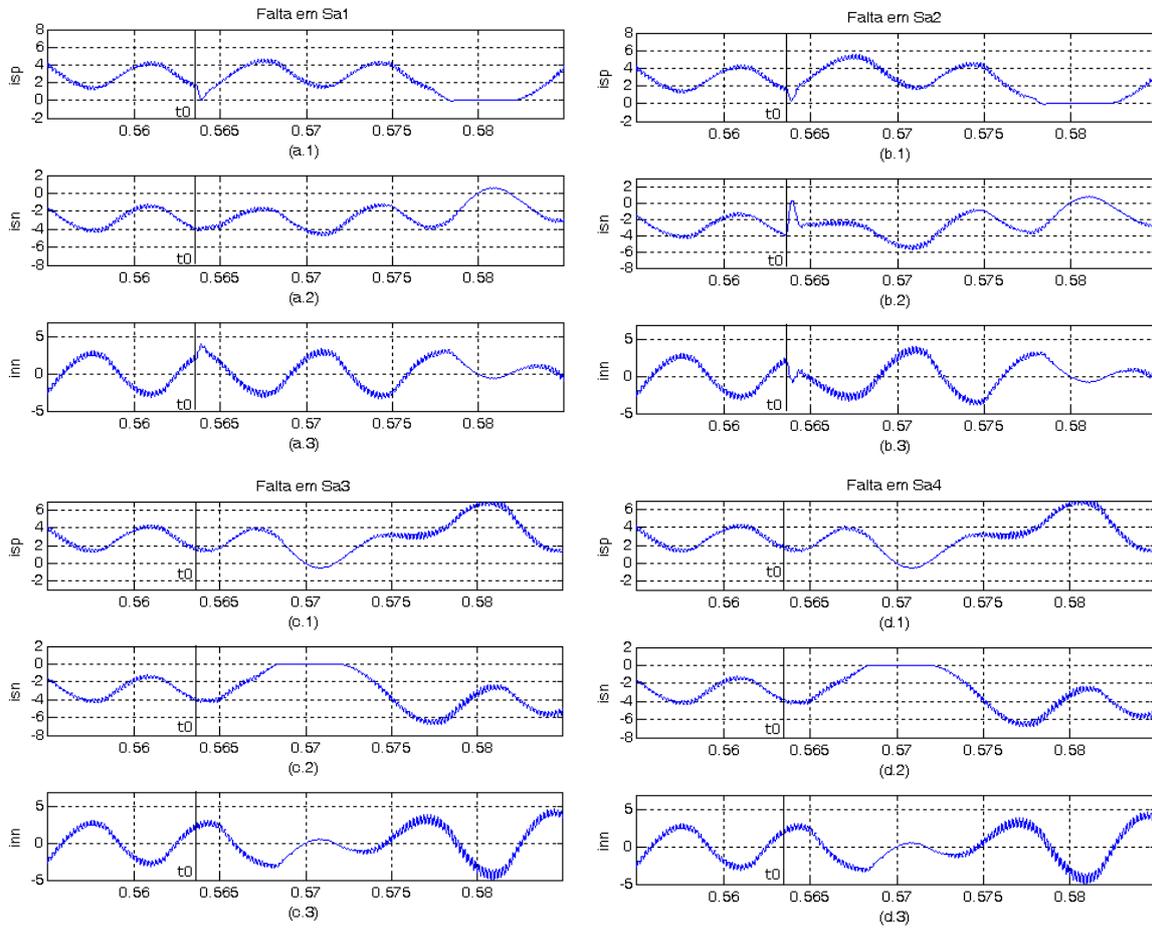


Figura B.6: Correntes do barramento CC, com falta ocorrida em 0.5636s.

B.2 Semiciclo negativo de i_a

- Falta em 30°

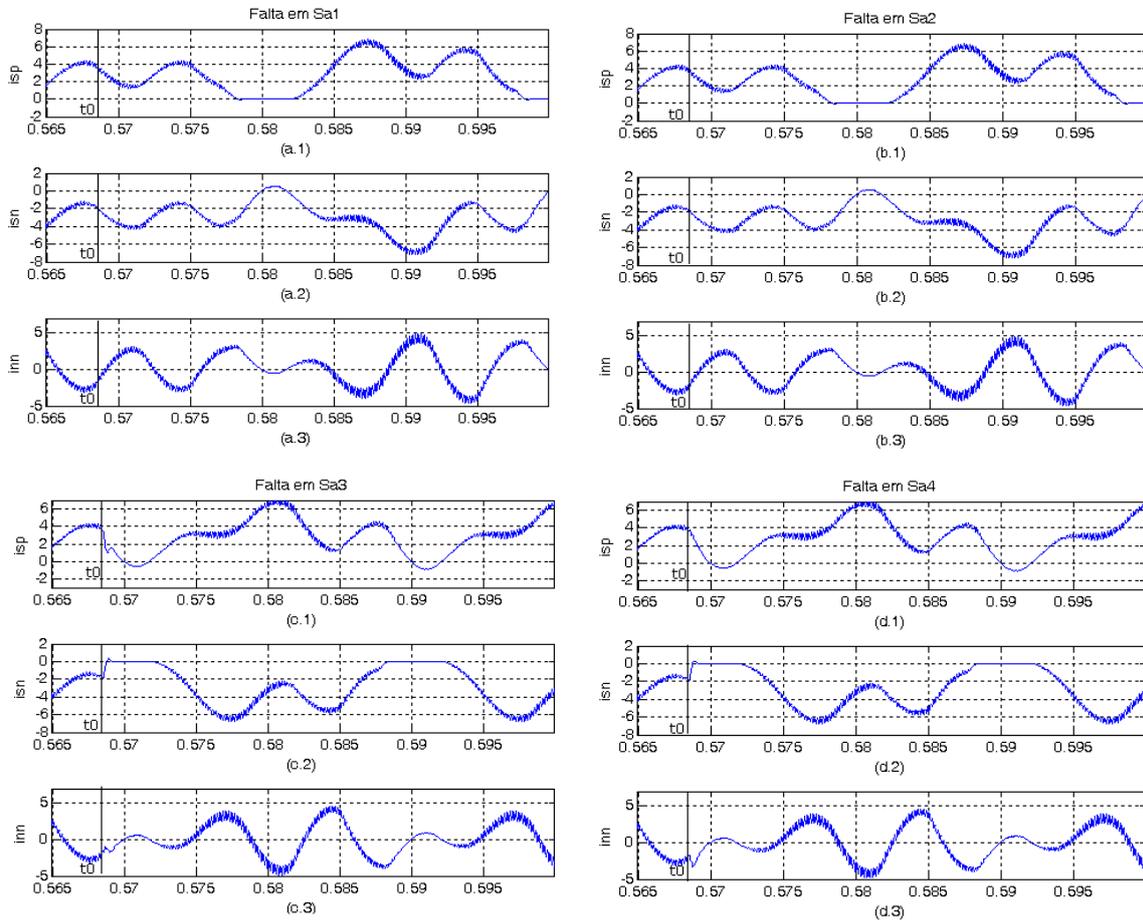
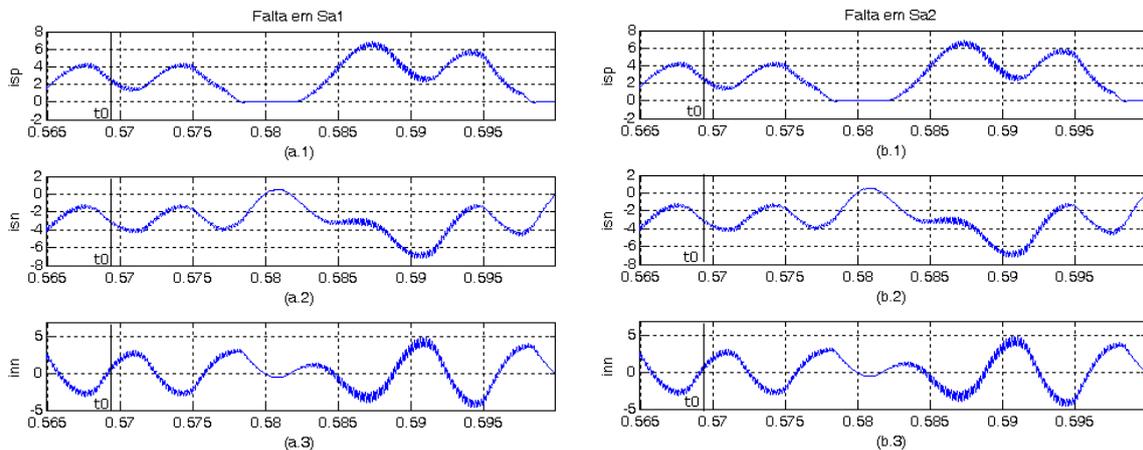


Figura B.7: Correntes do barramento CC, com falta ocorrida em 0.5685s.

- Falta em 45°



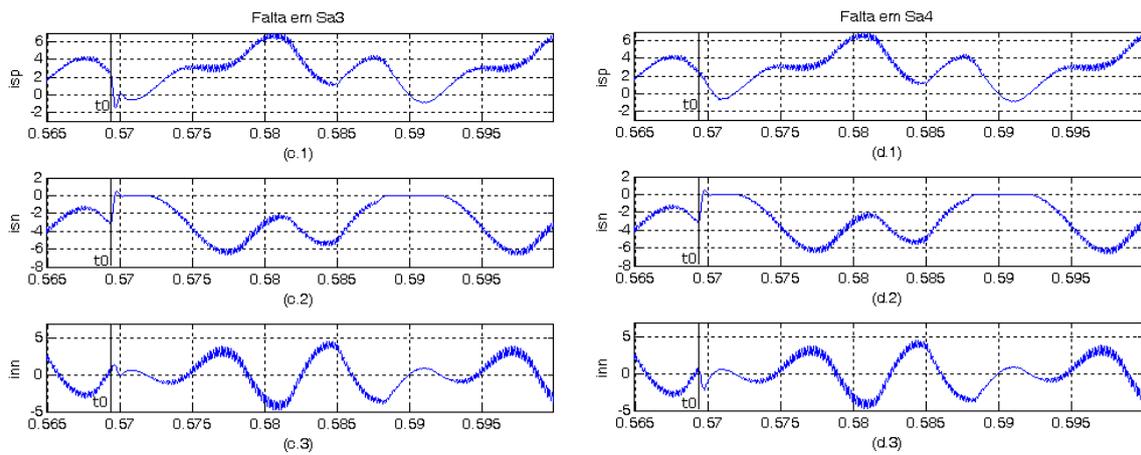


Figura B.8: Correntes do barramento CC, com falta ocorrida em 0.5694s.

- Falta em 60°

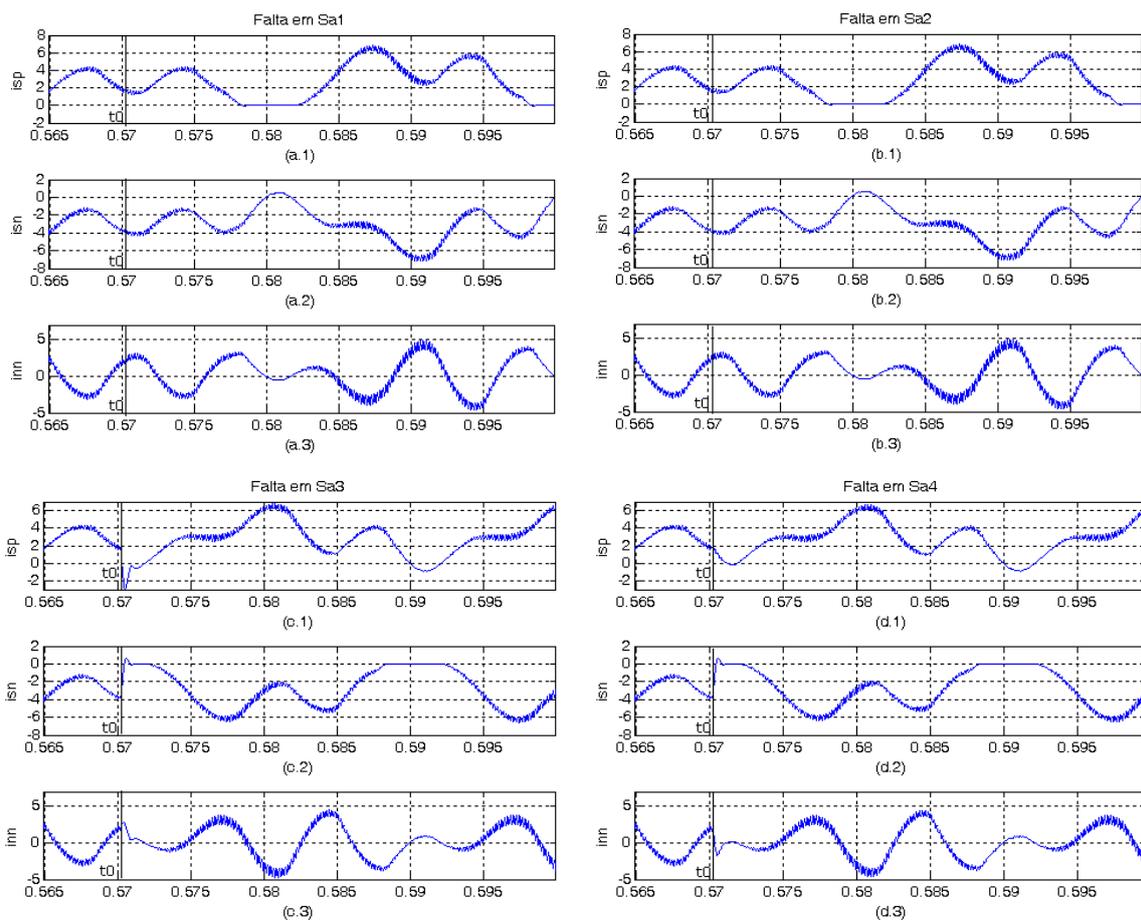


Figura B.9: Correntes do barramento CC, com falta ocorrida em 0.5702s.

• Falta em 90°

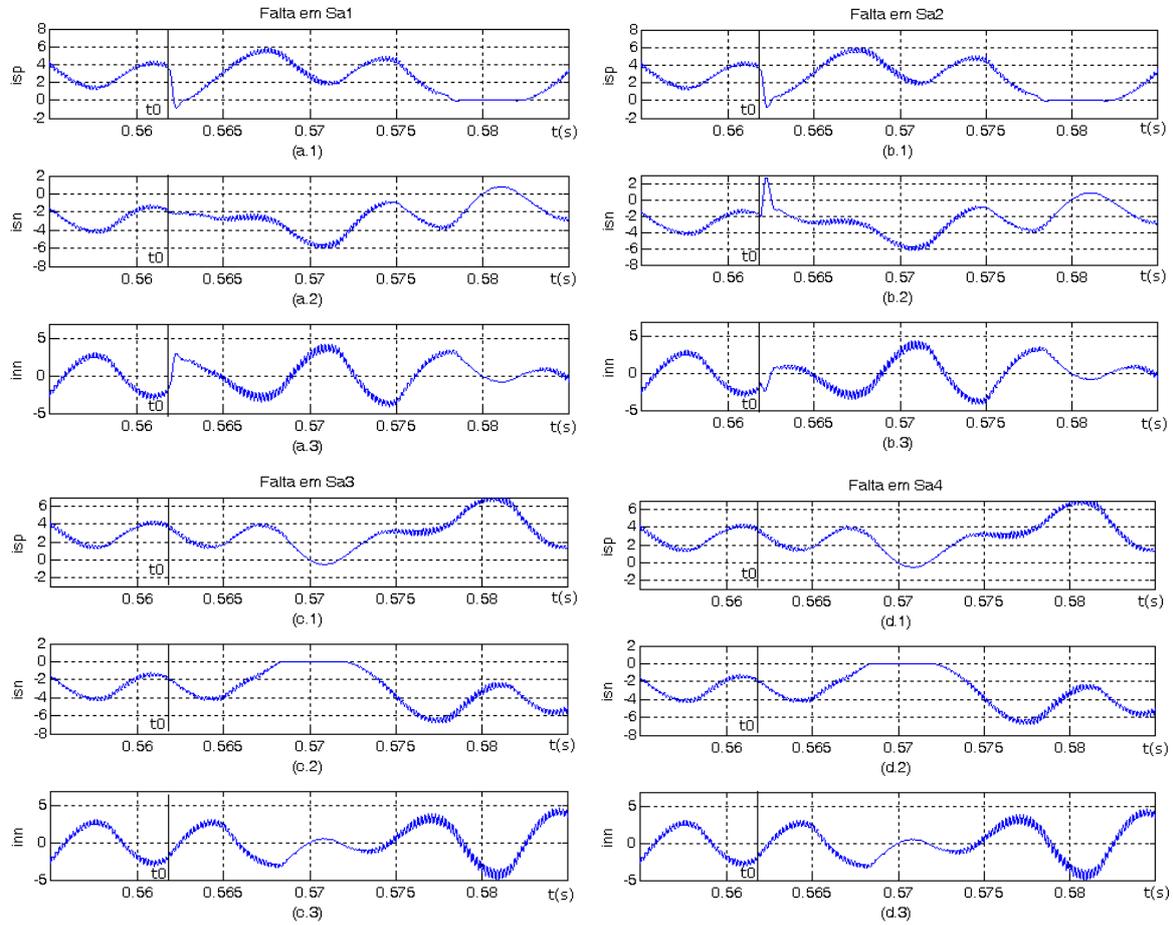
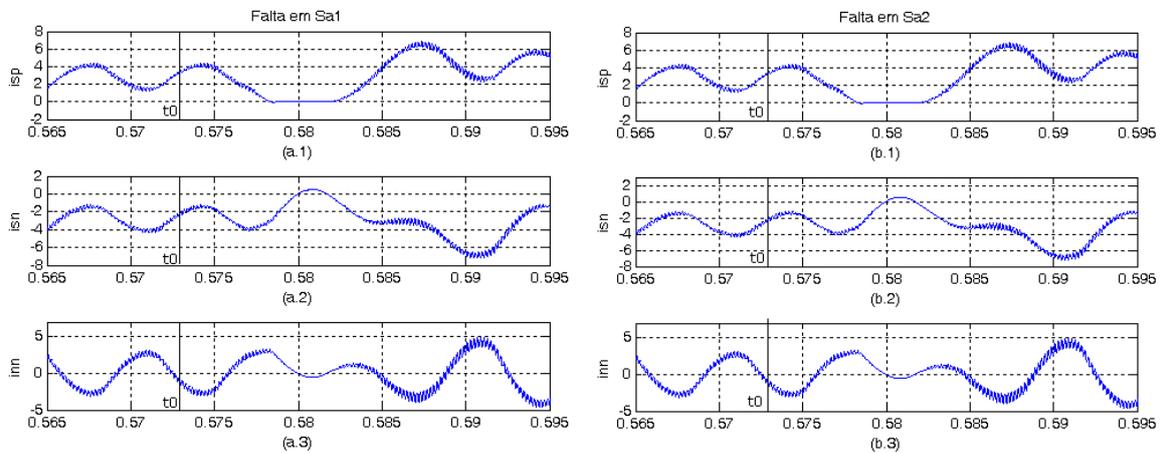


Figura B.10: Correntes do barramento CC, com falta ocorrida em 0.5719s.

• Falta em 110°



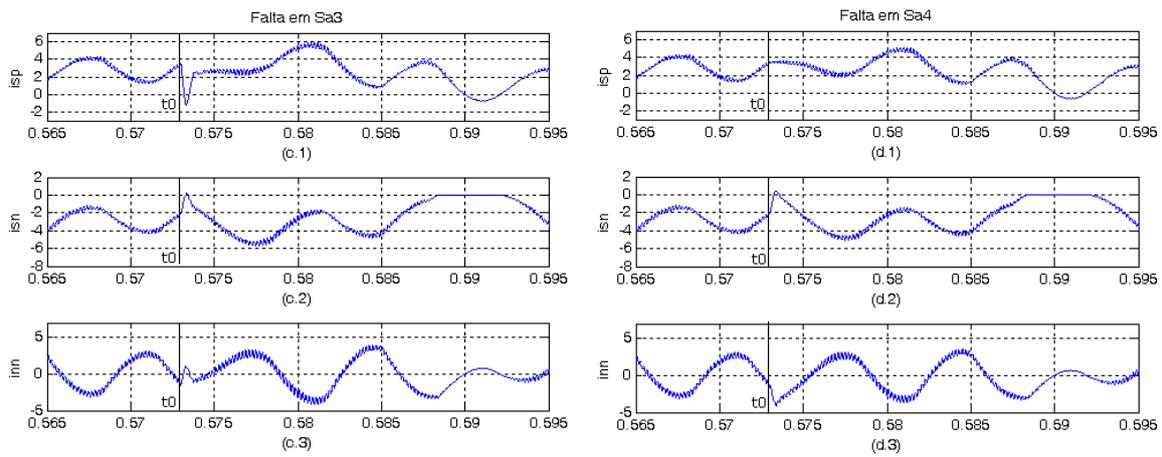


Figura B.11: Correntes do barramento CC, com falta ocorrida em 0.5730s.

- Falta em 120°

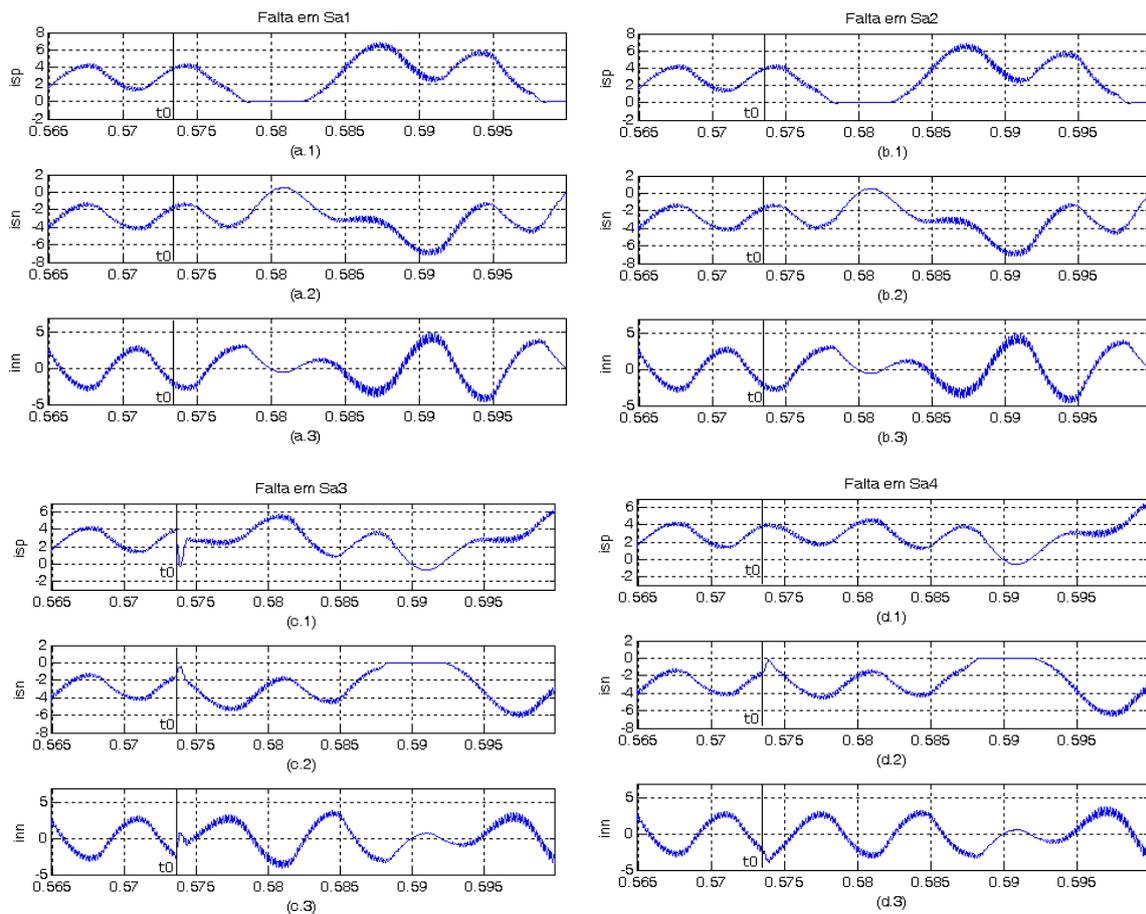


Figura B.12: Correntes do barramento CC, com falta ocorrida em 0.5736s.

Livros Grátis

(<http://www.livrosgratis.com.br>)

Milhares de Livros para Download:

[Baixar livros de Administração](#)

[Baixar livros de Agronomia](#)

[Baixar livros de Arquitetura](#)

[Baixar livros de Artes](#)

[Baixar livros de Astronomia](#)

[Baixar livros de Biologia Geral](#)

[Baixar livros de Ciência da Computação](#)

[Baixar livros de Ciência da Informação](#)

[Baixar livros de Ciência Política](#)

[Baixar livros de Ciências da Saúde](#)

[Baixar livros de Comunicação](#)

[Baixar livros do Conselho Nacional de Educação - CNE](#)

[Baixar livros de Defesa civil](#)

[Baixar livros de Direito](#)

[Baixar livros de Direitos humanos](#)

[Baixar livros de Economia](#)

[Baixar livros de Economia Doméstica](#)

[Baixar livros de Educação](#)

[Baixar livros de Educação - Trânsito](#)

[Baixar livros de Educação Física](#)

[Baixar livros de Engenharia Aeroespacial](#)

[Baixar livros de Farmácia](#)

[Baixar livros de Filosofia](#)

[Baixar livros de Física](#)

[Baixar livros de Geociências](#)

[Baixar livros de Geografia](#)

[Baixar livros de História](#)

[Baixar livros de Línguas](#)

[Baixar livros de Literatura](#)
[Baixar livros de Literatura de Cordel](#)
[Baixar livros de Literatura Infantil](#)
[Baixar livros de Matemática](#)
[Baixar livros de Medicina](#)
[Baixar livros de Medicina Veterinária](#)
[Baixar livros de Meio Ambiente](#)
[Baixar livros de Meteorologia](#)
[Baixar Monografias e TCC](#)
[Baixar livros Multidisciplinar](#)
[Baixar livros de Música](#)
[Baixar livros de Psicologia](#)
[Baixar livros de Química](#)
[Baixar livros de Saúde Coletiva](#)
[Baixar livros de Serviço Social](#)
[Baixar livros de Sociologia](#)
[Baixar livros de Teologia](#)
[Baixar livros de Trabalho](#)
[Baixar livros de Turismo](#)