

Tese apresentada à Divisão de Pós-Graduação do Instituto Tecnológico de Aeronáutica como parte dos requisitos para obtenção do título de Mestre em Ciências do Programa de Estudos de Mestrado, no Curso de Engenharia Eletrônica e Computação, Área de Dispositivos e Sistemas Eletrônicos.

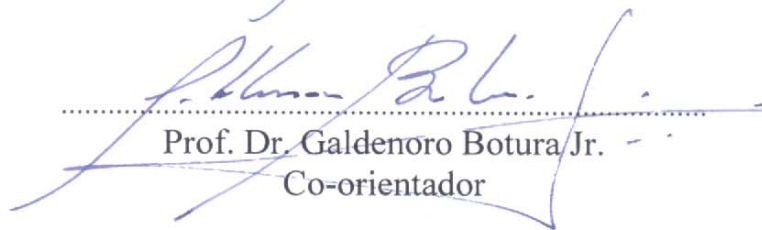
Paloma Maria Silva Rocha

**Projeto de um Defuzificador Analógico Integrado em
Tecnologia CMOS**

Tese aprovada em sua versão final pelos abaixo assinados:



Prof. Dr. Osamu Saotome
Orientador



Prof. Dr. Galdenoro Botura Jr.
Co-orientador

Prof. Dr. Homero Santiago Maciel
Pró-Reitor de Pós-Graduação e Pesquisa

Campo Montenegro
São José dos Campos, SP – Brasil
2005

Projeto de um Defuzificador Analógico Integrado em Tecnologia CMOS

Paloma Maria Silva Rocha

Composição da Banca Examinadora:

Prof ^a Dr. Neusa Maria Franco de Oliveira	Presidente – ITA
Prof. Dr. Osamu Saotome	Orientador – ITA
Prof. Dr. Galdenoro Botura Jr.	Co-Orientador – UNESP
Prof. Dr. Roberto d’Amore	Membro Interno – ITA
Prof. Dr. Karl Heinz Kienitz	Membro Interno – ITA
Prof. Dr. Robson Luiz Moreno	Membro Externo – UNIFEI
Prof. Dr. Leonardo Mesquita	Suplente Externo – UNESP

Primeiramente a Deus, pela vida, inteligência e saúde.

De modo especial, aos meus pais Paulo e Célia,

ao meu irmão, Paulo e ao meu namorado Marco,

pelo carinho e incentivo.

Agradecimentos

A realização deste trabalho só foi possível em virtude da colaboração direta e indireta de muitas pessoas. Manifesto minha gratidão a todas, e especialmente:

ao Prof. Dr. Galdenoro Botura Jr. e ao Prof. Dr. Leonardo Mesquita, pela proposta da tese, pela dedicação, apoio e incentivo, amizade e conhecimento;

ao Prof. Dr. Osamu Saotome, pelo incentivo e cooperação ao longo do desenvolvimento desta tese.;

ao Prof. Dr. Robson Moreno, UNIFEI, e ao Prof. Dr. Everson Martins, UNESP/FEG, pelo auxílio na utilização software Mentor;

a todos os professores do Curso de Engenharia Eletrônica e Computação na Área de Dispositivos e Sistemas Eletrônicos, pelos ensinamentos transmitidos; e

a todos que direta ou indiretamente colaboraram na execução deste trabalho.

Resumo

O presente trabalho tem por objetivo propor uma nova arquitetura e baseada nela, projetar um circuito que funcione como bloco de saída de um controlador baseado na lógica difusa. A nova arquitetura proposta realiza a defuzificação baseada no método defuzificação por altura, sendo composta por circuitos escalonadores, circuitos somadores e circuito multiplicador-divisor, desenvolvidos para operarem no modo corrente. Os mesmos serão implementados por meio de *hardware* analógico na tecnologia CMOS 0,35 μ m C35 da AMS – *Austria Mikro Systems International AG*, com tensão de alimentação de 3,3V. Estes circuitos foram, na sua grande maioria, desenvolvidos com base no princípio translinear aplicado a dispositivos CMOS.

Como características principais, o dispositivo projetado com base na arquitetura proposta apresentou, por meio de simulação, baixo consumo de potência, erro dentro da faixa de especificação inicial e, com seu uso, a obtenção de um controlador difuso completo, quando atuou junto com os demais blocos já existentes.

Nesta tese são apresentados os resultados de simulação dos blocos constituintes do defuzificador, bem como do sistema completo. A simulação foi realizada no *software* SPICE. O *layout* do circuito proposto foi desenvolvido no *software* Mentor Graphics.

Abstract

The goal of this work is to propose a new architecture and based on this architecture, design a circuit used as output block in a general-purpose fuzzy controller. The proposed architecture implants the height defuzzification method and is composed of the blocks: scaling, addition and division. The designed circuit operates in current-mode and will be implemented in CMOS 0.35 μm AMS– *Austria Mikro Systems International AG*. Most of this circuit was designed based on CMOS translinear principle.

The main characteristics of the designed device, based on the proposed architecture presented, verified by simulation were, low voltage consumption, and a complete fuzzy controller is obtained with the use of this circuit.

In this work, the simulation result of each defuzzifier circuit block and the output current curves of the complete circuit have been presented. All simulation results have been obtained by the use of SPICE software. The Mentor software has been used to develop the layout of each defuzzifier circuit block.

Sumário

Capítulo I: Proposta

I.1 Introdução	12
I.2 Motivação	12
I.3 Objetivos	13
I.4 Contribuições	14
I.5 Plano de tese	14

Capítulo II: Proposta de uma Arquitetura Dedicada para uso em um Controlador Difuso

II.1 Introdução	16
II.2 Controlador lógico difuso	17
II.3 Histórico dos circuitos Defuzificadores	19
II.4 Métodos de Defuzificação	22
II.4.1 Altura	22
II.4.2 Centro de Área	23
II.4.3 Centro da Soma	25
II.4.4 Centro da Maior Área	26
II.4.5 Primeiro do Máximo	27
II.4.6 Média do Máximo	28
II.4.7 Comparação dos métodos de defuzificação	29
II.5 Arquitetura proposta para o circuito defuzificador	32
II.6 Comentários e conclusões	35

Capítulo III: Projeto dos Módulos de um Defuzificador

III.1 Introdução	36
III.2 Especificações	37
III.3 Projeto dos blocos constituintes do defuzificador	37
III.3.1 Circuito Escalonador	38
III.3.1.1 Dimensões dos transistores	40
III.3.1.2 Simulação	43
III.3.2 Circuito Somador	45

III.3.2.1 Dimensões dos transistores	46
III.3.2.2 Simulação	51
III.3.3 Projeto do circuito Multiplicador - Divisor	53
III.3.3.1 Princípio translinear	53
III.3.3.2 Princípio de operação - equacionamento	55
III.3.3.3 Projeto do circuito multiplicador - divisor	57
III.3.3.3.a Topologia <i>Up-Down</i> - Circuito de Média	57
III.3.3.3.b Topologia <i>Up-Down</i> - Circuito Quadrático-Divisor	68
III.3.3.3.c Topologia <i>Up-Down</i> – Multiplicador-Divisor	79
III.4 Comentários e conclusões	83
Capítulo IV: Resultados do Circuito Defuzificador	
IV.1 Introdução	84
IV.2 Circuito Defuzificador completo	84
IV.2.1 Resultados do circuito defuzificador completo	84
IV.2.2 Exemplo de utilização do circuito defuzificador	86
IV.3 Resultados dos testes dos blocos do defuzificador com parasitas	91
IV.4 Comentários e Conclusões	93
Capítulo V: Conclusões e Sugestões para trabalhos Futuros	94
Referências Bibliográficas	97
Apêndice A: Artigos publicados relacionados com o tema proposto	106
Apêndice B: Lógica difusa	108
Apêndice C: Espelho de corrente	122
Apêndice D: Efeitos de segunda ordem	127
Apêndice E: Descrição SPICE do circuito defuzificador	131

Lista de Figuras

Figura 2.1:	<i>Diagrama em blocos de um microprocessador lógico difuso.</i>	17
Figura 2.2:	<i>Método de defuzificação da altura.</i>	23
Figura 2.3:	<i>Método de defuzificação do centro de área.</i>	24
Figura 2.4:	<i>Método de defuzificação do centro da soma.</i>	26
Figura 2.5:	<i>Método de defuzificação do centro da maior área.</i>	27
Figura 2.6:	<i>Método de defuzificação primeiro do máximo.</i>	28
Figura 2.7:	<i>Método de defuzificação da média do máximo.</i>	29
Figura 2.8:	<i>Caso onde o método de defuzificação centro da maior área vai resultar em um resultado ambíguo.</i>	30
Figura 2.9:	<i>Função de pertinência do método de defuzificação da altura.</i>	32
Figura 2.10:	<i>Arquitetura de um defuzificador implementado em hardware.</i>	33
Figura 2.11:	<i>Arquitetura proposta de um defuzificador implementado em hardware.</i>	34
Figura 3.1:	<i>Diagrama em blocos do circuito escalonador completo h_2, h_3, h_4 e h_5 multiplicados por 2, 3, 4 e 5, respectivamente.</i>	39
Figura 3.2:	<i>Esquemático do espelho de corrente cascode.</i>	39
Figura 3.3:	<i>Esquemático do circuito escalonador h_5.</i>	40
Figura 3.4:	<i>Resultados de simulação dos circuitos escalonadores h_1, h_2, h_3, h_4, h_5.</i>	44
Figura 3.5:	<i>(a) Layout do circuito Escalonador h_1; (b) Layout do circuito Escalonador h_2; (c) Layout do circuito Escalonador h_3; (d) Layout do circuito Escalonador h_4; (e) Layout do circuito Escalonador h_5.</i>	45
Figura 3.6:	<i>Diagrama em blocos do circuito somador.</i>	46
Figura 3.7:	<i>Circuito esquemático representando o módulo somador e escalonador.</i>	47
Figura 3.8:	<i>Espelho de corrente CMOS TIPO N entre os circuitos: Somador I e de média geométrica.</i>	48
Figura 3.9:	<i>Espelho de corrente CMOS tipo N entre os circuitos: somador II e quadrático-divisor.</i>	50

Figura 3.10:	<i>Resultados de simulação dos circuitos somadores.</i>	51
Figura 3.11:	<i>(a) Layout do circuito Escalonador e Somador h_5; (b) Layout do circuito Escalonador e Somador.</i>	52
Figura 3.12:	<i>Malha translinear composta por transistores MOS de canal N.</i>	53
Figura 3.13:	<i>Princípio do circuito multiplicador-divisor.</i>	56
Figura 3.14:	<i>Malha de tensão translinear (a) topologia stacked (b) topologia up-down.</i>	56
Figura 3.15:	<i>Esquemático do circuito de média geométrica.</i>	59
Figura 3.16:	<i>Esquemático do circuito de média geométrica completo.</i>	63
Figura 3.17:	<i>Resultado de simulação do circuito de média geométrica.</i>	67
Figura 3.18:	<i>(a) Layout da Malha Translinear; (b) Layout do circuito de média geométrica.</i>	68
Figura 3.19:	<i>Esquemático do circuito de quadrático-divisor.</i>	70
Figura 3.20:	<i>Esquemático do circuito de quadrático-divisor completo.</i>	75
Figura 3.21:	<i>Resultado de simulação do circuito quadrático-divisor.</i>	78
Figura 3.22:	<i>(a) Layout da Malha Translinear; (b) Layout do circuito quadrático-divisor</i>	79
Figura 3.23:	<i>Esquemático do circuito de multiplicador-divisor</i>	80
Figura 3.24:	<i>Resultado de simulação do circuito multiplicador-divisor.</i>	82
Figura 4.1:	<i>Resultado de simulação do bloco defuzificador para I_{out} variando entre 5 e $25\mu A$.</i>	85
Figura 4.2:	<i>Regras Difusas.</i>	88
Figura 4.3:	<i>Função de pertinência de saída</i>	89
Figura 4.4:	<i>Resultado de simulação do circuito defuzificador para $I_{h2}=5$, $I_{h3}=5$ e $I_{h4}=3(\mu A)$.</i>	90
Figura 4.5:	<i>Resultado de simulação do circuito defuzificador.</i>	92

Lista de Tabelas

Tabela 2.1:	<i>Os métodos de defuzificação Centro de Área (CA), Centro de Soma (CS), Altura (A), Centro da maior Área (CMA), Primeiro do máximo (PM), Média do máximo (MM) e seus critérios.</i>	31
Tabela 3.1:	<i>Valores de K_p, V_T, V_{GS} e L para transistor CMOS TIPO P fornecidos pelo fabricante [AMS04].</i>	41
Tabela 3.2:	<i>Valores de V_{T0}, K_1, ϕ_s, K_2, $V_{BS(estimado)}$ para transistor CMOS TIPO P fornecidos pelo fabricante [AMS 04].</i>	42
Tabela 3.3:	<i>Comparação das correntes de saída do circuito escalonador.</i>	43
Tabela 3.4:	<i>Dimensões dos circuitos escalonadores h_1, h_2, h_3, h_4 e h_5.</i>	44
Tabela 3.5:	<i>Valores de K_p, V_T, V_{GS} e L para transistor CMOS TIPO N fornecidos pelo fabricante [AMS04].</i>	48
Tabela 3.6:	<i>Valores de V_{T0}, K_1, ϕ_s, K_2, $V_{BS(estimado)}$ para transistor CMOS TIPO N fornecidos pelo fabricante [AMS04].</i>	49
Tabela 3.7:	<i>Comparação das correntes de saída dos circuitos somador I e II.</i>	52
Tabela 3.8:	<i>Dimensões dos circuitos: escalonador e somador.</i>	52
Tabela 3.9:	<i>Comparação das correntes de saída dos circuitos de média geométrica.</i>	67
Tabela 3.10:	<i>Comparação das correntes de saída do circuito quadrático-divisor.</i>	78
Tabela 3.11:	<i>Faixa dinâmica do circuito multiplicador/divisor.</i>	81
Tabela 3.12:	<i>Comparação das correntes de saída do circuito multiplicador-divisor.</i>	83
Tabela 4.1:	<i>Resultado do circuito defuzificador.</i>	85
Tabela 4.2:	<i>Base de regras de um sistema de controle.</i>	87
Tabela 4.3:	<i>Principais características do circuito defuzificador.</i>	91
Tabela 4.4:	<i>Resultado do circuito defuzificador com parasitas.</i>	92

Capítulo I: Considerações Iniciais

I.1 Introdução

A finalidade deste capítulo é realizar um resumo dos tópicos que serão abordados nesta tese. A segunda seção apresenta a motivação deste trabalho. O objetivo do trabalho é apresentado na terceira seção, e as contribuições do trabalho, e o plano da tese, são apresentados nas seções quatro e cinco, respectivamente.

I.2 Motivação

Um dos grandes problemas dos engenheiros é o desenvolvimento de modelos de controle para aplicações em sistemas não lineares. Para solucionar tais problemas podem ser utilizados sistemas de controle baseados em Inteligência Artificial, mais especificamente na teoria da lógica difusa. O controle difuso é baseado na experiência humana e pode imitar as ações de controle realizadas por operadores humanos [Bab99]. O número de aplicações empregando este tipo de controle tem crescido constantemente a partir da iniciativa pioneira da indústria japonesa que desenvolveu várias aplicações, principalmente na área de produtos de consumo [Hell93].

Um sistema de controle difuso pode ser implementado via *software* ou via *hardware*. As soluções baseadas em *softwares* são altamente dependentes da máquina, microcomputador ou estação de trabalho, que está sendo utilizada. Esta metodologia de implementação não produz sistemas compactos e a velocidade de operação dos mesmos é comprometida [Ang94].

Usando-se a metodologia de controle via *hardware* é possível controlar sistemas complexos, de muitas regras, e com baixo consumo de potência. Além disso, essa técnica produz sistemas mais compactos, com menor custo e com processamento mais rápido se comparado com implementações realizadas por *software*, além de ser vantajoso para aplicações de sistemas portáteis, onde é desejável obter-se um baixo consumo de potência [Eich96].

A implementação em *hardware* do controlador lógico difuso pode ser tanto na forma analógica como na digital. O *hardware* digital tem algumas vantagens, dentre as quais pode-se citar: a programabilidade, a facilidade de programação por meio de ferramentas de projeto digital automatizadas e a compatibilidade com outros sistemas digitais padrões usados na indústria [Wat90].

O *hardware* analógico, quando adequadamente projetado, pode ser mais rápido que o *hardware* digital, em condições similares. Além disso, os sistemas difusos analógicos oferecem outras vantagens tais como: compactação, pois requerem menor área de silício na implementação; menor consumo de potência e compatibilidade com sensores analógicos, além de dispensarem o uso de conversores A/D e D/A [Miki93].

A motivação para realização deste trabalho é o fato de se poder contribuir com o desenvolvimento de uma nova arquitetura para um circuito defuzificador, que será parte integrante de um microprocessador já projetado baseado em lógica difusa [Mes02].

I.3 Objetivos

Este trabalho tem por objetivo desenvolver uma nova arquitetura que possibilite a construção do bloco de saída de um controlador difuso analógico já existente, implementado inicialmente em tecnologia CMOS 0,8 μ m da AMS – *Austria Mikro Systems International AG*. A

arquitetura proposta propicia a realização da defuzificação por meio do método denominado altura e será implementado na tecnologia CMOS 0,35 μ m da AMS – *Austria Mikro Systems International AG*.

I.4 Contribuições

A principal contribuição apresentada no trabalho é uma nova arquitetura do circuito defuzificador. Esta arquitetura é caracterizada pela simplicidade, obtidas através de estruturas modulares que simplificam o projeto dos circuitos analógicos que a integram. Em comparação com outras arquiteturas, a mesma é composta de um número menor de circuitos multiplicadores de corrente, o que minimiza a complexidade e os erros de projeto.

Em relação aos circuitos desenvolvidos, a principal contribuição se deu no projeto do circuito multiplicador-divisor. Através do uso do princípio translinear, aplicado a dispositivos MOS, e de modificações nas características da topologia do circuito desenvolvido, conseguiu-se obter uma variação das correntes de entrada de 0 a 150 μ A e de 0 a 50 μ A. Inicialmente esta topologia permitia somente uma variação de 0 a 100 μ A e de 0 a 10 μ A. Os espelhos de corrente desenvolvidos para uso na estrutura proposta são do tipo *cascode*, ao invés dos espelhos simples utilizados na topologia original obtida na literatura [Mar97]. Com isso conseguiu-se reduzir o erro em até 15%.

I.5 Plano de tese

No próximo capítulo são apresentados: a denominação e definição dos blocos constituintes de um controlador baseado em lógica difusa, um estudo comparativo entre os principais métodos de defuzificação, bem como uma revisão bibliográfica do estado da arte das implementações

do defuzificador implementado em *hardware*. Além disso, apresenta-se também a proposta de uma arquitetura dedicada para uso em um controlador difuso.

No capítulo 3 são mostrados e discutidos o projeto, o equacionamento, a simulação e o *layout* dos seguintes circuitos: escalonador, somador e multiplicador-divisor.

O capítulo 4 mostra os resultados obtidos por simulação e o *layout* do circuito defuzificador proposto.

O capítulo 5 traz as considerações finais da tese e as sugestões para trabalhos futuros.

Capítulo II: Proposta de uma Arquitetura Dedicada para uso em um Controlador Difuso

II.1 Introdução

A lógica difusa (Apêndice B), proposta e discutida a partir de 1965 por Lotfi Zadeh [Zad65], tomou por base o que a forma clássica da teoria dos conjuntos não era capaz de captar a riqueza de informações contidas na linguagem dos seres humanos. Em 1973, Zadeh propôs uma nova forma de analisar sistemas complexos. Ele relacionou as variáveis lingüísticas com um novo tipo de algoritmo, que denominou de algoritmos difusos [Zad73]. Alguns anos depois, Zadeh publicou um estudo sobre a teoria de possibilidades, em que tratou da incerteza da informação [Zad78].

A aceitação da teoria dos conjuntos difusos pela comunidade científica foi lenta. A primeira aplicação da lógica difusa em um sistema de controle foi realizada por Mandami em 1974, depois que Mandami aplicou a lógica difusa a uma máquina a vapor [Yam95 – Man93]. Ano a ano, o número de aplicações de controle usando a lógica proposta, tanto industriais como comerciais, têm crescido significativamente [Yen94]. A primeira implementação de um sistema utilizando esta lógica, realizado por meio de circuitos digitais, foi apresentada por Togai e Watanabe em 1984 [Kan98]. Como a maioria dos sistemas digitais, o mesmo apresentou características como: boa programabilidade, fácil projeto e boa compatibilidade com outros sistemas digitais, entre outras [Yam93].

Este capítulo apresenta a arquitetura de um controlador difuso focando o bloco de saída do mesmo, o circuito defuzificador. Apresenta e discute, também, os métodos mais comuns de defuzificação encontrados na literatura, e os motivos da escolha do método da altura para uso

no circuito defuzificador projetado. E também apresenta a proposta da arquitetura a ser utilizada no projeto do bloco defuzificador.

II.2 Controlador lógico difuso

Em 1987, Yamakawa apresentou o primeiro controlador difuso analógico [Kan98]. Este dispositivo se caracterizou pela alta velocidade, boa compatibilidade com sensores e obtenção de funções contínuas, particularidades estas encontradas em circuitos analógicos [Yam93]. A partir daí desenvolveu-se uma arquitetura que se tornou clássica, apresentada na Figura 2.1, que é constituída por três blocos principais: o bloco fuzificador, o bloco de inferência e o bloco defuzificador [El98 - Men93].

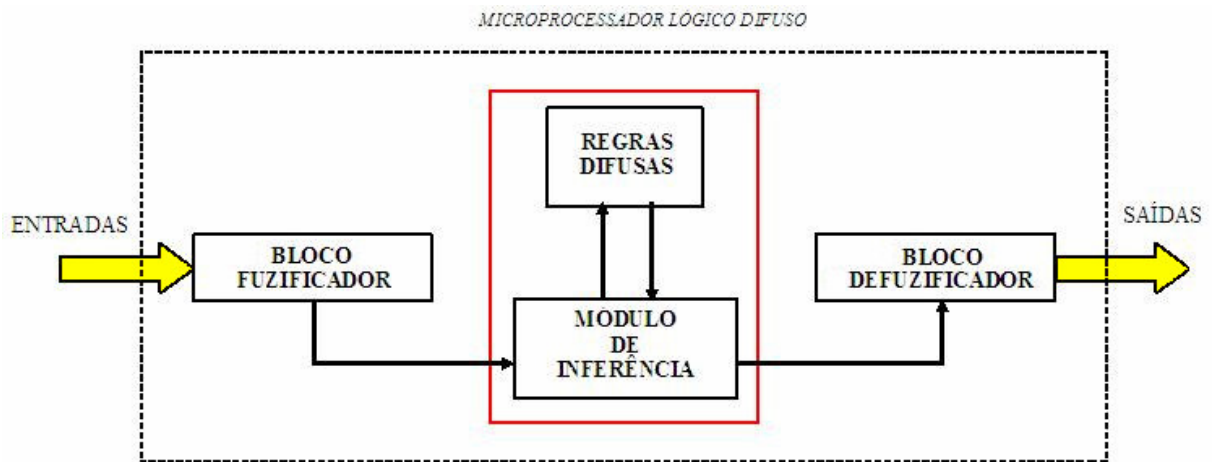


Figura 2.1: Diagrama em blocos de um microprocessador lógico difuso.

O bloco fuzificador tem a função de transformar o valor de entrada (*crisp*) em seu valor difuso correspondente. Ou seja, transforma a variável de entrada, do domínio real para o domínio difuso.

O módulo de inferência é o bloco central do controlador lógico difuso. Neste módulo são armazenadas as regras que formam a base de conhecimento utilizada pelo processador para

solucionar um determinado problema. Nesta etapa são gerados os valores de saída do controlador.

O defuzificador translada a informação do domínio difuso para o domínio real, ou seja, realiza a operação inversa do fuzificador.

Nos últimos anos foram apresentadas inúmeras aplicações utilizando a lógica difusa, tais como: controlador de vôo de aeronave (Rockwell Corporation) [Lark85], operação do metrô de Sendai (Hitachi) [Yasu85], sistema de transmissão automática de automóvel (Apronix) [Apt96], controlador de temperatura e de processo [Omron], controle óptico no processo de produção de sensores para detecção de falhas (E+E Elektronik - ProFactor), controle do nível de água do Rio Danúbio para produção de energia elétrica (Verbund - Uni Software Plus), análise da qualidade de papel no processo de produção (SCA - Uni Software Plus), controle da deformação da máquina utilizada para dobrar chapas de metal (Uni Software Plus - TRUMPF), verificação dos parâmetros de qualidade na linha de produção de mídia digital (Uni Software Plus-Sony), análise do desenvolvimento do mercado financeiro (Math Consult GMBH - Raiffeisen Landesbank Oberösterreich) [Linz02].

O controlador lógico difuso também tem sido incorporado em aplicações domésticas, tais como [Men93]: em ar condicionado (Mitsubishi); em máquina de lavar roupa (National Panasonic); em vídeo cassete (Sanyo, National Panasonic); em forno de microondas (Toshiba, Sanyo, Sharp e Hitachi); em ajuste de imagem de televisão (Sony Palm Top); em auto-foco da câmera de vídeo (Sanyo-Fisher, Cânon); entre outras.

Tendo em vista que o objetivo deste trabalho é desenvolver e implementar a arquitetura de um defuzificador, será apresentado a seguir um breve histórico dos principais circuitos defuzificadores implementados em silício.

II.3 Histórico dos Circuitos Defuzificadores

Em 1989, Mead [Mead89] apresentou um circuito defuzificador analógico que opera em modo tensão, na tecnologia CMOS, e que tinha como método de defuzificação centro de área. Este defuzificador foi sintetizado através de um circuito de agregação, circuito este composto por circuitos multiplicadores implementados por amplificadores operacionais de transcondutância com realimentação do tipo seguidor de tensão. Esta arquitetura não utiliza o circuito divisor. Sendo também, utilizada por: Landolt [Land93], Tsukano [Tsuk95], Samman e Sadjad [Sam02], Ângulo e Zrilic [Ang00 – Zri00] e Rojas [Roj], para implementar um circuito defuzificador como parte de um controlador baseado em lógica difusa, além de ter sido usado, também, por Guo [Pet95-Guo96-Guo98], a fim de implementar um controlador difuso utilizado para direcionar um robô móvel.

Um circuito defuzificador digital baseado no método de defuzificação centro de área foi apresentado por Watanabe e Dettloff [Wat90]. Neste circuito, a função de multiplicação e divisão foi implementada por repetidas adições e subtrações. Este circuito foi utilizado no primeiro controlador baseado em lógica difusa implementado em *hardware* digital, que pode ser re-configurado pelo próprio usuário. Este conceito também foi usado por Eisele [Eis94] para um circuito defuzificador utilizado em um co-processador difuso de 8 bits.

Sasaki e Ueno [Sas92] apresentaram um defuzificador analógico que também, não utiliza o circuito divisor. Nesta arquitetura, cada regra é normalizada tornando o denominador constante e o resultado é reduzido à soma ponderada. Este circuito foi implementado em modo corrente na tecnologia CMOS e consiste de três blocos principais: um circuito de normalização, um circuito escalonador e um somador. Esta arquitetura foi usada, também, por Pammu et all [Pam95], por Wilamowski [Wil98] e por Vazquez et all [Vaz99].

Em 1993, Lemaitre *et all* [Lem93a- Lem93b – Lem94] apresentou um circuito defuzificador analógico, em tecnologia CMOS, operando em modo corrente. Este circuito foi baseado em circuitos do tipo espelho de corrente e em circuitos de adição e subtração.

Miki e Yamakawa [Yam93 - Miki95] implementaram um circuito defuzificador no método centro de gravidade, na tecnologia Bipolar, que consiste de três blocos: um circuito escalonador, um circuito somador e um circuito divisor. O bloco escalonador realiza o cálculo do numerador da equação correspondente ao método centro de área. O bloco de soma, por sua vez, realiza o cálculo do denominador da referida equação. Por último, é realizada a divisão. Este circuito defuzificador opera em modo corrente, tendo como objetivo o aumento de sua velocidade de operação.

Um circuito defuzificador analógico no método centro de área foi apresentado por Liu *et all* [Liu94]. Este circuito foi implementado em modo corrente na tecnologia CMOS e foi baseado na característica quadrática do transistor MOS. Esta arquitetura é composta por blocos multiplicadores-divisores e por um bloco somador. Para implementar o circuito multiplicador-divisor, o circuito que realiza a raiz quadrada foi ligado em cascata com um circuito quadrático-divisor. A operação de soma foi obtida conectando-se as saídas dos blocos multiplicador-divisor, aproveitando a vantagem do projeto em modo corrente. Este circuito tem as vantagens inerentes da implementação analógica, tais como a economia na área de silício. Este conceito também foi usado por Chen [Chen97].

Em 1995, Tang e Lin [Tang95] apresentaram um circuito defuzificador utilizando o método centro de área. Este circuito é composto por nove estágios de amplificadores operacionais com resistores discretos e por um circuito multiplicador-divisor. Os amplificadores operacionais são usados como circuitos integradores para se obter os valores correspondentes

ao numerador e ao denominador na equação que calcula o centro de área. As principais desvantagens deste circuito são: baixa velocidade de operação e alto consumo de potência.

Um circuito defuzificador analógico foi implementado em modo corrente por Huerta *et al* [Hue96] e Baturone *et al* [Bat97], na tecnologia CMOS. O circuito defuzificador é composto por um circuito de escalonamento, um circuito somador e um circuito divisor. O circuito de escalonamento foi implementado através de um conversor D/A e o circuito divisor foi implementado por um amplificador de trans-resistência, cuja função é converter a diferença das correntes de entrada em tensão. As principais vantagens do circuito proposto são: pequena área de silício e reduzido consumo de potência.

Miki e Yamakawa [Miki97] implementaram um circuito defuzificador analógico em modo corrente. Este circuito foi implementado na tecnologia BiCMOS, com base no método do centro de gravidade e é composto por três blocos: escalonador, somador e multiplicador-divisor. O circuito escalonador é baseado no espelho de corrente. Já o circuito multiplicador-divisor é baseado no circuito controlador do fator de escala, que tem por base a técnica de espelho de corrente com realimentação de tensão.

Em 1998, Bouras [Bou98] apresentou um circuito defuzificador analógico implementado em modo tensão, com tecnologia CMOS, baseado no método do centro de área contínuo. Este circuito é composto pelos circuitos: multiplicador, divisor, integrador, conversor corrente-tensão, atenuador e unidade de controle de divisão. Esse circuito foi utilizado como parte de um microprocessador lógico difuso, utilizado para controle da estabilidade de uma bola de *ping-pong* em um tubo com fluxo de ar.

Um circuito defuzificador analógico foi apresentado por Amirkhazadeh *et al* [Amir04], em tecnologia CMOS, operando em modo corrente. Este circuito é composto por um circuito de

escalonamento, um circuito somador e um circuito divisor. Neste trabalho foi apresentado um circuito divisor que é baseado no comportamento do transistor MOS operando na região de triodo. A principal vantagem deste circuito é o reduzido número de transistores, pois o circuito é baseado no espelho de corrente simples. Já a desvantagem é a pequena faixa de operação em que a corrente de entrada e a tensão de saída são lineares.

II.4 Métodos de Defuzificação

Muitos métodos de defuzificação foram propostos na literatura. A realização deste trabalho e sua implementação em *hardware* implicam na escolha de um critério para determinar o método de defuzificação com menor complexidade de *hardware*. Para esta análise, serão apresentados a seguir principais métodos de defuzificação, conforme [Hell92 - Men93 - Klir95].

II.4.1 Altura

O critério de defuzificação denominado método da altura, também conhecido como centro dos máximos, utiliza-se da soma ponderada do valor máximo (altura) de todas as funções de pertinência associadas com os termos das conclusões das regras, conforme ilustra a Figura 2.2. Neste método, nem a base nem o formato da função de pertinência são considerados para o cálculo do valor final defuzificado (u^* na Equação (2.1)). A defuzificação baseia-se no seguinte processo:

Seja $c^{(k)}$ a posição da altura máxima da função de pertinência associada à conclusão, f_k o valor máximo desta função e m o número de funções de pertinência [Hell92]. Então, o valor de saída, utilizando o método da altura, é dado por:

$$u^* = \frac{\sum_{k=1}^m c^{(k)} f_k}{\sum_{k=1}^m f_k} \quad (2.1)$$

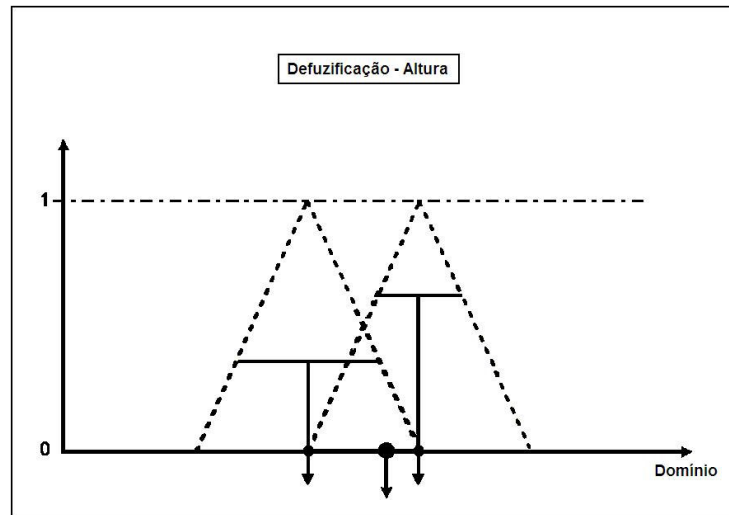


Figura 2.2: Método de defuzificação da altura.

II.4.2 Centro de Área

O método do centro de área, também conhecido como método do centro de gravidade, é o método de defuzificação mais conhecido [Hell92]. No caso discreto, o resultado é obtido pela seguinte equação:

$$u^* = \frac{\sum_{i=1}^N u_i \mu_U(u_i)}{\sum_{i=1}^N \mu_U(u_i)} \quad (2.2)$$

sendo: N o número de pontos.

No caso contínuo, obtém -se:

$$u^* = \frac{\int_u u \cdot \mu_U(u) du}{\int_u \mu_U(u) du} \quad (2.3)$$

onde: μ_U = união da área das funções de pertinência de saída

u = valor de ativação da respectiva regra difusa armazenada na base de regras existente no sistema.

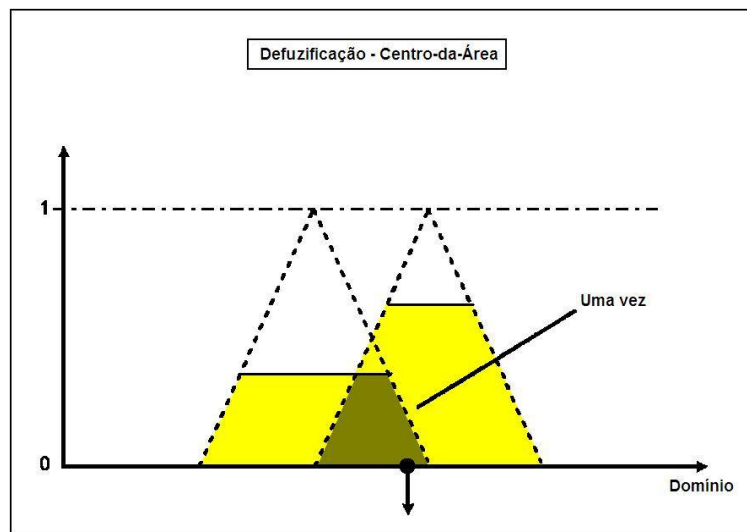


Figura 2.3: Método de defuzificação centro de área.

Este método calcula o centro de área da função de pertinência resultante. A Figura 2.3 mostra esta operação na forma gráfica. Alguns problemas verificados no uso do mesmo [Hell92] estão relacionados abaixo:

- a) Em função deste método levar em consideração a área da união das funções de pertinência de saída como um todo, a área sobreposta resultante não será devidamente contabilizada, quando as áreas de cada um dos conjuntos difusos, representados pelas funções de pertinência, também estiverem sobrepostas.

b) Quando dois conjuntos difusos não se sobrepõem, o valor calculado do centróide, que representará o resultado final de inferência do sistema, não possuirá significado físico [Shaw99].

Além dos problemas citados, a arquitetura envolvida neste método é complexa; pois comparado com o método da altura, este método exige um número maior de circuitos para operacionalizá-lo [Klir95].

II.4.3 Centro da Soma

O método de defuzificação denominado centro da soma utiliza a soma de todas as funções de pertinência associadas com os termos das conclusões das regras para obter o valor defuzificado. Neste método, a área de cada função de pertinência resultante é considerada individualmente no processo. Como consequência, as áreas sobrepostas das funções de pertinência são somadas mais de uma vez.

O método do centro da soma é similar ao método do centro da área. Entretanto é mais rápido, pois neste o cálculo da união dos conjuntos difusos não é realizada [Hell92]. Porém, o método centro de soma é mais lento que o método da altura, porque precisa de um número maior de circuitos para implementá-la. A Figura 2.4 mostra esta operação na forma gráfica.

No caso discreto o método centro de soma é formalmente dado por:

$$u^* = \frac{\sum_{i=1}^l u_i \sum_{k=1}^n \mu_{C(k)}(u_i)}{\sum_{i=1}^l \sum_{k=1}^n \mu_{C(k)}(u_i)} \quad (2.4)$$

No caso contínuo, obtém-se:

$$u^* = \frac{\int_u u \cdot \sum_{k=1}^n \mu_{C(k)}(u) du}{\int_u \sum_{k=1}^n \mu_{C(k)}(u) du} \quad (2.5)$$

onde: μ_U = área de cada da função de pertinência de saída;
 u = o valor de ativação da respectiva regra difusa armazenada na base de regras existente no sistema.

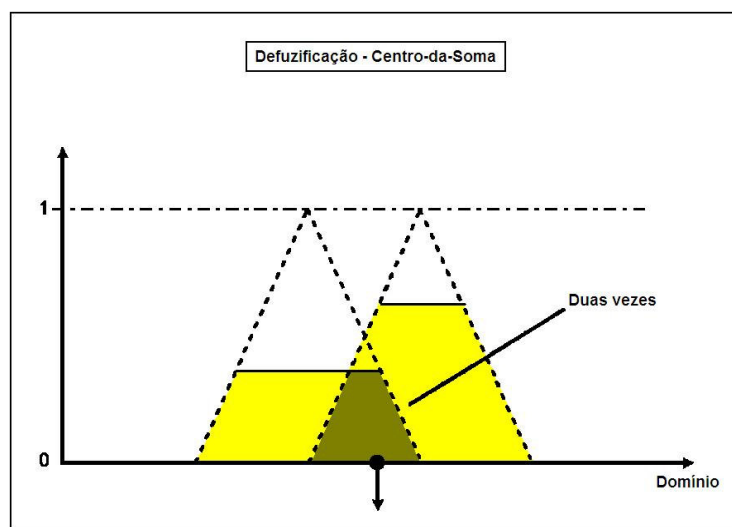


Figura 2.4: Método de defuzzificação do centro da soma.

II.4.4 Centro da Maior Área

Quando a função de pertinência de saída é côncava, o valor de saída resultante obtido por meio do método centro da maior área é determinado pelo cálculo do centro de área do subconjunto da função difusa convexa de maior área, como mostrado na Figura 2.5.

Quando a função de pertinência de saída é convexa, o método centro da maior área é reduzido ao método centro de área [Hell92], como ocorre no exemplo da Figura 2.5, onde o valor defuzzificado pelo método centro da maior área é igual ao resultado no método centro de área.

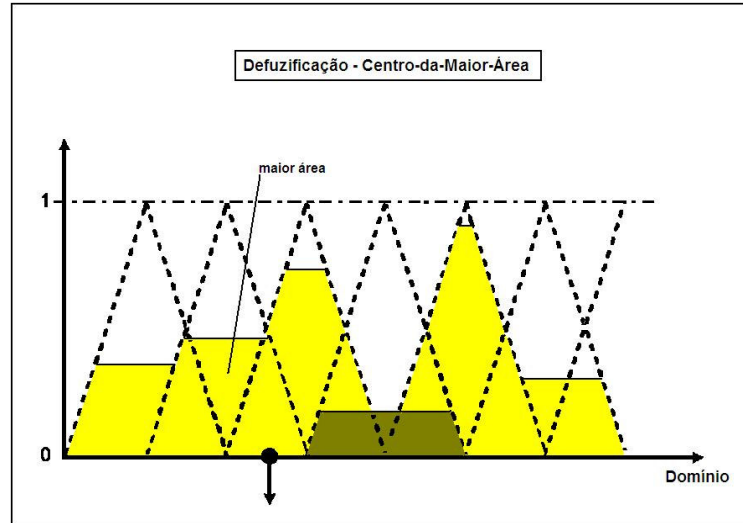


Figura 2.5: Método de defuzzificação do centro da maior área.

II.4.5 Primeiro do Máximo

O método primeiro do máximo verifica a união das funções de pertinência de saída, μ_U , e seleciona o menor valor do domínio \mathcal{U} com máximo grau de pertinência, como mostrado na Figura 2.6. Isto é realizado formalmente em três passos [Hell92]:

- 1- O maior grau de pertinência de U é determinado através da Equação (2.6):

$$hgt(U) = \sup_{u \in \mathcal{U}} \mu_U(u).$$
- 2- O conjunto de elementos de domínio com grau de pertinência é igualado à $hgt(U)$

$$\{u \in \mathcal{U} \mid \mu_U(u) = hgt(U)\}.$$
- 3- Então, u^* é dado por:

$$u^* = \inf_{u \in \mathcal{U}} \{u \in \mathcal{U} \mid \mu_U(u) = hgt(U)\} \quad (2.6)$$

onde *inf* denota a operação matemática *infimum* [Dria96], que será definido a seguir:

$$\beta = \inf(A) \quad \text{se} \quad \forall x \in A : x \geq \beta \quad \text{e} \quad \forall \varepsilon > 0 \exists x \in A : x < \beta + \varepsilon \quad (2.7)$$

Por semelhança a este método, obtém-se o método de defuzzificação denominado de último do máximo, sendo:

$$u^* = \sup_{u \in \mathcal{U}} \{u \in \mathcal{U} \mid \mu_U(u) = \text{hgt}(U)\} \quad (2.8)$$

onde: μ_U = união da área das funções de pertinência de saída e \sup indica a operação matemática *supremum* (Apêndice B).

O valor defuzificado da função de pertinência de saída no método primeiro do máximo é apresentado na Figura 2.6.

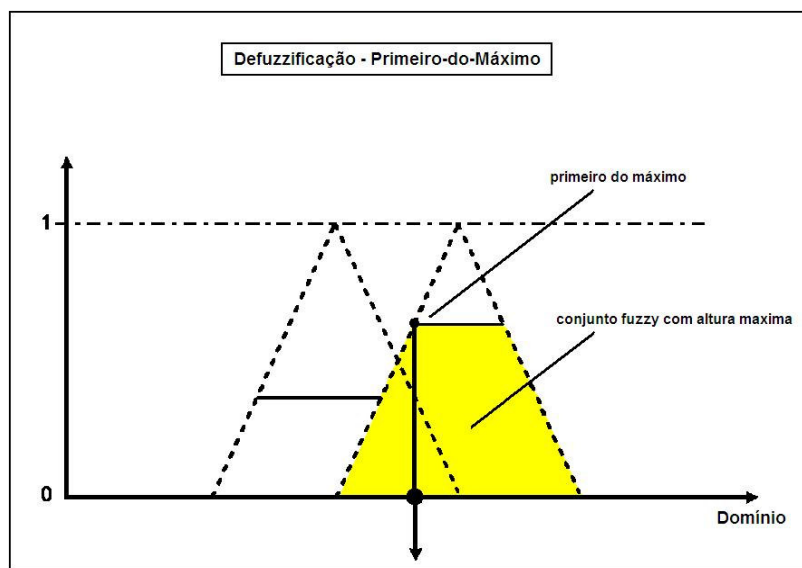


Figura 2.6: Método de defuzzificação primeiro do máximo.

II.4.6 Média dos Máximos

O método da média dos máximos calcula a média do primeiro do máximo e do último do máximo. A Figura 2.7 mostra esta operação na forma gráfica. A Equação (2.9) representa o método para o caso discreto:

$$u^* = \frac{\inf_{u \in \mathcal{U}} \{u \in \mathcal{U} \mid \mu_U(u) = \text{hgt}(U)\} + \sup_{u \in \mathcal{U}} \{u \in \mathcal{U} \mid \mu_U(u) = \text{hgt}(U)\}}{2} \quad (2.9)$$

onde: μ_U = união da área das funções de pertinência de saída.

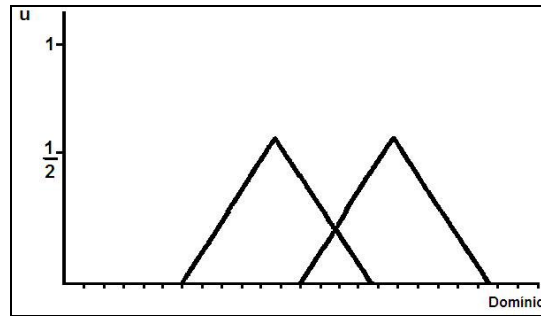


Figura 2.8: Caso onde o método de defuzificação centro da maior área vai resultar em um resultado ambíguo.

3. **Plausibilidade:** A saída do defuzificador é dita plausível se seu resultado estiver no centro da base da função de pertinência de saída e se o valor da função de pertinência neste ponto for máximo. Se o método centro de área for aplicado na Figura 2.8, por exemplo, a saída não será plausível; pois, apesar de o resultado estar no centro da base, o valor de pertinência neste ponto não será máximo.
4. **Complexidade computacional e de hardware:** A complexidade computacional e de hardware é muito importante nas aplicações do controlador difuso, pois implica na velocidade dos mesmos. Este critério leva em consideração o número de operações necessários para realizar a defuzificação. Os métodos da altura, média do máximo e primeiro do máximo são métodos rápidos, enquanto o método centro de área é lento.
5. **Cálculo do peso (“Weight counting”):** Um método de defuzificação atende o critério de cálculo de peso se as áreas sobrepostas das funções de pertinência de saída são somadas. Suponha, por exemplo, que existam quatro regras resultantes. A primeira com grau de pertinência (Apêndice B) 0,2, resultando em $P^{(1)}$, a segunda com grau de pertinência 0,4, resultando em $P^{(2)}$, a terceira com grau de pertinência 0,6, resultando em $P^{(3)}$ e a quarta com grau de pertinência 0,7, resultando em $Z^{(4)}$. Se for realizada a defuzificação nos métodos centro de área, primeiro do máximo, média do máximo ou

centro da maior área, o resultado obtido terá maior grau de pertinência em Z que P. Ou seja, o fato de existirem três regras produzindo P e uma produzindo Z, é ignorada.

O cálculo do peso leva em consideração o número de regras e o grau de ativação. No método da altura, por exemplo, o valor defuzificado é dado por:

$$u^* = \frac{0,2 \cdot p + 0,4 \cdot p + 0,6 \cdot p + 0,7 \cdot z}{0,2 + 0,4 + 0,6 + 0,7} \quad (2.10)$$

onde p e z os valores de pico de P e Z, respectivamente.

O critério cálculo do peso é satisfeito no método de defuzificação da altura (Equação (2.10)), pois o resultado tem grau de pertinência maior em P que em Z. O método centro de soma também atende este critério.

Na Tabela 2.1 é apresentada a comparação entre os principais métodos de defuzificação levando-se em consideração estes cinco critérios. Como o objetivo deste trabalho é implementar um defuzificador em *hardware*, o método de defuzificação da altura é o mais indicado, pois possui menor complexidade para sua implementação em *hardware* e atende a maioria dos critérios apresentados [Dria96-Hel95].

Tabela 2.1: Os métodos de defuzificação Centro de Área (CA), Centro de Soma (CS), Altura (A), Centro da maior Área (CMA), Primeiro do máximo (PM), Média do máximo (MM), e seus critérios [Dria96].

	CA	CS	A	CMA	PM	MM
Continuidade	++	++	--	0	--	--
Não-ambiguidade	++	++	++	--	++	0
Plausibilidade	0	+	+	++	0	0
Complexidade computacional e de hardware	--	0	++	--	+	+
Cálculo do peso	--	++	0	--	--	--

++, Muito bom; +, bom, 0, regular
-, ruim, --, muito ruim

II.5 Arquitetura proposta para o circuito defuzificador

No item anterior foi apresentada a comparação entre os principais métodos de defuzificação, onde o método da altura foi escolhido. Este método foi escolhido, pois a sua implementação em *hardware* é menos complexa, comparada com os outros métodos de defuzificação. Além disso, para realizar o cálculo do valor defuzificado são necessários um menor número de operações, que vem ao encontro das necessidades inerente a um projeto de circuitos integrados analógicos.

Tomando por base o método da altura para defuzificação, tem-se que:

$$u^* = \frac{\sum_{i=1}^m h_i \cdot c_i}{\sum_{i=1}^m h_i} \quad (2.11)$$

onde: c_i = a posição da altura máxima da função de pertinência (Figura 2.9);
 h_i = a altura da função de pertinência (grau de ativação) (Figura 2.9);
 m = o número de funções de pertinência.

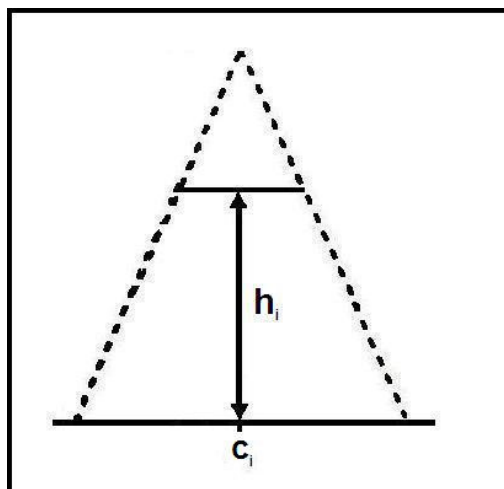


Figura 2.9: Representação do método de defuzificação da altura.

O circuito defuzificador fará parte de um controlador difuso com duas funções de entrada, uma função de saída e base de regras composta por 25 regras. Deste modo, a Equação (2.11) poderá ser re-escrita na forma apresentada na Equação (2.12):

$$u^* = \frac{h_1 \cdot c_1 + h_2 \cdot c_2 + h_3 \cdot c_3 + h_4 \cdot c_4 + h_5 \cdot c_5}{h_1 + h_2 + h_3 + h_4 + h_5} \quad (2.12)$$

Uma arquitetura (Figura 2.10) que possibilita a implementação da Equação (2.12) foi proposta por Baturone [Bat97], sendo composta por uma estrutura de três estágios: circuitos multiplicadores, circuitos somadores e circuito divisor.

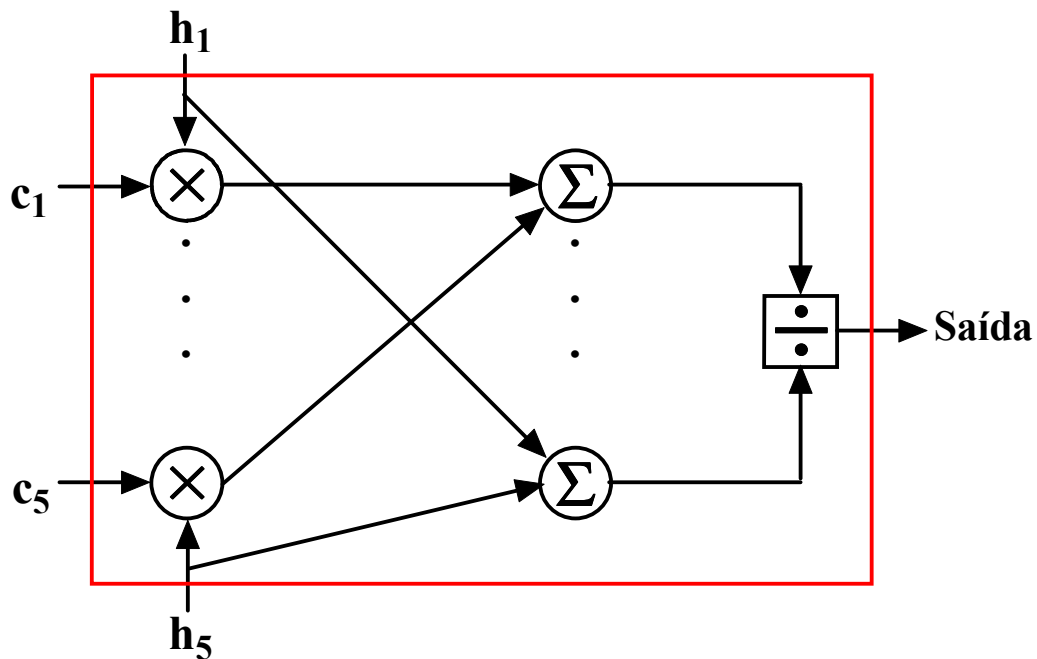


Figura 2.10: Arquitetura de um defuzificador implementado em hardware [Bat97].

Esta arquitetura será utilizada para atuar como bloco de saída de uma máquina de inferência já implementada [Mes02]; onde, o intervalo das funções de pertinência da arquitetura proposta é pré-estabelecido.

Considerando-se que o valor que determina a posição da função de pertinência (\$c_n\$), dentro do universo de discurso é um múltiplo inteiro de \$c_1\$, a Equação (2.12) transforma-se em:

$$u^* = \frac{c_1 \cdot (h_1 + h_2 \cdot 2 + h_3 \cdot 3 + h_4 \cdot 4 + h_5 \cdot 5)}{h_1 + h_2 + h_3 + h_4 + h_5} \quad (2.13)$$

$$u^* = \frac{c_1 \cdot \sum f^*}{\sum f} \quad (2.14)$$

onde: c_1 = a posição da altura máxima da primeira função de pertinência;

$$\sum f^* = (h_1 + h_2 \cdot 2 + h_3 \cdot 3 + h_4 \cdot 4 + h_5 \cdot 5);$$

$$\sum f = h_1 + h_2 + h_3 + h_4 + h_5.$$

A partir da Equação (2.14) propõe-se a arquitetura abaixo:

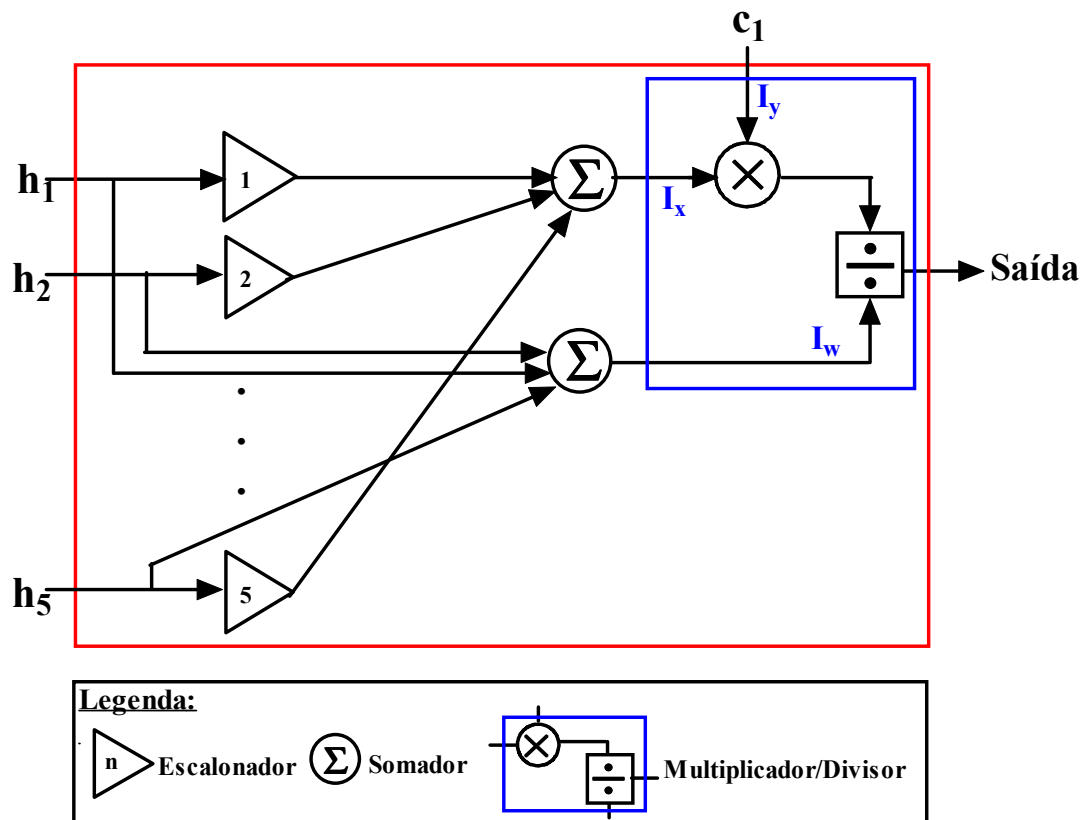


Figura 2.11: Arquitetura proposta de um defuzificador implementado em hardware.

A nova arquitetura apresentada a partir da Equação (2.14) é composta de três estágios: o primeiro estágio é composto por circuitos escalonadores, o segundo de circuitos somadores e o terceiro estágio é composto de um circuito multiplicador-divisor.

As principais vantagens da arquitetura proposta em relação à proposta por Baturone (Figura 2.10), são:

- Redução do número de circuitos complexos, apenas um circuito multiplicador em relação a cinco circuitos multiplicadores, considerando os mesmos números de entrada e funções de pertinência.
- Uso de topologias do tipo espelhos de corrente para implementação dos circuitos escalonadores, que facilita a implementação e diminui o erro de saída do defuzificador.
- A utilização de apenas um circuito multiplicador-divisor viabiliza a implementação de arquiteturas com diferentes números de entrada. Pode-se aumentar ou diminuir o número de entradas variando-se o número de módulos escalonadores, que por ser constituído apenas por espelho de corrente, torna a implementação desses novos módulos bastante simples.

II.6 Comentários e Conclusões

O capítulo apresentou a denominação e definição dos blocos constituintes de um controlador baseado em lógica difusa, bem como um breve histórico dos principais circuitos defuzificadores implementados por *hardware* analógico e digital. Também foram apresentados um estudo comparativo entre os principais métodos de defuzificação e a proposta de uma arquitetura dedicada para uso em um controlador difuso.

Capítulo III: Projeto dos módulos de um defuzificador

III.1 Introdução

A finalidade deste capítulo é apresentar o projeto do circuito defuzificador analógico que opera em modo corrente e será implementado na tecnologia CMOS 0,35 μ m da AMS. A unidade proposta é parte integrante de um controlador difuso, sendo seu bloco de saída. Em função disso, torna-se necessário estabelecer uma série de especificações para o circuito a ser projetado, tomando como referência o dispositivo desenvolvido por [Mes02]. A partir dos valores entregues por esse dispositivo será possível estabelecer os parâmetros que nortearão o projeto do circuito a ser desenvolvido neste trabalho. Os circuitos foram implementados em modo corrente, pois assim a interligação entre os mesmos poderá ser realizada de modo direto, sem a necessidade de implementação de interfaces [Tou93].

Outro ponto de suma importância foi estabelecido no Capítulo 2, onde se propôs uma nova arquitetura para o projeto em questão, baseada no método de defuzificação denominado altura.

O programa SPICE [Ras95 - PSp91] foi utilizado como ferramenta para realizar a simulação das células projetadas, e o modelo BSIM3v3, fornecido pelo fabricante (*foun dry*) responsável pela integração dos dispositivos, foi usado para modelar os transistores. O *software* Mentor [Ment03] foi escolhido para confeccionar o desenho das máscaras (*layout*) das células desenvolvidas.

III.2 Especificações

O circuito a ser projetado servirá como bloco de saída do microcontrolador desenvolvido por Mesquita [Mes02]. As principais características deste controlador que influenciarão no projeto a ser desenvolvido são:

- Entradas em modo corrente:
- Correntes de entrada: 0 a 10 μ A.
- Número de funções de pertinência: 5.
- Tensão de polarização: 3.3V

Outras especificações para o circuito defuzificador:

- Saída em modo corrente:
- Corrente de Saída: 0 a 25 μ A
- Tecnologia utilizada: CMOS 0,35 μ m da AMS
- Valor do deslocamento da primeira função de pertinência (c_n): 5 μ A
- Erro máximo: 2%

III.3 Projeto dos Blocos Constituintes do Defuzificador

A partir das especificações, principalmente dos valores impostos pelo controlador desenvolvido por Mesquita [Mes02], projetou-se o circuito defuzificador em modo corrente utilizando-se o método de defuzificação da altura. De modo a contemplar a arquitetura proposta no Capítulo 2, e comprovar a sua eficiência para o projeto em questão, foram desenvolvidas as seguintes células:

- Circuito Escalonador
- Circuito Somador
- Circuito Multiplicador - Divisor

Uma breve descrição de cada um desses módulos com suas principais características é feita a seguir:

- O circuito de escalonamento proposto é baseado no circuito espelho de corrente. Este circuito é usado para escalonar a posição da função de pertinência pelo grau de ativação. Este circuito foi projetado para consumir pouca potência e ocupar uma pequena área de silício quando implementado.
- O circuito somador é necessário para obter o numerador e o denominador da Equação (2.14). Como todo o projeto foi implementado em modo corrente, as correntes podem ser adicionadas simplesmente unindo-se os fios.
- O circuito multiplicador-divisor é utilizado para determinar a saída do circuito defuzificador. Este circuito é obtido ligando-se em cascata os circuitos de média geométrica e quadrático-divisor, sendo ambos baseados no princípio translinear.

III.3.1 Circuito Escalonador

O circuito escalonador é usado para escalonar o grau de ativação das regras (h_1, h_2, h_3, h_4 e h_5) pela posição das funções de pertinência (1, 2, 3, 4, 5). Este circuito é composto por transistores CMOS tipo P, que são conectados como espelho de corrente *cascode* (vide anexo C) com razões de espelhamento fixas em 1:1, 1:2, 1:3, 1:4 e 1:5. O diagrama em blocos do circuito escalonador é mostrado na Figura 3.1.

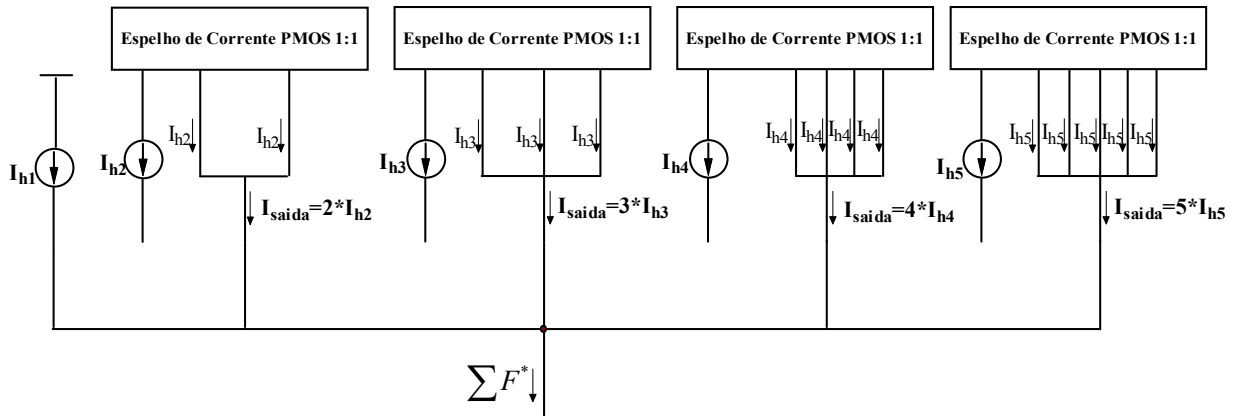


Figura 3.1: Diagrama em blocos do circuito escalonador h_2 , h_3 , h_4 e h_5 deslocado por um fator de 2, 3, 4 e 5, respectivamente.

O circuito de escalonamento terá a sua topologia baseada em espelhos de corrente *cascode*. Uma das formas de se obter a razão de espelhamento neste tipo de topologia é variando-se a largura do canal dos transistores M_3 e M_4 em relação à largura dos transistores M_1 e M_2 .

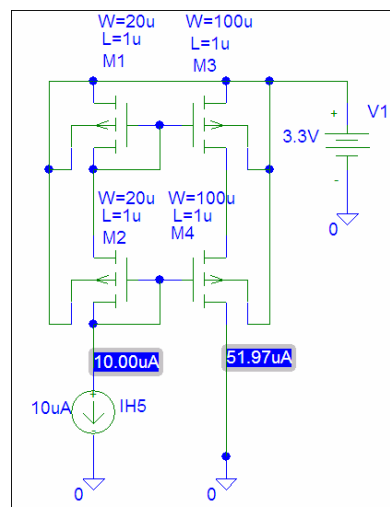


Figura 3.2: Circuito esquemático do espelho de corrente cascode.

Como pode ser verificado por meio dos valores de corrente apresentados na Figura 3.2, esta topologia de espelho de corrente gera um erro de razão de espelhamento de 3,94% entre as correntes de entrada e saída. Este erro ocorre devido ao descasamento geométrico (Apêndice C). Ou seja, assumindo-se que o valor de L são iguais [Alle02], e que o valor de $W_{1,2} = 20 \pm 0.2\mu\text{m}$ e $W_{3,4} = 100 \pm 0.2\mu\text{m}$, a razão de espelhamento neste caso é de:

$$\frac{i_{out}}{i_{in}} = \frac{100 \pm 0.2}{20 \pm 0.2} = 5 \pm 0.2 \quad (3.1)$$

Este erro pode ser corrigido quando são utilizados transistores idênticos duplicados ligados em paralelo [Cam05] [Alle02]. Considerando que o valor de L são iguais, e que o valor de $W_{1,2} = 20 \pm 0.2\mu\text{m}$ e $W_{3,4,5,6,7,8,9,10,11,12} = 20 \pm 0.2\mu\text{m}$, a razão de espelhamento neste caso é de:

$$\frac{i_{out}}{i_{in}} = \frac{5(20 \pm 0.2)}{20 \pm 0.2} = 5 \quad (3.2)$$

O erro de razão de espelhamento, neste caso foi reduzido, conforme mostrado na simulação da Figura 3.3, o erro na razão de espelhamento neste caso é de 0.02%.

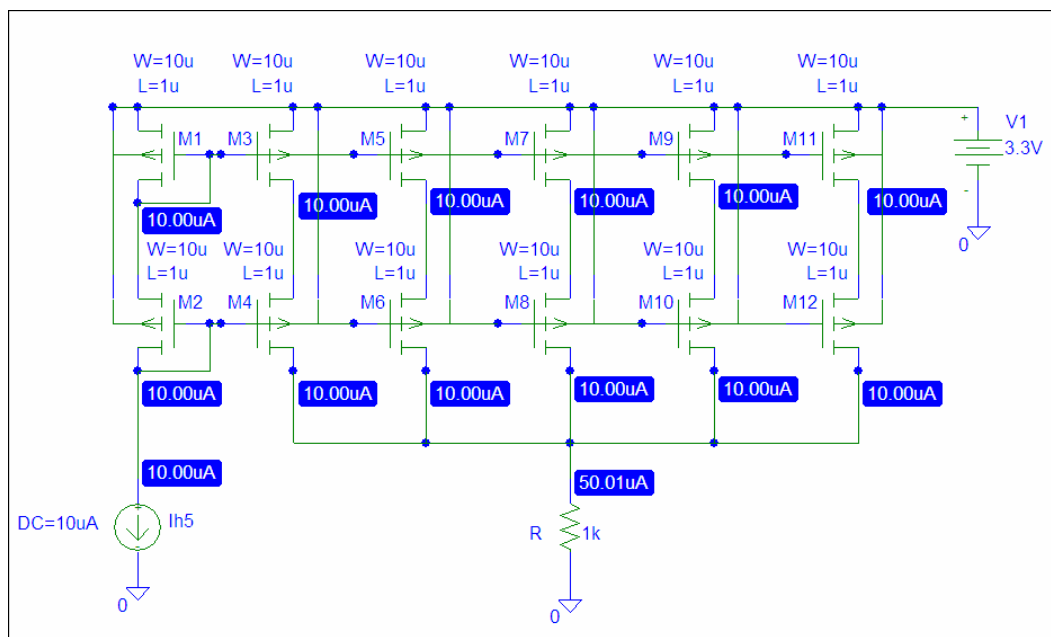


Figura 3.3: Esquemático do circuito escalonador h_5 .

III.3.1.1 Dimensões dos transistores

As dimensões dos transistores CMOS TIPO P ($M_1, M_3, M_5, M_7, M_9, M_{11}$) que compõem o circuito escalonador mostrado na Figura 3.3, foram obtidas usando-se a equação da corrente de dreno operando na região de saturação [Bak97]:

$$I_{DS} = \beta(V_{GS} - V_T)^2 \quad (3.3)$$

$$\beta = \frac{1}{2} K_p \frac{W}{L}$$

onde: I_{DS} = corrente de dreno.

V_T = tensão de *threshold*.

K_p = fator de transcondutância.

W = largura de canal.

L = comprimento de canal.

V_{GS} = tensão de porta e fonte.

Os transistores MOS que operam na região de saturação devem satisfazer a seguinte condição:

$$V_{DS\ sat} \geq V_{GS} - V_T = \sqrt{\frac{I_{DS}}{k}} \quad (3.4)$$

Tabela 3.1: Valores de K_p , V_T , V_{GS} e L para transistor CMOS TIPO P fornecidos pelo fabricante[AMS04].

$K_p = 58 \mu\text{A}/\text{V}^2$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35 [AMS04])).

$V_T = -0,65\text{V}$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35)).

V_{GS} (estimado) = $-0,65 - 0,2 = -0,85\text{V}$.

$V_{DS(sat)} \leq V_{GS} - V_T \Rightarrow V_{DS} \leq -0,2\text{V}$ (condição de operação - Equação (3.2))

L (estimado) = $1\mu\text{m}$.

Para determinar a amplitude máxima das correntes que passam pelos transistores, foi considerada a condição de pior caso, ou seja, em que as cinco funções de pertinência (h_1 , h_2 , h_3 , h_4 e h_5) estariam ativas com o máximo grau de ativação $10\mu\text{A}$. Pode-se concluir que a amplitude máxima da corrente que passa pelos transistores é de $10\mu\text{A}$.

Deste modo, a partir da Equação (3.3) e da Tabela 3.1, tem-se:

$$10\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (0,65))^2 \quad (3.5)$$

$$10\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (0,2)^2 \Rightarrow 10\mu = 1,16\mu W \Rightarrow W = 8,62\mu m$$

Adotou-se para o circuito o valor de $(W/L) = 10$.

O cálculo das dimensões dos transistores CMOS TIPO P ($M_2, M_4, M_6, M_8, M_{10}, M_{12}$) do circuito da Figura 3.3 também foi obtido por meio da Equação (3.3). Como o valor de V_{BS} dos transistores ($M_2, M_4, M_6, M_8, M_{10}, M_{12}$) é maior que zero, os valores de V_T (tensão de *threshold*) destes transistores foram obtidos através do modelo de SPICE Bsim3v3, fornecido pelo fabricante que fará a integração do circuito. Este modelo é apresentado na Equação (3.6):

$$V_T = V_{T0} + K_1(\sqrt{\phi_s - V_{BS}} - \sqrt{\phi_s}) - K_2 V_{BS} \quad (3.6)$$

onde: V_{T0} = tensão de *threshold* para ($V_{BS}=0$).

ϕ_s = Superfície potencial.

K_1 = Coeficiente de efeito de corpo.

K_2 = Coeficiente de depleção de carga Dreno/Fonte.

V_{BS} = Tensão de *Bulk*/Fonte.

Tabela 3.2: Valores de V_{T0} , K_1 , ϕ_s , K_2 , $V_{BS(estimado)}$ para transistor CMOS TIPO P fornecidos pelo fabricante [AMS04].

$V_{T0} = -0,691V$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35 [AMS04])).

$K_1 = 0,599V^{1/2}$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35 [AMS04]))

$\phi_s = 0,6V$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35 [AMS04]))

$K_2 = -0,0603$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35 [AMS04]))

$V_{BS(estimado)} = -0,85V$ (Calculado anteriormente = V_{GS})

A partir dos valores da Tabela 3.2 e da Equação (3.6), tem-se:

$$V_T = -0,691 - 0,599(\sqrt{0,6 - (-0,85)} - \sqrt{0,6}) - (-0,0603)(-0,85) \quad (3.7)$$

$$V_T = -0,691 - 0,599(0,429) - (0,051) \Rightarrow V_T = -0,999V \approx -1,0V$$

Para os valores de $V_T = -1,0V$, $V_{GS(\text{estimado})} = -1 - 0,2 = -1,2V$, $I_{DS} = 10\mu A$, $K_p = 58\mu A/V^2$ e $L = 1\mu m$, tem-se:

$$10\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (-1,0))^2 \quad (3.8)$$

$$10\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,2)^2 \Rightarrow W = 8,62\mu m \Rightarrow W \approx 10\mu m$$

As equações (3.5) e (3.8) foram utilizadas para calcular as dimensões dos circuitos escalonadores h_1 , h_2 , h_3 , h_4 e h_5 . O valor de $(W/L) = 10$ foi escolhido para ser utilizado neste circuito.

III.3.1.2 Simulação

A partir do dimensionamento dos transistores, pode-se realizar a simulação do circuito projetado. Os resultados de simulação dos circuitos escalonadores h_1 , h_2 , h_3 , h_4 , e h_5 , para um sinal de entrada I_{h_n} variando linearmente entre $[0,10](\mu A)$ no intervalo de $[0,10](ms)$, são apresentados na Figura 3.4. As curvas de saída I_{outh1} , I_{outh2} , I_{outh3} , I_{outh4} e I_{outh5} apresentaram erro menor que 0,1% (Tabela 3.3) no pior caso, para $I_{h1} = 10\mu A$.

Tabela 3.3: Comparação das correntes de saída do circuito escalonador.

	Valor Calculado	Valor Simulado	Erro(%)
$I_{h1} = 10\mu A$	$I_{\text{outh1}} = 10\mu A$	$I_{\text{outh1}} = 9,99\mu A$	0,1%
$I_{h2} = 10\mu A$	$I_{\text{outh2}} = 20\mu A$	$I_{\text{outh2}} = 19,98\mu A$	0,1%
$I_{h3} = 10\mu A$	$I_{\text{outh3}} = 30\mu A$	$I_{\text{outh3}} = 29,99\mu A$	0,03%
$I_{h4} = 10\mu A$	$I_{\text{outh4}} = 40\mu A$	$I_{\text{outh4}} = 39,96\mu A$	0,1%
$I_{h5} = 10\mu A$	$I_{\text{outh5}} = 50\mu A$	$I_{\text{outh5}} = 49,95\mu A$	0,1%

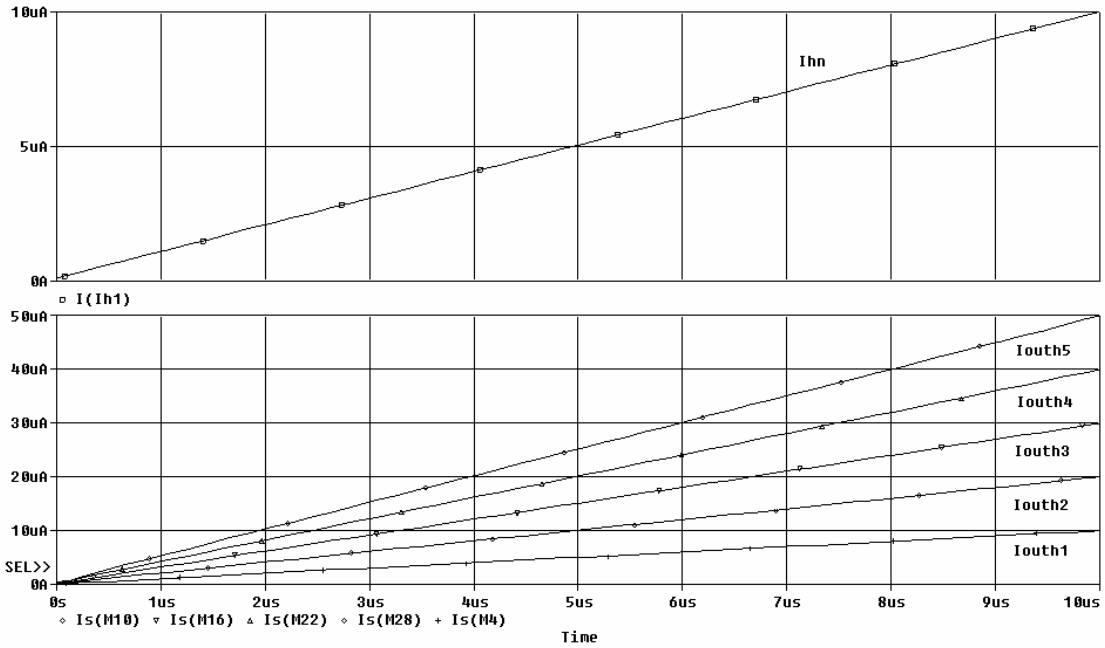
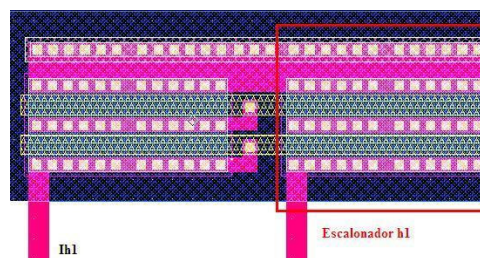


Figura 3.4: Resultados de simulação dos circuitos escalonadores h_1, h_2, h_3, h_4, h_5 .

O circuito escalonador projetado necessita de 40 transistores CMOS tipo P para ser implementado. As Figuras 3.5(a), 3.5(b), 3.5(c), 3.5(d), 3.5(e) apresentam os *layout* dos circuitos escalonadores h_1, h_2, h_3, h_4 e h_5 , respectivamente; e as dimensões dos circuitos escalonadores são apresentadas na Tabela 3.4. O *layout* foi desenvolvido utilizando o *software* Mentor na Tecnologia CMOS $0,35\mu$ da AMS.

Tabela 3.4: Dimensões dos circuitos escalonadores h_1, h_2, h_3, h_4, h_5 .

Circuito escalonador	Área de silício ocupada
h_1	$0,011 \times 0,025\text{mm}^2$
h_2	$0,011 \times 0,035\text{mm}^2$
h_3	$0,011 \times 0,045\text{mm}^2$
h_4	$0,011 \times 0,055\text{mm}^2$
h_5	$0,011 \times 0,065\text{mm}^2$



(a)

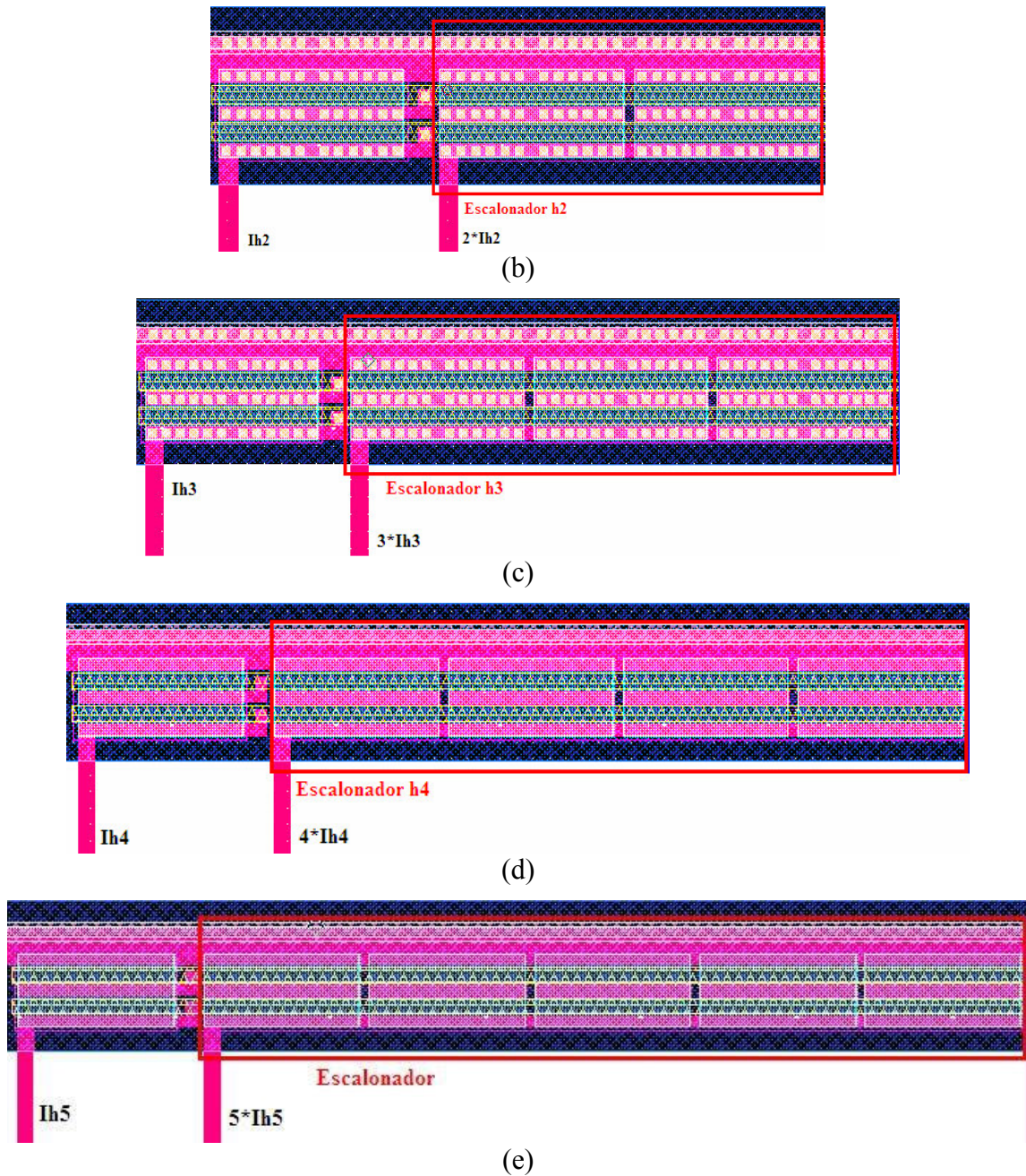


Figura 3.5: (a) *Layout do circuito Escalonador h_1* ; (b) *Layout do circuito Escalonador h_2* ; (c) *Layout do circuito Escalonador h_3* ; (d) *Layout do circuito Escalonador h_4* ; (e) *Layout do circuito Escalonador h_5* .

III.3.2 Circuito Somador

A implementação do circuito somador foi baseada na aplicação da Lei de *Kirchhoff* das correntes. Esta operação é necessária para obter-se o sinal representando o somatório dos

blocos escalonadores (Somador I). E o sinal representando o somatório dos graus de ativação (Somador II) da arquitetura do defuzificador proposto.

O defuzificador opera em modo corrente, assim, toda a operação de soma de sinais pode ser obtida unindo-se os fios, como mostrado nas Figuras 3.6 e 3.7. Considerando-se todas as funções de pertinência ativas com valores máximos, $10\mu\text{A}$, conclui-se que o sinal de saída máximo que circula pelo circuito Somador I, possui amplitude de $150\mu\text{A}$.

Novamente, considerando-se todas as funções de pertinência ativas com grau de ativação máximo, $10\mu\text{A}$, conclui-se que o sinal de saída que irá circular pelo circuito Somador II, possuirá amplitude máxima de $50\mu\text{A}$.

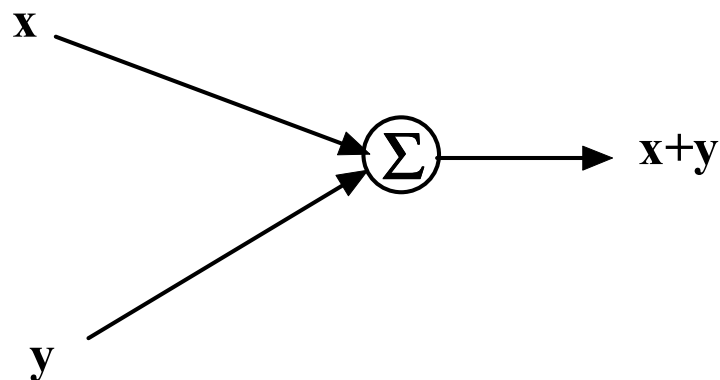


Figura 3.6: *Diagrama em Blocos do circuito somador.*

III.3.2.1 Dimensões dos transistores

O cálculo das dimensões dos transistores ($M_5, M_6, M_{11}, M_{12}, M_{17}, M_{18}, M_{23}, M_{24}, M_{29}, M_{30}$) do circuito somador apresentado na Figura 3.7 foi obtido anteriormente, através das equações (3.5) e (3.8). Este circuito tem a seguinte dimensão: $(W/L) = 10$.

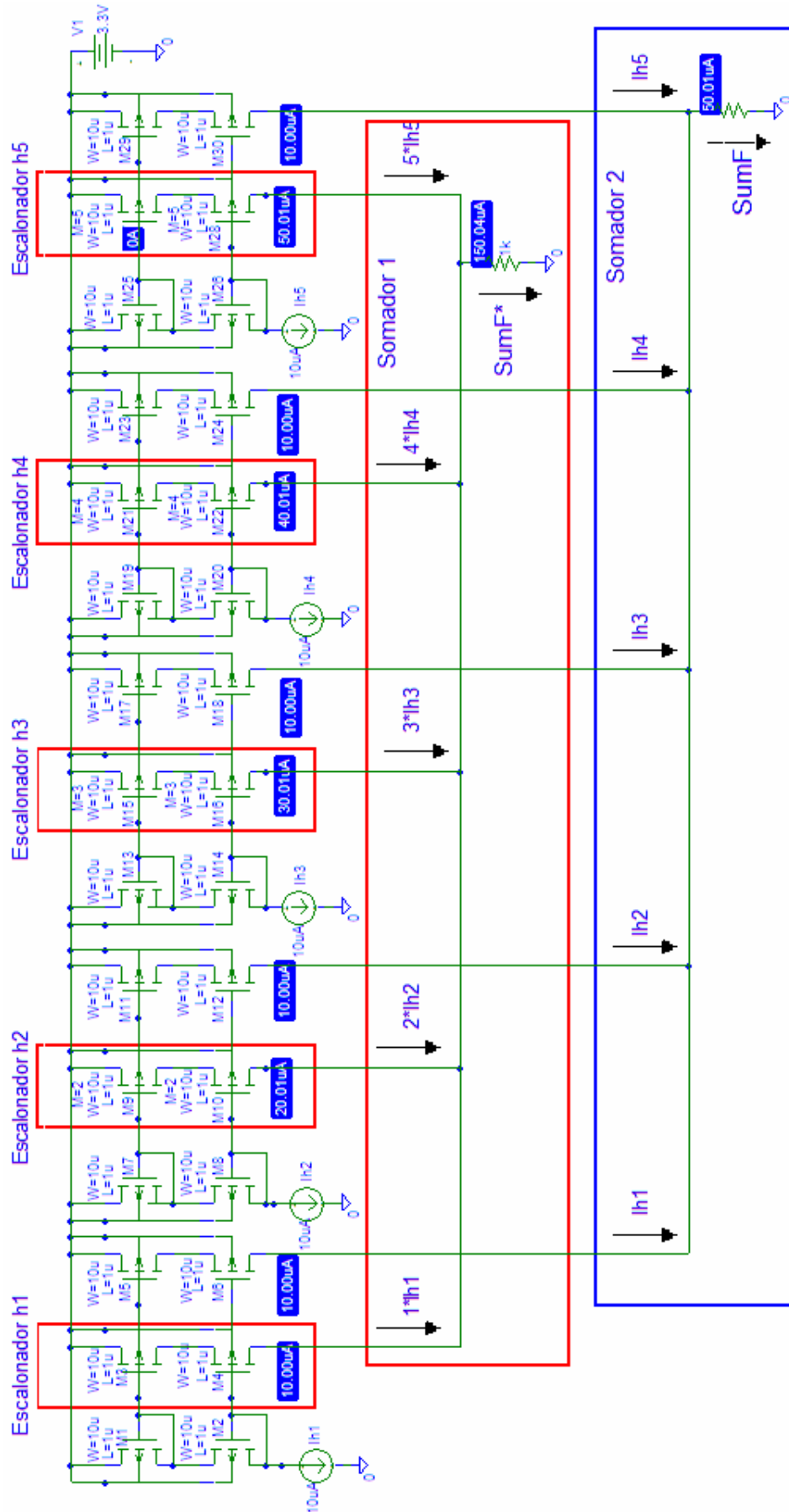


Figura 3.7: Circuito esquemático representando o módulo somador e escalonador.

O circuito composto pelos transistores (M_{31} , M_{32} , M_{33} , M_{34}) tem a finalidade de espelhar a corrente de saída do circuito Somador I na entrada do circuito de Média Geométrica (Figura 3.8). Para efeito de projeto, o dimensionamento de seus transistores, para corrente máxima de $150\mu\text{A}$, será apresentado a seguir:

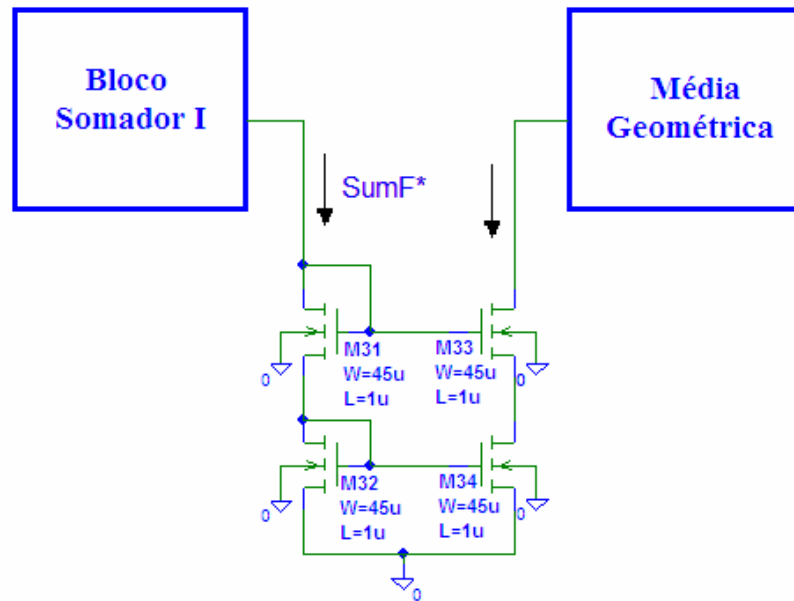


Figura 3.8: Espelho de corrente CMOS TIPO N entre os circuitos: Somador I e de média geométrica.

Tabela 3.5: Valores de K_p , V_T , V_{GS} e L para transistor CMOS TIPO N fornecidos pelo fabricante [AMS04].

$K_p = 170\mu\text{A}/\text{V}^2$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35 [AMS04])).

$V_T = 0,5\text{V}$ (fornecido pelo fabricante (AMS Process Parameters 0.35 μm CMOS C35)).

V_{GS} (estimado) = $0,5 + 0,2 = 0,7\text{V}$.

$V_{DS(\text{Sat})} \geq V_{GS} - V_T \Rightarrow V_{DS} \geq 0,2\text{V}$ (condição de operação - Equação (3.2))

L (estimado) = $1\mu\text{m}$ (estimado).

Deste modo, a partir da Equação (3.3) e da Tabela 3.5, tem-se:

$$150\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,7 - (0,5))^2 \quad (3.9)$$

$$\Rightarrow 150\mu = 3,4\mu W \Rightarrow W = 44,11\mu\text{m}$$

O valor de $(W/L) = 45$ foi adotada.

As dimensões dos transistores CMOS tipo N (M_{31} , M_{33}) do circuito apresentado na Figura 3.8 também foram obtidas por meio da Equação (3.3). Como o valor de V_{BS} dos transistores M_{31} e M_{33} é maior que zero, o valor de V_T destes transistores foi obtido por meio da Equação (3.6). Os valores de V_T , K_1 , ϕ_s e K_2 fornecidos pelo fabricante são apresentados na Tabela 3.6:

Tabela 3.6: Valores de V_{T0} , K_1 , ϕ_s , K_2 , $V_{BS(estimado)}$ para transistor CMOS TIPO N fornecidos pelo fabricante [AMS04].

<p>$V_{T0} = 0,497V$ (fornecido pelo fabricante (AMS Process Parameters 0.35μm CMOS C35 [AMS04])).</p> <p>$K_1 = 0,502V^{1/2}$ (fornecido pelo fabricante (AMS Process Parameters 0.35μm CMOS C35 [AMS04]))</p> <p>$\phi_s = 0,6V$ (fornecido pelo fabricante (AMS Process Parameters 0.35μm CMOS C35 [AMS04]))</p> <p>$K_2 = 0,0339$ (fornecido pelo fabricante (AMS Process Parameters 0.35μm CMOS C35 [AMS04])).</p> <p>$V_{BS(estimado)} = 0,7V$ (Calculado anteriormente V_{GS}).</p>
--

O cálculo do valor de V_T é apresentado na Equação (3.10):

$$V_T = 0,497 + 0,502(\sqrt{0,6 + (0,7)} - \sqrt{0,6}) + (0,0339)(0,7) \quad (3.10)$$

$$V_T = 0,704V$$

Para $V_T = 0,704V$, o valor de $V_{GS(estimado)} = 0,704 + 0,2 = 0,904V$. De acordo com a Equação (3.3), tem-se:

$$150\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,904 - (0,704))^2 \quad (3.11)$$

$$150\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,2)^2$$

$$\Rightarrow W = 44,11\mu m$$

Neste caso, o valor de $\left(\frac{W}{L}\right) = 45$ foi adotado.

A seguir será apresentado o cálculo das dimensões do espelho de corrente *cascode* que é utilizado para espelhar o resultado do Bloco Somador II na entrada do circuito Quadrático-divisor, apresentado na Figura 3.9.

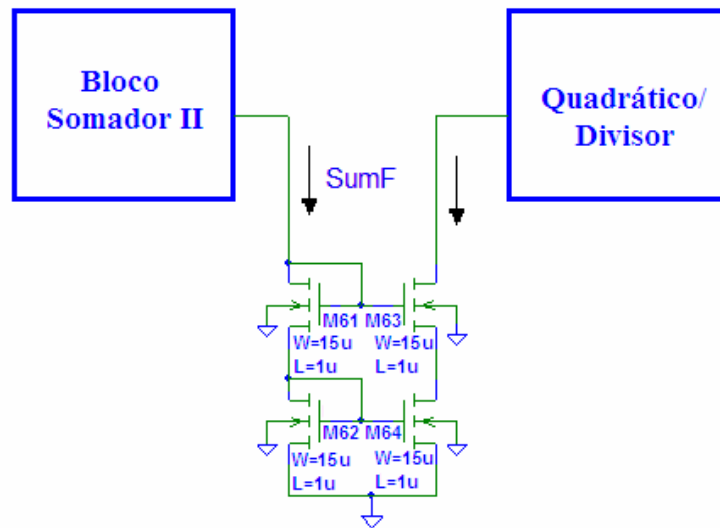


Figura 3.9: Espelho de corrente CMOS tipo N entre os circuitos somador II e quadrático-divisor.

As dimensões dos transistores CMOS tipo N (M_{62} , M_{64}) do espelho de corrente da Figura 3.9 foram baseados na Equação (3.3). Para $I_{DS} = 50\mu\text{A}$ e os valores apresentados na Tabela 3.5, tem-se:

$$50\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,7 - (0,5))^2 \quad (3.12)$$

$$\Rightarrow 50\mu = 3,4\mu W \Rightarrow W = 14,7\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 15$ foi adotado.

O valor de V_T dos transistores (M_{61} , M_{63}) do circuito da Figura 3.9 foi obtido através da Equação (3.10). Para o valor de $V_T = 0,704\text{V}$, $V_{GS(\text{estimado})} = 0,704 + 0,2 = 0,904\text{V}$, $I_{DS} = 50\mu\text{A}$ e os valores de K_p e L apresentados na Tabela 3.5, tem-se:

$$50\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,904 - (0,704))^2 \quad (3.13)$$

$$\Rightarrow W = 14,7\mu m$$

Da mesma forma apresentada anteriormente, o valor de $\left(\frac{W}{L}\right) = 15$ foi adotado.

III.3.2.2 Simulação

Os resultados de simulação dos blocos Somador I (I_{sum}^*) e Somador II (I_{sum}) são apresentados na Figura 3.10.

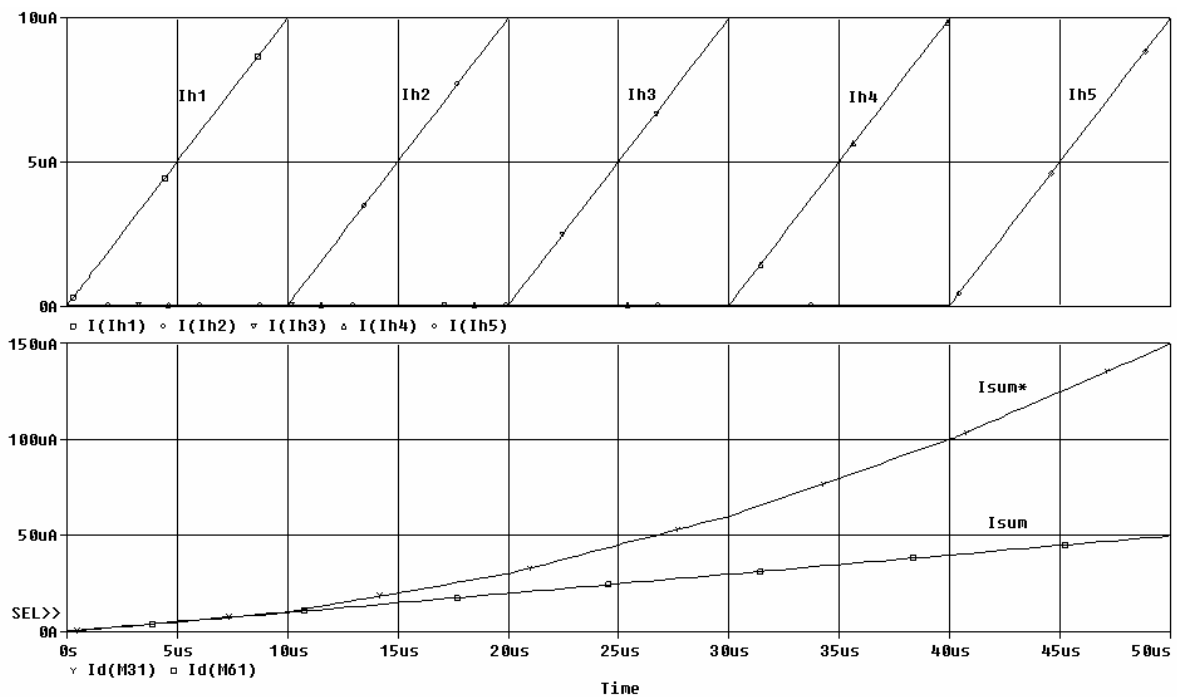


Figura 3.10: Resultados de simulação dos circuitos somadores.

As correntes de entrada I_{h1} , I_{h2} , I_{h3} , I_{h4} , e I_{h5} variando entre $[0,10](\mu A)$ são apresentadas na parte superior da Figura 3.10. Na parte inferior, são apresentados os resultados dos circuitos Somador I (I_{sum}) e Somador II (I_{sum}^*). O erro do resultado simulado comparado ao valor calculado é menor que 0.2%, conforme apresentado na Tabela 3.7.

Os valores calculados dos circuitos Somador I e do Somador II foram obtidos através da Equação (2.14), onde $I_{Sum*} = (h_1 + h_2 \cdot 2 + h_3 \cdot 3 + h_4 \cdot 4 + h_5 \cdot 5)$ e $I_{Sum} = h_1 + h_2 + h_3 + h_4 + h_5$.

Tabela 3.7: Comparação das correntes de saída do circuito somador I e II.

I_{h1}	I_{h2}	I_{h3}	I_{h4}	I_{h5}	Valor Calculado		Valor Simulado		Erro(%)	
					I_{Sum}	I_{Sum*}	I_{Sum}	I_{Sum*}	I_{Sum}	I_{Sum*}
10 μ A	0 μ A	0 μ A	0 μ A	0 μ A	10 μ A	10 μ A	10,00 μ A	9,99 μ A	0,00%	0,10%
10 μ A	10 μ A	0 μ A	0 μ A	0 μ A	20 μ A	30 μ A	19,97 μ A	29,97 μ A	0,15%	0,10%
10 μ A	10 μ A	10 μ A	0 μ A	0 μ A	30 μ A	60 μ A	29,99 μ A	59,97 μ A	0,03%	0,05%
10 μ A	10 μ A	10 μ A	10 μ A	0 μ A	40 μ A	100 μ A	40,01 μ A	99,95 μ A	0,01%	0,05%
10 μ A	10 μ A	10 μ A	10 μ A	10 μ A	50 μ A	150 μ A	49,98 μ A	150,01 μ A	0,04%	0,01%

O número de transistores necessários para implementar o circuito somador mostrado na Figura 3.7, é de 10 transistores CMOS TIPO P. A Figura 3.11(a) apresenta o *layout* dos circuitos Escalonadores e Somadores h_5 , e a Figura 3.11(b) apresenta o *layout* do circuito completo. As dimensões desses circuitos são apresentadas na Tabela 3.8.

Tabela 3.8: Dimensões dos circuitos: escalonador e somador.

Circuito escalonador e somador	Área de silício ocupada
Circuito completo	0,027 x 0,275mm ²
h_5	0,011 x 0,077mm ²

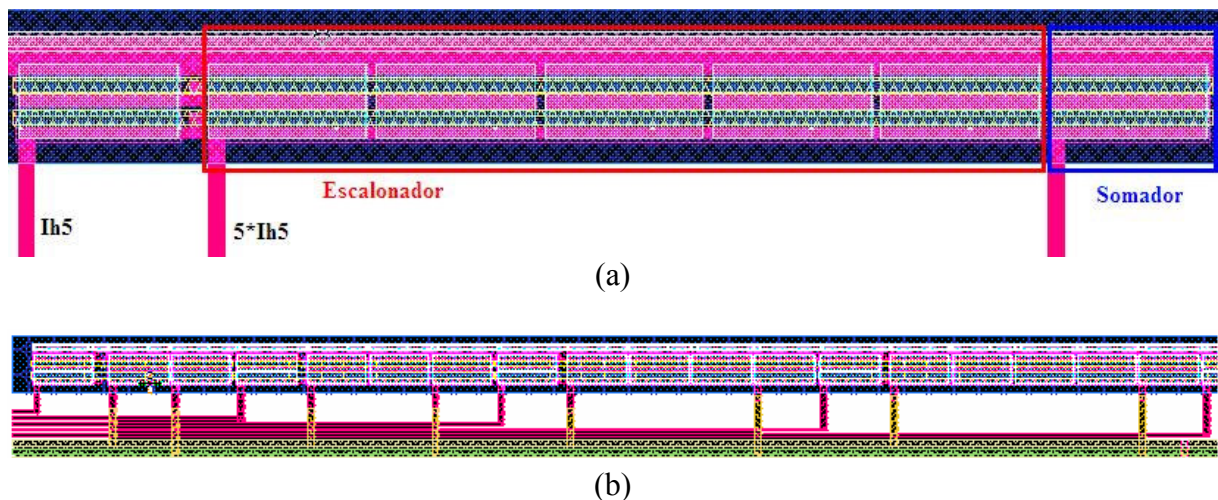


Figura 3.11: (a) *Layout* do circuito Escalonador e Somador h_5 ; (b) *Layout* do circuito Escalonador e Somador.

III.3.3 Projeto do Circuito Multiplicador-Divisor

O circuito multiplicador-divisor é o bloco funcional mais complexo do circuito defuzificador. Este circuito foi baseado na topologia proposta por Martin [Lop01], usando o princípio translinear aplicado a transistores MOS operando na região de saturação proposto por Wiegerink [Wie93]. O circuito multiplicador é usado para multiplicar a posição central da função de pertinência, fixada em $5\mu\text{A}$, pelo sinal proveniente do bloco escalonador que representa o grau de ativação ponderado da regra. O circuito divisor é utilizado para dividir este resultado pelo somatório dos graus de ativação.

III.3.3.1 Princípio Translinear

O princípio translinear, proposto por Gilbert [Gilb96 - Tou93], é baseado na relação exponencial de corrente e tensão do transistor bipolar. Em 1991 Seevinck [See91] propôs topologias implementadas somente com transistores MOS operando na região de forte inversão, onde a característica quadrática dos transistores MOS é utilizada para implementar a soma da raiz quadrada das correntes. Embora a característica quadrática dos transistores MOS não ser tão precisa quanto a característica exponencial do transistor bipolar, este princípio pôde ser empregado com sucesso em diversas aplicações [Wie93].

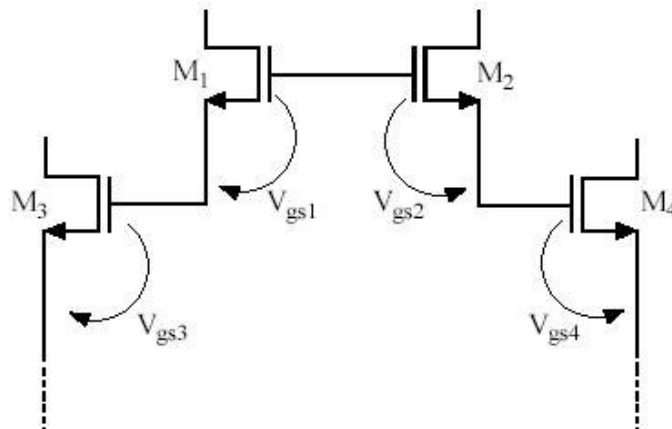


Figura 3.12: Malha translinear composta por transistores MOS de canal N.

Como exemplo do uso de tal princípio, considere uma malha de transistores CMOS, como indicado na Figura 3.12. Nesta malha podem ser usados tanto transistor CMOS canal N como canal P.

Uma malha translinear [Wie93] deve ser composta de um número par de transistores com tensão de porta-fonte (V_{GS}) conectada em série, com número igual de transistores ligado no sentido horário e no sentido anti-horário. Todos os transistores devem estar operando na região de saturação. Aplicando-se a lei de *Kirchhoff* de tensão na referida malha tem-se:

$$\sum_h V_{GS} = \sum_{ah} V_{GS} \quad (3.14)$$

onde: h=sentido horário.

ah=sentido anti-horário.

Conforme foi apresentado anteriormente, a corrente de dreno, I_{DS} , de um transistor MOS operando na região de saturação é dada pela Equação (3.3).

Rearranjando a Equação (3.3), tem-se:

$$V_{GS} = V_T + \sqrt{\frac{I_{DS}}{\beta}} \quad (3.15)$$

Substituindo a Equação (3.15) na (3.14), resulta em:

$$\sum_h (V_T + \sqrt{\frac{I_{DS}}{\beta}}) = \sum_{ah} (V_T + \sqrt{\frac{I_{DS}}{\beta}}) \quad (3.16)$$

Desconsiderando o efeito de modulação de canal, a Equação (3.16) pode ser reescrita em função da corrente de dreno e das dimensões dos transistores que compõem a malha translinear. A Equação (3.17) mostra tal relação:

$$\sum_h \sqrt{\frac{I_{DS}}{(W/L)}} = \sum_{ah} \sqrt{\frac{I_{DS}}{(W/L)}} \quad (3.17)$$

A Equação (3.17) permite observar que a corrente de dreno está em função somente das dimensões dos transistores propostos pelo projetista do sistema.

III.3.3.2 Princípio de operação - equacionamento

O princípio de funcionamento do circuito multiplicador-divisor proposto para este projeto, pode ser apresentado como segue:

$$I_z = \frac{I_x * I_y}{I_w} \quad (3.18)$$

A Equação (3.18) pode ser reescrita da seguinte forma:

$$I_z = \frac{(\sqrt{I_x * I_y})^2}{I_w} \quad (3.19)$$

A Equação (3.19) permite calcular a média geométrica de duas correntes:

$$I_{out} = \sqrt{I_x * I_y} \quad (3.20)$$

É também possível implementar um circuito quadrático-divisor baseado na seguinte equação:

$$I_z = \frac{(I_{in})^2}{I_w} \quad (3.21)$$

Deste modo, pode-se implementar um circuito multiplicador-divisor utilizando-se circuitos que realizem a operação de média geométrica e quadrático-divisor, de acordo com a Equação (3.19). Esta idéia é mostrada no diagrama em blocos da Figura 3.13. Assim, este princípio será o utilizado neste projeto. Nota-se que as funções das Equações (3.20) e (3.21) são uma o

inverso da outra, e podem ser implementadas utilizando-se a mesma topologia básica de circuito.

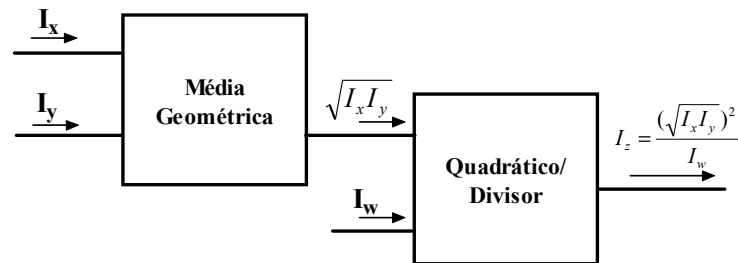


Figura 3.13: Princípio do circuito multiplicador-divisor.

Para um melhor entendimento da razão da escolha da topologia *up-down*, a ser utilizado neste trabalho, considerou-se inicialmente as duas topologias apresentadas na Figura 3.14. Esta figura representa uma malha translinear composta de quatro transistores nas topologias *stacked* e *up-down*, respectivamente. De acordo com a Equação (3.17), a seguinte expressão é obtida em ambos os casos:

$$\sqrt{\frac{I_1}{W_1/L_1}} + \sqrt{\frac{I_2}{W_2/L_2}} = \sqrt{\frac{I_3}{W_3/L_3}} + \sqrt{\frac{I_4}{W_4/L_4}} \quad (3.22)$$

Sendo I_i a corrente de dreno e W_i/L_i a geometria dos dispositivos dos transistores M_i ($i=1,2,3,4$).

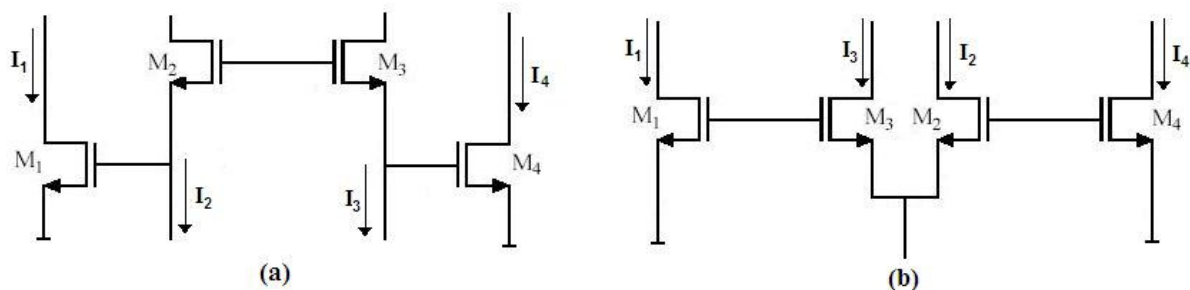


Figura 3.14: Malha de tensão translinear (a) topologia *stacked* (b) topologia *up-down*.

A topologia *stacked* apresenta problemas de efeito de corpo, caso o terminal de substrato não seja conectado ao terminal de fonte. Estes problemas podem afetar seriamente o

comportamento da malha translinear. Além disso, deve-se assegurar a tensão mínima de alimentação do circuito $2\Delta V$ de um transistor saturado na condição de corrente máxima, para o qual o circuito é projetado [Wie93].

Para solucionar os problemas apresentados acima, a topologia *up-down* foi utilizada no projeto do circuito multiplicador-divisor apresentado neste trabalho. Na topologia *up-down*, é possível diminuir a tensão de alimentação do circuito e a influência do efeito de corpo (Apêndice D), que nesta topologia é reduzida significativamente, uma vez que a fonte do transistor do sentido horário é ligada à fonte do transistor do sentido anti-horário [Wie93].

Elevando-se ao quadrado ambos os lados da Equação (3.22) e considerando-se que todos os transistores possuem a mesma dimensão, obtém-se a seguinte expressão:

$$2\sqrt{I_1 I_2} + I_1 + I_2 = 2\sqrt{I_3 I_4} + I_3 + I_4 \quad (3.23)$$

Forçando $I_3 = I_4$ e $I_z = \sqrt{I_1 I_2}$, tem-se:

$$I_3 = I_4 = \frac{2I_z + I_1 + I_2}{4} \quad (3.24)$$

III.3.3.3 Projeto do circuito multiplicador - divisor

Como mostrado na Figura 3.13, o circuito multiplicador-divisor pode ser composto por um circuito de média geométrica e um circuito quadrático-divisor. O projeto e o equacionamento dos circuitos de média geométrica e quadrático-divisor serão apresentados a seguir,

III.3.3.3.a Topologia *Up-Down* - Circuito de Média Geométrica

Considerando os quatro transistores MOS de mesma dimensão da malha de tensão translinear da Figura 3.14(b), tem-se:

$$I_1 = I_x, \quad I_2 = I_y \quad \text{e} \quad I_3 = I_4 = \frac{2I_z + I_x + I_y}{4} \quad (3.25)$$

Então, de acordo com as Equações (3.23) e (3.24), o seguinte valor de saída é obtido:

$$I_z = \sqrt{I_x I_y} \quad (3.26)$$

O circuito de média geométrica é baseado nos circuitos propostos por [Muld98] e [Lop99]. O esquemático do circuito de média geométrica baseado nestas equações é ilustrado na Figura 3.15. A malha de tensão translinear é formada por quatro transistores CMOS TIPO N com dimensões idênticas, M_1 - M_4 , sendo que os mesmos estão polarizados para operarem na região de saturação. Os espelhos de corrente CMOS TIPO P com razão de espelhamento 1:1 são empregados para injetar a corrente apropriada na malha de tensão translinear. A adoção de espelhos de corrente *cascode* justifica-se por diminuir o erro de espelhamento.

O equacionamento para determinar o valor das correntes I_z , I_3 e I_4 por meio do princípio translinear e da Lei de *Kirchoff* das correntes, baseado no circuito da Figura 3.15, é apresentado a seguir.

De acordo com a Equação (3.17), e com a Figura 3.15, tem-se a seguinte expressão para transistores de mesmas dimensões:

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \quad (3.27)$$

Para $I_4 = I_3$, $I_1 = I_x$ e $I_2 = I_y$, tem-se:

$$\sqrt{I_x} + \sqrt{I_y} = 2\sqrt{I_3} \quad (3.28)$$

Elevando-se ao quadrado ambos os lados da Equação (3.28), tem-se:

$$I_x + 2\sqrt{I_x I_y} + I_y = 4I_3 \quad (3.29)$$

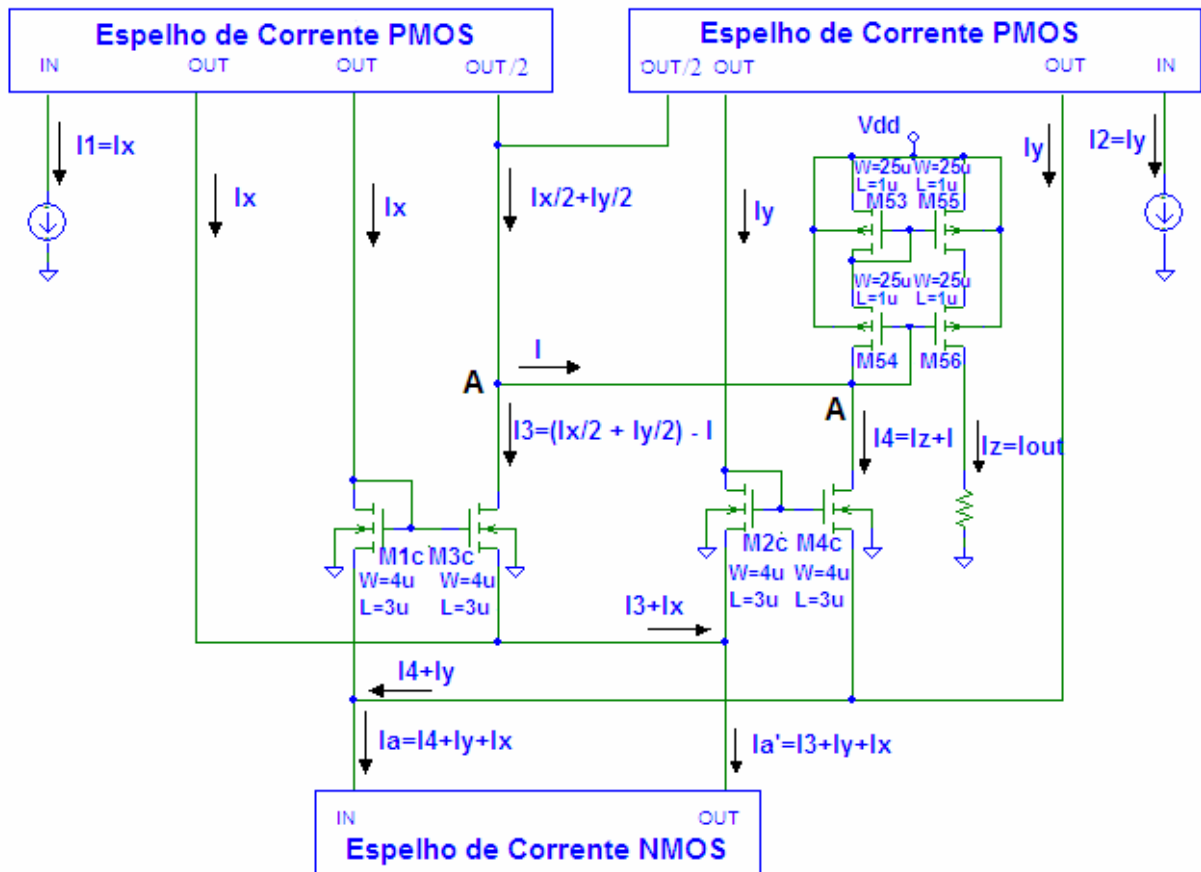


Figura 3.15: Esquemático do circuito de média geométrica.

Rearranjando, tem-se os seguintes valores das correntes I_3 e I_4 :

$$I_3 = I_4 = \frac{2\sqrt{I_x I_y} + I_x + I_y}{4} \quad (3.30)$$

Considerando o nó A da Figura 3.15, de acordo com a Lei de *Kirchoff* das correntes, tem-se os seguintes valores de correntes:

$$I_3 = \frac{I_x}{2} + \frac{I_y}{2} - i \quad (3.31)$$

$$I_4 = I_z + i \Rightarrow i = I_4 - I_z \quad (3.32)$$

Substituindo a Equação (3.32) na (3.31), tem-se:

$$I_3 = \frac{I_x}{2} + \frac{I_y}{2} - (I_4 - I_z) \quad (3.33)$$

Para $I_4 = I_3$, tem-se:

$$2I_3 = \frac{I_x}{2} + \frac{I_y}{2} + I_z \quad (3.34)$$

Rearranjando os termos, obtêm-se os valores das correntes I_3 e I_4 :

$$I_3 = I_4 = \frac{2I_z + I_x + I_y}{4} \quad (3.35)$$

Igualando-se as equações (3.35) e (3.30), é possível obter a corrente de saída:

$$\frac{2\sqrt{I_x I_y} + I_x + I_y}{4} = \frac{2I_z + I_x + I_y}{4} \Rightarrow I_z = \sqrt{I_x I_y} \quad (3.36)$$

Por meio da aplicação das Equações (3.30), (3.35) e (3.36), foi possível confirmar os valores das correntes I_3 , I_4 e I_z , das Equações (3.25) e (3.26). Para assegurar que a corrente I_3 seja igual à corrente I_4 , o espelho de corrente CMOS TIPO N foi utilizado, como mostrado nas Equações (3.37) e (3.38):

$$I_A = I_A' = I_X + I_Y + I_4 = I_X + I_Y + I_3 \quad (3.37)$$

Simplificando a Equação (3.37), tem-se:

$$I_4 = I_3 \quad (3.38)$$

1 – Cálculo das dimensões dos transistores

O circuito multiplicador-divisor foi projetado para operar com correntes máximas de entrada: $5\mu\text{A}$, $150\mu\text{A}$ e $50\mu\text{A}$, referentes à posição central da função de pertinência, ao somatório dos blocos escalonadores e ao somatório do grau de ativação, respectivamente. Logo, as dimensões dos transistores que compõem este circuito foram calculadas em função do valor dessas correntes máximas.

Porém, durante a simulação foi verificado que para os valores máximos da corrente de entrada: $5\mu\text{A}$, $150\mu\text{A}$ e $50\mu\text{A}$, os valores das correntes de saída do circuito apresentavam um erro fora da especificação, cerca de 6%.

Foi identificado que quanto maior a diferença entre os valores das correntes na malha translinear I_X e I_Y , maior era o erro. Foi constatado, também, que a diminuição deste erro poderia ocorrer através da diminuição dos valores das correntes I_X e I_W , de modo a equalizar as correntes nas malhas translineares.

Conseguiu-se, desta forma reduzir o erro para 2%, sem alterar o valor final da corrente de saída. Para isto, a Equação (2.13) foi alterada para a Equação (3.39). Ou seja, em termos da topologia do circuito, foram colocados um maior número de espelhos de corrente.

$$I_{out} = \left(\frac{c_1 \cdot \sum f^*}{\sum f} \right) = \left(\frac{c_1 \cdot \frac{\sum f^*}{5}}{\frac{\sum f}{2.5}} \right) \cdot 2 = \left(\frac{I_Y \cdot \frac{I_X}{5}}{\frac{I_W}{2.5}} \right) \cdot 2 \quad (3.39)$$

De acordo com a Equação (3.39), a corrente máxima que passa pelos transistores (M_{35} , M_{36} , M_{37} , M_{38} , M_{39} , M_{40} , M_{41} , M_{42}) é de $15\mu\text{A}$.

As dimensões dos transistores CMOS TIPO P (M_{35} , M_{37} , M_{39} , M_{41}) do circuito de média geométrica apresentado na Figura 3.16 foram obtidos através da Equação (3.3). De acordo com a Equação (3.3) e a Tabela 3.1, tem-se:

$$15\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (0,65))^2 \quad (3.40)$$

$$\Rightarrow W = 12,93\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 15$ foi adotado.

O valor de V_T dos transistores CMOS TIPO P ($M_{36}, M_{38}, M_{40}, M_{42}$), foram obtidos através da Equação (3.7). Para $V_T = -1,0V$, $V_{GS(Estimado)} = -1,2V$ e $I_{DS} = 15\mu A$. Substituindo-se estes valores na Equação (3.3), para $K_p = 58\mu A/V^2$ e $L = 1\mu m$, tem-se:

$$15\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (1,0))^2 \quad (3.41)$$

$$W = 12,93\mu m$$

O valor de $(W/L) = 15$ foi adotado.

De acordo com a Equação (3.3) e a Tabela 3.1, têm-se as dimensões dos transistores CMOS TIPO P ($M_{45}, M_{47}, M_{49}, M_{51}$) do circuito da Figura 3.16, para $I_{DS} = 2,5\mu A$.

$$2,5\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (0,65))^2 \quad (3.42)$$

$$\Rightarrow W = 2,15\mu m$$

O valor de $(W/L) = 3$ foi adotado.

As dimensões dos transistores CMOS TIPO P ($M_{46}, M_{48}, M_{50}, M_{52}$) foram obtidas por meio da Equação (3.3) e da Tabela 3.1, para $I_{DS} = 2,5\mu A$. O valor de $V_T = -1,0V$ foi obtido por meio da Equação (3.7) e o valor de $V_{GS(Estimado)}$ neste caso é de $-1,2V$.

$$2,5\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (1,0))^2 \quad (3.43)$$

$$W = 2,15\mu m$$

O valor de $(W/L) = 3$ foi adotado.

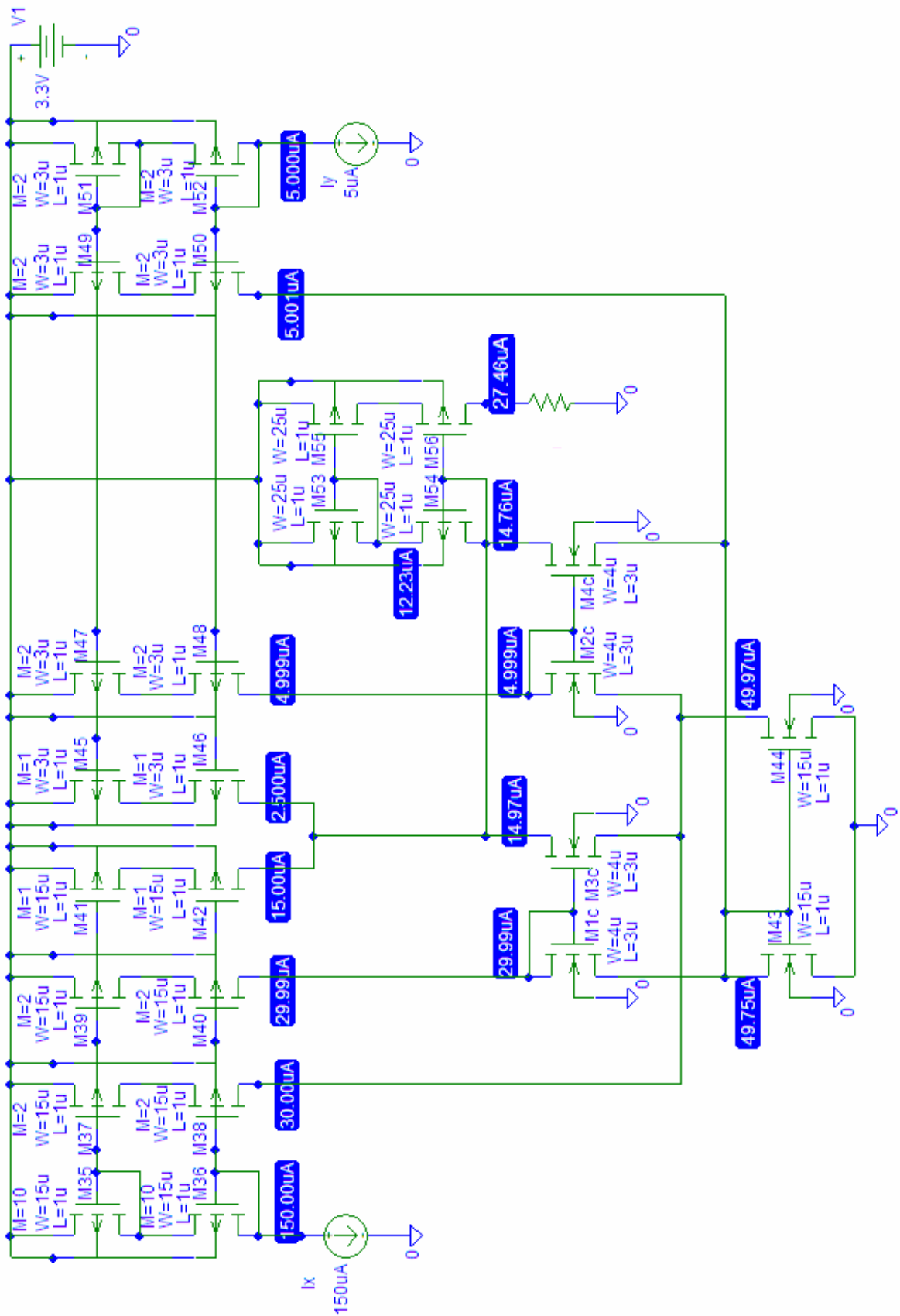


Figura 3.16: Esquemático do circuito de média geométrica completo.

O cálculo das dimensões dos transistores CMOS TIPO P (M_{53} , M_{55}) do circuito de média geométrica (Figura 3.16) será apresentado a seguir. O valor da corrente máxima que passa pelos transistores é de $27,38\mu\text{A}$. O valor de $V_{GS(\text{Estimado})} = -0,65 - 0,2 = -0,85\text{V}$. De acordo com os valores apresentados na Tabela 3.1 e a Equação (3.3), tem-se:

$$27,38\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (-0,65))^2 \quad (3.44)$$

$$27,38\mu = 1,16\mu W \Rightarrow W = 23,6\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 25$ foi adotado.

O valor de $V_T = -1,0\text{V}$ para os transistores CMOS TIPO P (M_{54} , M_{56}) foi obtido através da Equação (3.7), para $V_{BS(\text{Estimado})} = -0,85\text{V}$ e o valor de $V_{GS(\text{Estimado})}$ é de $-1,2\text{V}$. De acordo com a Equação (3.3), a Tabela 3.1 e $I_{DS} = 27,38\mu\text{A}$, tem-se:

$$27,38\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (-1,0))^2 \quad (3.45)$$

$$W = 23,6\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 25$ foi adotado.

As dimensões dos transistores CMOS TIPO N (M_{43} , M_{44}) do espelho de corrente da Figura 3.16 foram baseados na Equação (3.3). Para $I_{DS} = 50\mu\text{A}$, $V_{GS(\text{Estimado})} = 0,7\text{V}$ e os valores de K_p , V_T e L apresentados na Tabela 3.5, tem-se:

$$50\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,7 - (0,5))^2 \quad (3.46)$$

$$\Rightarrow W = 14,7\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 15$ foi adotado neste circuito.

A seguir será apresentado o cálculo das dimensões dos transistores CMOS TIPO N (M_{1C} , M_{2C} , M_{3C} , M_{4C}) da malha translinear da Figura 3.16.

O cálculo do valor de V_T do transistor (M_{1C}) foi baseado na Equação (3.6). Para $V_{BS(\text{Estimado})}=0,747V$ e os valores de V_{Tideal} , K_1 , ϕ_s e K_2 apresentados na Tabela 3.6, tem-se:

$$V_T = 0,497 + 0,502(\sqrt{0,6 + (0,747)} - \sqrt{0,6}) + (0,0339)(0,747) \quad (3.47)$$

$$V_T = 0,716V$$

Para $I_{DS}=30\mu A$, $V_{GS(\text{estimado-sim})}=2,039-0,747=1,292V$, $L=3\mu m$, $V_T = 0,716V$ e $K_p=170\mu A/V^2$, tem-se:

$$30\mu = \frac{1}{2}170\mu \frac{W}{3\mu} (1,292 - (0,716))^2 \quad (3.48)$$

$$\Rightarrow W = 3,19\mu m$$

Neste caso, o valor de W adotado foi de $4\mu m$.

O valor de V_T do transistor (M_{2C}) foi obtido por meio da Equação (3.6). Para $V_{BS(\text{Estimado})}=0,894V$ e os valores de V_{Tideal} , K_1 , ϕ_s e K_2 apresentados na Tabela 3.6, tem-se:

$$V_T = 0,497 + 0,502(\sqrt{0,6 + (0,894)} - \sqrt{0,6}) + (0,0339)(0,894) \quad (3.49)$$

$$V_T = 0,752V$$

Para $I_{DS}=15\mu A$, $V_{GS(\text{estimado-sim})}=2,039-0,894=1,146V$, $L=3\mu m$, $V_T = 0,752V$ e $K_p=170\mu A/V^2$, tem-se:

$$15\mu = \frac{1}{2}170\mu \frac{W}{3\mu} (1,146 - (0,752))^2 \quad (3.50)$$

$$\Rightarrow W = 3,41\mu m$$

O valor de W adotado foi de $4\mu\text{m}$.

O cálculo do valor de V_T do transistor (M_{3C}) para $V_{BS(\text{estimado})}=0,894\text{V}$ foi apresentado na Equação (3.49). Para $I_{DS}=5\mu\text{A}$, $V_{GS(\text{estimado-sim})}=1,855-0,894=0,961\text{V}$, $L=3\mu\text{m}$, $V_T = 0,752\text{V}$ e $K_p=170\mu\text{A/V}^2$, tem-se:

$$5\mu = \frac{1}{2} 170\mu \frac{W}{3\mu} (0,961 - (0,752))^2 \quad (3.51)$$

$$\Rightarrow W = 4\mu\text{m}$$

O cálculo do valor de V_T do transistor (M_{4C}) para $V_{BS(\text{estimado})}=0,747\text{V}$ foi apresentado na Equação (3.47). Para $I_{DS}=15\mu\text{A}$, $V_{GS(\text{estimado-sim})}=1,855-0,747=1,108\text{V}$, $L=3\mu\text{m}$, $V_T = 0,716\text{V}$ e $K_p=170\mu\text{A/V}^2$, tem-se:

$$15\mu = \frac{1}{2} 170\mu \frac{W}{3\mu} (1,108 - (0,716))^2 \quad (3.52)$$

$$\Rightarrow W = 3,44\mu\text{m}$$

O valor de W adotado foi de $4\mu\text{m}$.

2 – Simulação

O resultado de simulação do circuito de média geométrica é apresentado na Figura 3.17. As correntes de entrada I_x variando entre $[0,150](\mu\text{A})$ e $I_y=5\mu\text{A}$, são apresentadas na parte superior da Figura 3.17. A faixa dinâmica, definida como a faixa máxima no qual o erro do circuito é aceitável, é:

$$0\mu\text{A} \leq I_x \leq 150\mu\text{A}$$

$$I_y = 5\mu\text{A}$$

$$0\mu\text{A} \leq I_{\text{out}} \leq 27,4\mu\text{A}$$

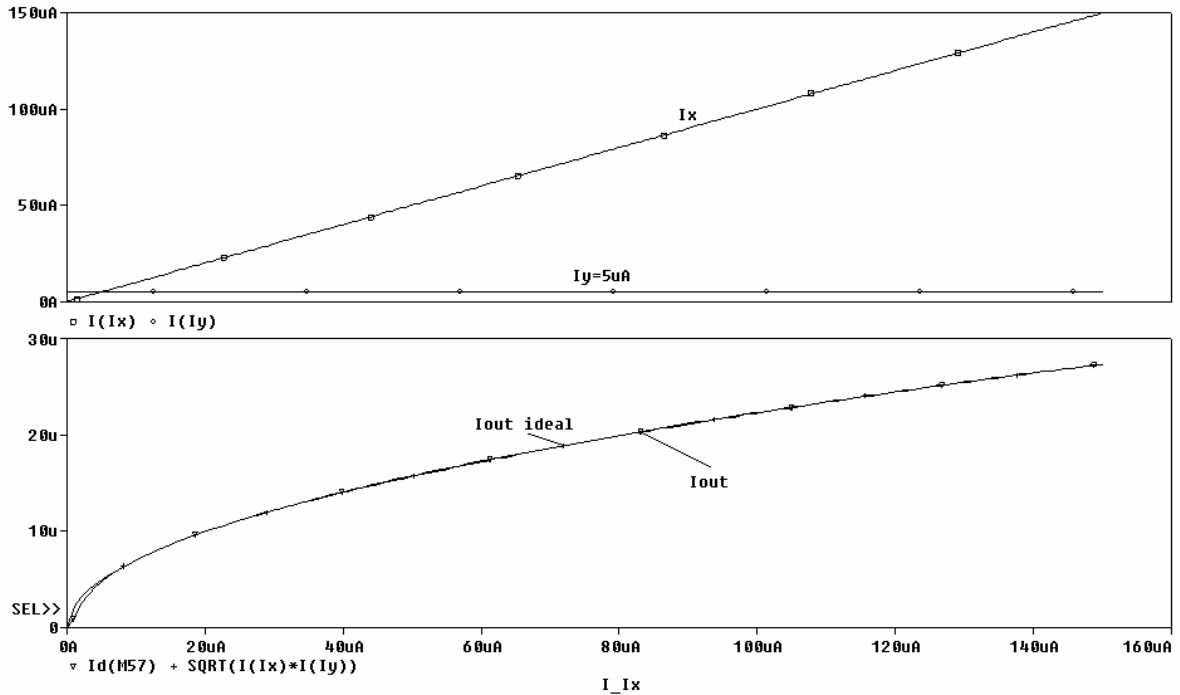


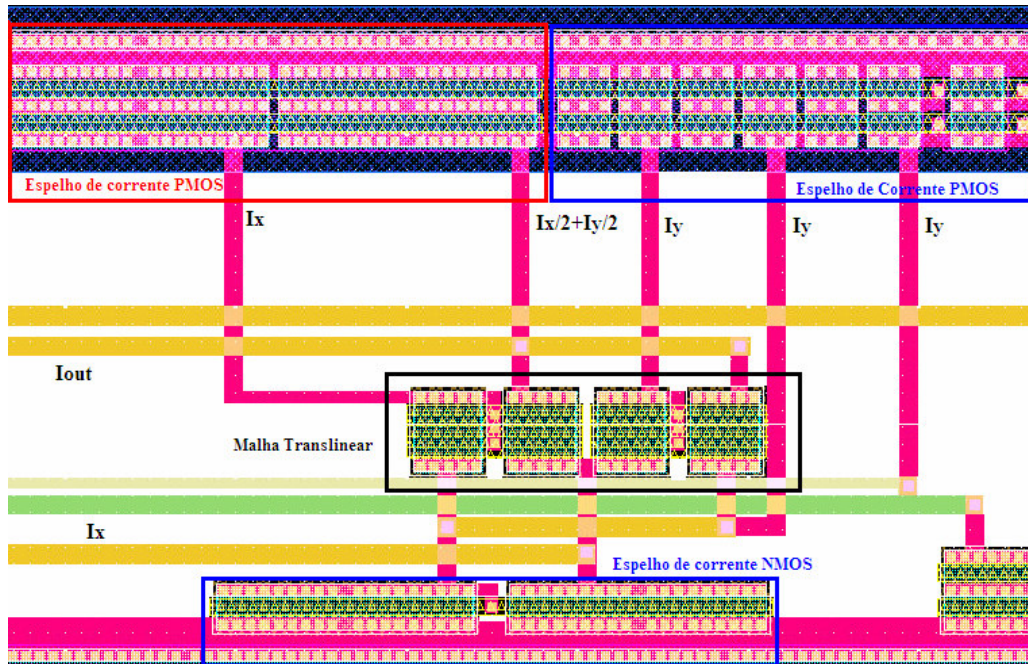
Figura 3.17: Resultado de simulação do circuito de média geométrica.

Na parte inferior são apresentados a corrente de saída do circuito de média geométrica e o seu valor calculado. O erro do resultado simulado comparado ao valor calculado é menor que 0.3%, conforme apresentado na Tabela 3.9.

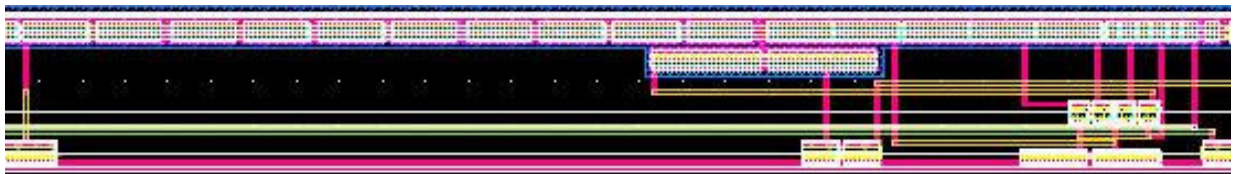
Tabela 3.9: Comparação das correntes de saída do circuito de média geométrica.

I_X	I_Y	Valor Calculado	Valor Simulado	Erro(%)
30 μ A	5 μ A	12,24 μ A	12,24 μ A	0,00%
60 μ A	5 μ A	17,32 μ A	17,29 μ A	0,17%
90 μ A	5 μ A	21,21 μ A	21,22 μ A	0,04%
120 μ A	5 μ A	24,49 μ A	24,54 μ A	0,20%
150 μ A	5 μ A	27,38 μ A	27,46 μ A	0,29%

O número de transistores necessários na implementação deste circuito é de 48 transistores CMOS TIPO P e 6 transistores CMOS TIPO N. A Figura 3.18(a) apresenta o *layout* da malha de tensão translinear do circuito de média geométrica e a Figura 3.18(b) apresenta o *layout* do circuito completo. A dimensão do circuito de média geométrica é 0,043 x 0,280mm².



(a)



(b)

Figura 3.18: (a) *Layout da Malha Translinear*; (b) *Layout do circuito de média geométrica*.

III.3.3.3.b Topologia *Up-Down* - Circuito Quadrático - Divisor:

O circuito quadrático-divisor foi obtido a partir de uma pequena modificação no circuito de raiz quadrada. A saída do circuito de média geométrica foi transformada em entrada de baixa impedância do circuito quadrático-divisor e a entrada de baixa impedância deste circuito foi transformada na saída de alta impedância do circuito quadrático-divisor.

Considere os quatro transistores CMOS canal N da malha de tensão translinear da Figura 3.14(b), com transistores de mesma dimensão. E também os seguintes valores de corrente:

$$I_1 = I_w, \quad I_2 = I_{out} \quad \text{e} \quad I_3 = I_4 = \frac{2I_z + I_w + I_{out}}{4} \quad (3.53)$$

De acordo com as Equações (3.23) e (3.25), o seguinte valor I_z é obtido:

$$I_z = \sqrt{I_w I_{out}} \quad (3.54)$$

Elevando-se ao quadrado ambos os lados da equação, tem-se:

$$I_z^2 = I_w I_{out} \quad (3.55)$$

Rearranjando a Equação (3.55), obtém-se a corrente de saída do circuito quadrático-divisor I_{out} :

$$I_{out} = \frac{I_z^2}{I_w} \quad (3.56)$$

Será apresentado a seguir, o equacionamento para determinar o valor das correntes I_z , I_3 e I_4 (Figura 3.19), por meio da aplicação do princípio translinear e da Lei de *Kirchoff* das correntes.

De acordo com o princípio translinear, para transistores de mesma dimensão, tem-se a seguinte equação:

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \quad (3.57)$$

Para $I_4 = I_3$, $I_1 = I_w$, $I_2 = I_{out}$, tem-se:

$$\sqrt{I_w} + \sqrt{I_{out}} = 2\sqrt{I_3} \quad (3.58)$$

Elevando-se a Equação (3.58) ao quadrado, tem-se:

$$I_w + 2\sqrt{I_w I_{out}} + I_{out} = 4I_3 \quad (3.59)$$

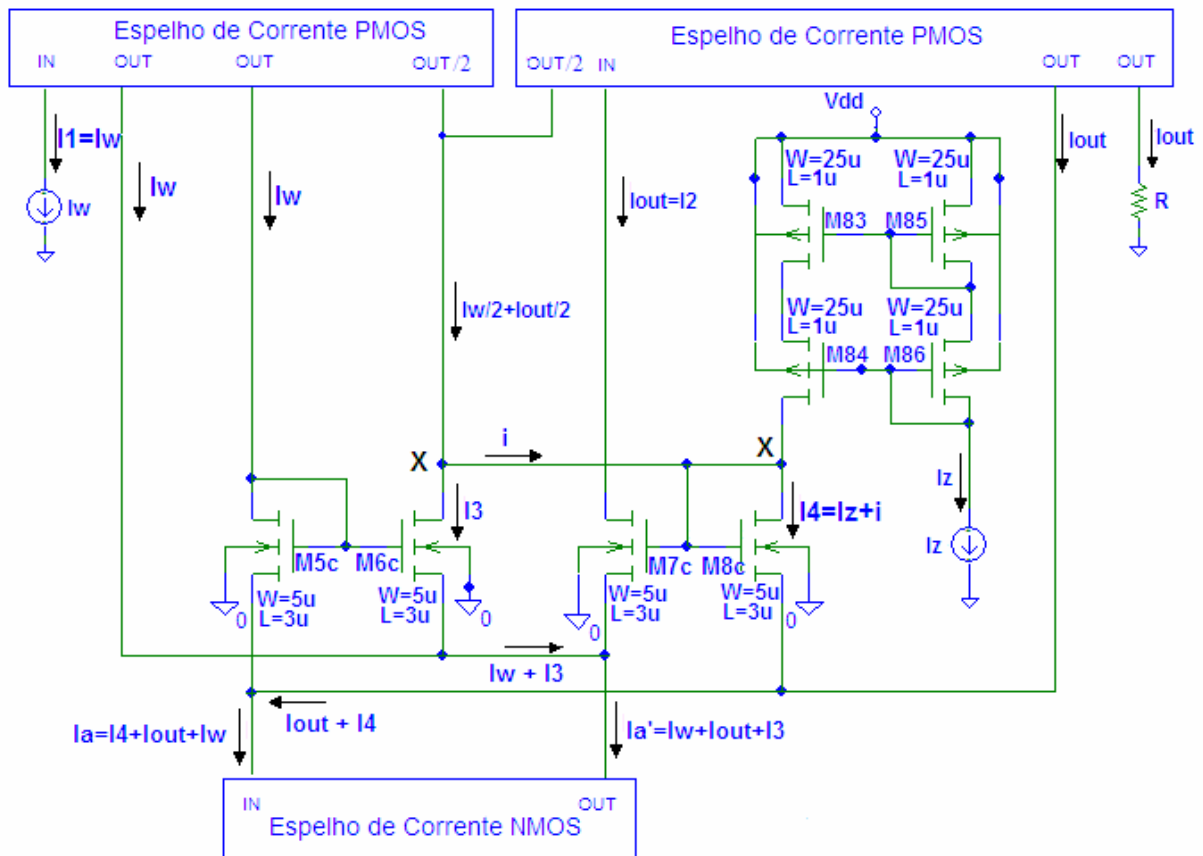


Figura 3.19: Esquemático do circuito de quadrático-divisor.

Rearranjando, obtém-se os seguintes valores das correntes I_3 e I_4 :

$$I_3 = I_4 = \frac{2\sqrt{I_w I_{out}} + I_w + I_{out}}{4} \quad (3.60)$$

Utilizando a Lei de *Kirchoff* das correntes no nó X da Figura 3.19, é possível determinar os valores das correntes:

$$I_3 = \frac{I_w}{2} + \frac{I_{out}}{2} - i \quad (3.61)$$

sendo que:
$$I_4 = I_z + i \Rightarrow i = I_4 - I_z \quad (3.62)$$

Substituindo a Equação (3.61) na (3.62), tem-se:

$$I_3 = \frac{I_w}{2} + \frac{I_{out}}{2} - (I_4 - I_z) \quad (3.63)$$

Para $I_4 = I_3$, tem-se:

$$2I_3 = \frac{I_w}{2} + \frac{I_{out}}{2} + I_z \quad (3.64)$$

Rearranjando a Equação (3.64) tem-se o valor das correntes I_3 e I_4 :

$$I_3 = I_4 = \frac{2I_z + I_w + I_{out}}{4} \quad (3.65)$$

Igualando-se a Equação (3.65) à Equação (3.60), é possível obter a corrente de saída:

$$\frac{2\sqrt{I_w I_{out}} + I_w + I_{out}}{4} = \frac{2I_z + I_w + I_{out}}{4} \quad (3.66)$$

$$I_z = \sqrt{I_{out} I_w} \Rightarrow I_{out} = \frac{I_z^2}{I_w}$$

Conforme foi demonstrado anteriormente, foi possível confirmar os valores das correntes I_3 , I_4 e I_{out} , das Equações (3.53) e (3.56). O espelho de corrente CMOS TIPO N com razão de espelhamento 1:1 é utilizado para assegurar que a corrente I_3 seja igual à corrente I_4 , como mostrado abaixo:

$$I_A = I_A' = I_{out} + I_w + I_4 = I_{out} + I_w + I_3 \quad (3.67)$$

Simplificando, tem-se:

$$I_4 = I_3 \quad (3.68)$$

Da topologia deste circuito verifica-se que a soma das correntes $I_{out} + I_w + I_4$ e $I_{out} + I_w + I_3$ é mantida constante por imposição de projeto, sendo que o valor das mesmas é estipulado pelas fontes de corrente de entrada e saída: I_{out} , I_w e I_Z .

A seguir, será apresentado o cálculo das dimensões dos transistores apresentados no circuito da Figura 3.20.

1 – Cálculo das dimensões dos transistores

Baseado na Equação (3.39), a corrente máxima que passa pelos transistores (M_{65} , M_{66} , M_{67} , M_{68} , M_{69} , M_{70} , M_{71} , M_{72}) é de $10\mu\text{A}$.

As dimensões dos transistores CMOS TIPO P (M_{65} , M_{67} , M_{69} , M_{71}) do circuito quadrático-divisor é apresentado na Figura 3.20. De acordo com a Equação (3.3) e a Tabela 3.1, tem-se:

$$10\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (0,65))^2 \quad (3.69)$$

$$\Rightarrow 10\mu = 1,16 W \quad \Rightarrow W = 8,62\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 10$ foi adotado neste circuito.

O valor de V_T dos transistores CMOS TIPO P (M_{66} , M_{68} , M_{70} , M_{72}), foi obtido por meio da Equação (3.7). Para $V_T = -1,0\text{V}$, o valor de $V_{GS(\text{Estimado})} = -1,0 - 0,2 = -1,2\text{V}$, e o valor de $I_{DS} = 10\mu\text{A}$. Substituindo-se estes valores na Equação (3.7), para K_p e L iguais a $58\mu\text{A}/\text{V}^2$ e $1\mu\text{m}$, respectivamente, tem-se:

$$10\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (1,0))^2 \quad (3.70)$$

$$W = 8,62\mu\text{m}$$

O valor de $\left(\frac{W}{L}\right) = 10$ foi adotado neste circuito.

As dimensões dos transistores CMOS TIPO P (M_{73} , M_{75} , M_{77} , M_{79}) do circuito da Figura 3.20 são obtidas substituindo-se o valor de $I_{DS}=12,5\mu A$ e os valores de K_p , V_T , V_{GS} e L da Tabela 3.1 na Equação (3.3).

$$12,5\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (0,65))^2 \quad (3.71)$$

$$12,5\mu = 1,16W \Rightarrow W = 10,77\mu m$$

O valor de $\left(\frac{W}{L}\right) = 12$ foi adotado neste circuito.

As dimensões dos transistores CMOS TIPO P (M_{74} , M_{76} , M_{78} , M_{80}) foram obtidos por meio da Equação (3.3) e da Tabela 3.1, para $I_{DS}=12,5\mu A$. O valor de $V_T = -1,0V$ foi obtido por meio da Equação (3.7), e o valor de $V_{GS(Estimado)}$ neste caso é de $-1,2V$.

$$12,5\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (-1,0))^2 \quad (3.72)$$

$$W = 10,77\mu m$$

O valor de $\left(\frac{W}{L}\right) = 12$ foi adotado neste circuito.

O cálculo das dimensões dos transistores CMOS canal P (M_{83} , M_{85}) do circuito quadrático-divisor será apresentado a seguir. O valor da corrente máxima que passa pelos transistores é de $27,4\mu A$, o valor de $V_{GS(Estimado)} = -0,65 - 0,2 = -0,85V$ e os valores de K_p , V_T , e L são apresentados na Tabela 3.1. Substituindo-se estes valores na Equação (3.3), tem-se:

$$27,4\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-0,85 - (0,65))^2 \quad (3.73)$$

$$27,4\mu = 1,16W \Rightarrow W = 23,62\mu m$$

O valor de $\left(\frac{W}{L}\right) = 25$ foi adotado neste circuito.

O valor de V_T para os transistores CMOS TIPO P (M_{84} , M_{86}) foram obtidos por meio da Equação (3.7). Substituindo-se os valores de $V_T = -1,0V$, $V_{GS(Estimado)} = -1,0 - 0,2 = -1,2V$, $I_{DS} = 27,4\mu A$ e os valores apresentados na Tabela 3.1 na Equação (3.3), obtém-se o valor de W :

$$27,4\mu = \frac{1}{2} 58\mu \frac{W}{1\mu} (-1,2 - (-1,0))^2 \quad (3.74)$$

$$W = 23,62\mu m$$

O valor de $\left(\frac{W}{L}\right) = 25$ foi adotado no circuito.

As dimensões dos transistores CMOS canal N (M_{81} , M_{82}) do espelho de corrente da Figura 3.20 foram baseados na Equação (3.3). Para $I_{DS} = 40\mu A$, $V_{GS(Estimado)} = 0,7V$ e os valores de K_p , V_T e L apresentados na Tabela 3.5, tem-se:

$$41\mu = \frac{1}{2} 170\mu \frac{W}{1\mu} (0,7 - (0,5))^2 \quad (3.75)$$

$$\Rightarrow W = 12\mu m$$

A seguir, será apresentado o cálculo das dimensões dos transistores CMOS TIPO N (M_{5C} , M_{6C} , M_{7C} , M_{8C}) da malha translinear da Figura 3.20.

O cálculo do valor de V_T do transistor (M_{5C}) foi baseado na Equação (3.6). Para $V_{BS(Estimado)} = 0,748V$ e os valores de V_{Tideal} , K_1 , ϕ_s e K_2 apresentados na Tabela 3.6, tem-se:

$$V_T = 0,497 + 0,502(\sqrt{0,6 + 0,748} - \sqrt{0,6}) + (0,0339)(0,748) \quad (3.76)$$

$$V_T = 0,716V$$

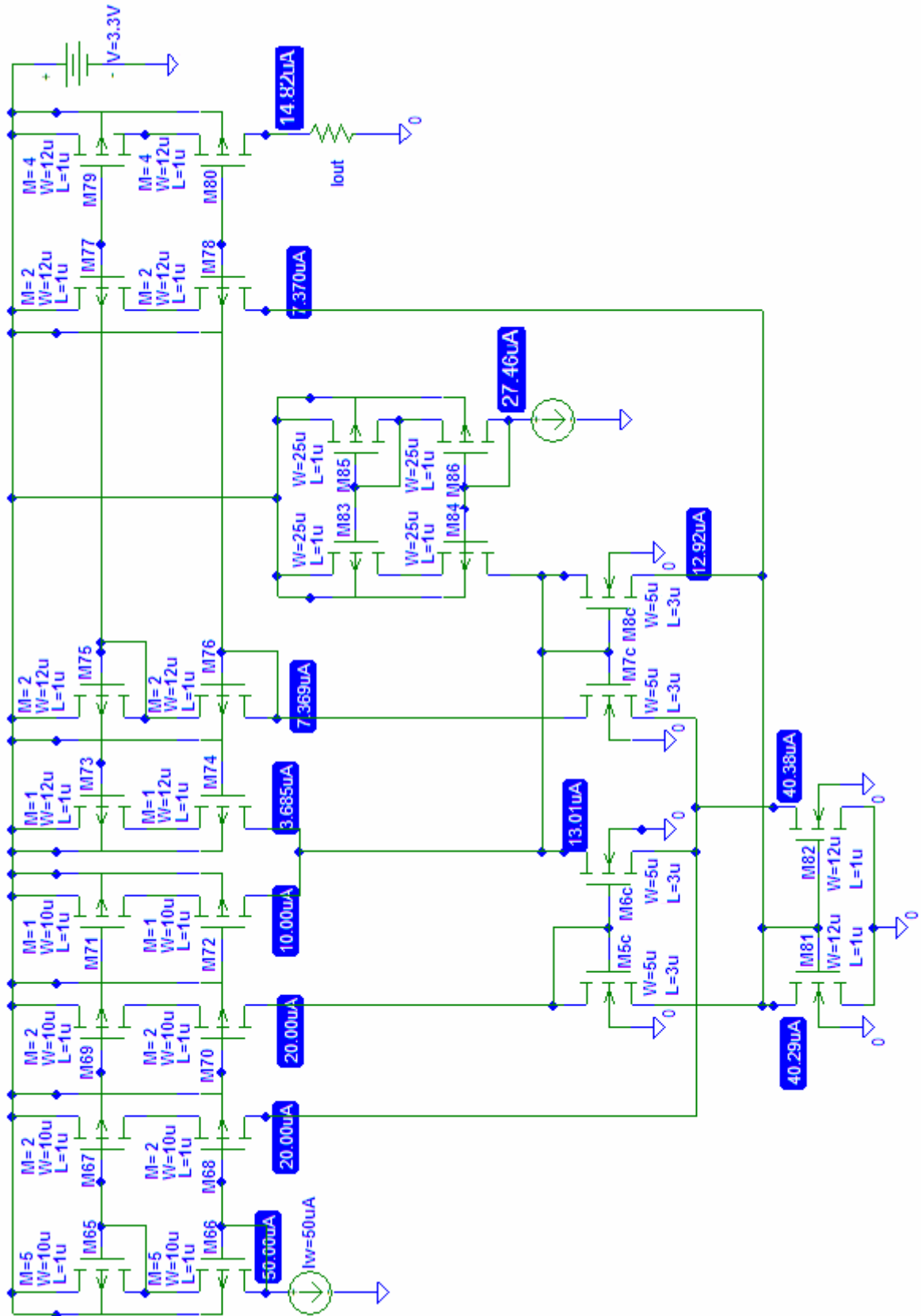


Figura 3.20: Esquemático do circuito de quadrático-divisor completo.

Para $I_{DS}=20\mu A$, $V_{GS}(\text{Estimado-sim})=1,87-0,748=1,122V$, $L=3\mu m$, $V_T = 0,716V$ e $K_p=170\mu A/V^2$, tem-se:

$$20\mu = \frac{1}{2}170\mu \frac{W}{3\mu} (1,122 - (0,716))^2 \quad (3.77)$$

$$\Rightarrow W = 4,28\mu m$$

Neste caso, o valor de W adotado foi de $5\mu m$.

O valor de V_T do transistor (M_{6C}) foi obtido por meio da Equação (3.6). Para $V_{BS(\text{estimado})}=0,819V$, e para os valores de V_{Tideal} , K_1 , ϕ_s e K_2 apresentados na Tabela 3.6, tem-se:

$$V_T = 0,497 + 0,502(\sqrt{0,6 + 0,819} - \sqrt{0,6}) + (0,0339)(0,819) \quad (3.78)$$

$$V_T = 0,733V$$

Para $I_{DS}=13\mu A$, $V_{GS(\text{Estimado-Sim})}=1,87-0,819=1,051V$, $L=3\mu m$, $V_T = 0,733V$ e $K_p=170\mu A/V^2$, tem-se:

$$13\mu = \frac{1}{2}170\mu \frac{W}{3\mu} (1,051 - 0,733)^2 \quad (3.79)$$

$$\Rightarrow W = 4,53\mu m$$

Neste caso, o valor de W adotado foi de $5\mu m$.

O cálculo do valor de V_T do transistor (M_{7C}) para $V_{BS(\text{estimado})}=0,819V$ foi apresentado na Equação(3.78). Para $I_{DS}=7,5\mu A$, $V_{GS(\text{Estimado-sim})}=1,784-0,819=0,965V$, $L=3\mu m$, $V_T = 0,733V$ e $K_p=170\mu A/V^2$, tem-se:

$$7,5\mu = \frac{1}{2}170\mu \frac{W}{3\mu} (0,965 - 0,733)^2 \quad (3.80)$$

$$\Rightarrow W = 4,91\mu m$$

O valor de W adotado foi de 5 μ m.

O cálculo do valor de V_T do transistor (M_{8C}) para $V_{BS(\text{Estimado})}=0,748V$ foi apresentado na Equação(3.76). Para $I_{DS}=13\mu A$, $V_{GS(\text{Estimado-Sim})}=1,784-0,748=1,036V$, $L=3\mu m$, $V_T = 0,716V$ e $K_p=170\mu A/V^2$, tem-se:

$$13\mu = \frac{1}{2}170\mu \frac{W}{3\mu} (1,036 - 0,716)^2 \quad (3.81)$$

$$\Rightarrow W = 4,5\mu m$$

O valor de W adotado foi de 5 μ m.

2 – Simulação

Na Figura 3.21 é apresentada a simulação do circuito quadrático-divisor comparado ao seu valor calculado, para as correntes de entrada: I_z variando entre $[0, 27,4](\mu A)$ e I_w variando entre $[10, 50](\mu A)$. A faixa dinâmica, definido como a faixa máxima na qual o erro do circuito é aceitável, é:

$$0\mu A \leq I_z \leq 27,4\mu A$$

$$10\mu A \leq I_w \leq 50\mu A$$

$$0\mu A \leq I_{out} \leq 25\mu A$$

O erro do resultado simulado comparado ao valor calculado é menor que 1,5%, conforme apresentado na Tabela 3.10. É importante lembrar que para o valor da corrente $I_w = 10\mu A$, a corrente I_x irá variar entre 10 μA e 50 μA , baseado na Equação (2.13). Como a corrente I_z é dada por: $I_z = \sqrt{I_x * 5\mu A}$, esta corrente irá variar entre 7,07 μA e 15,81 μA . Por isso, os

valores de I_z maior que $15,81\mu\text{A}$ para $I_w=10\mu\text{A}$ foram ignorados.

Tabela 3.10: Comparação das correntes de saída do circuito de quadrático-divisor.

I_x	I_y	I_w	I_z	Valor Calculado	Valor Simulado	Erro(%)
$50\mu\text{A}$	$5\mu\text{A}$	$10\mu\text{A}$	$12,24\mu\text{A}$	$25\mu\text{A}$	$24,76\mu\text{A}$	0,96%
$60\mu\text{A}$	$5\mu\text{A}$	$20\mu\text{A}$	$17,32\mu\text{A}$	$15\mu\text{A}$	$14,95\mu\text{A}$	0,33%
$90\mu\text{A}$	$5\mu\text{A}$	$30\mu\text{A}$	$21,21\mu\text{A}$	$15\mu\text{A}$	$14,93\mu\text{A}$	0,46%
$120\mu\text{A}$	$5\mu\text{A}$	$40\mu\text{A}$	$24,49\mu\text{A}$	$15\mu\text{A}$	$14,84\mu\text{A}$	1,00%
$150\mu\text{A}$	$5\mu\text{A}$	$50\mu\text{A}$	$27,38\mu\text{A}$	$15\mu\text{A}$	$14,81\mu\text{A}$	1,28%

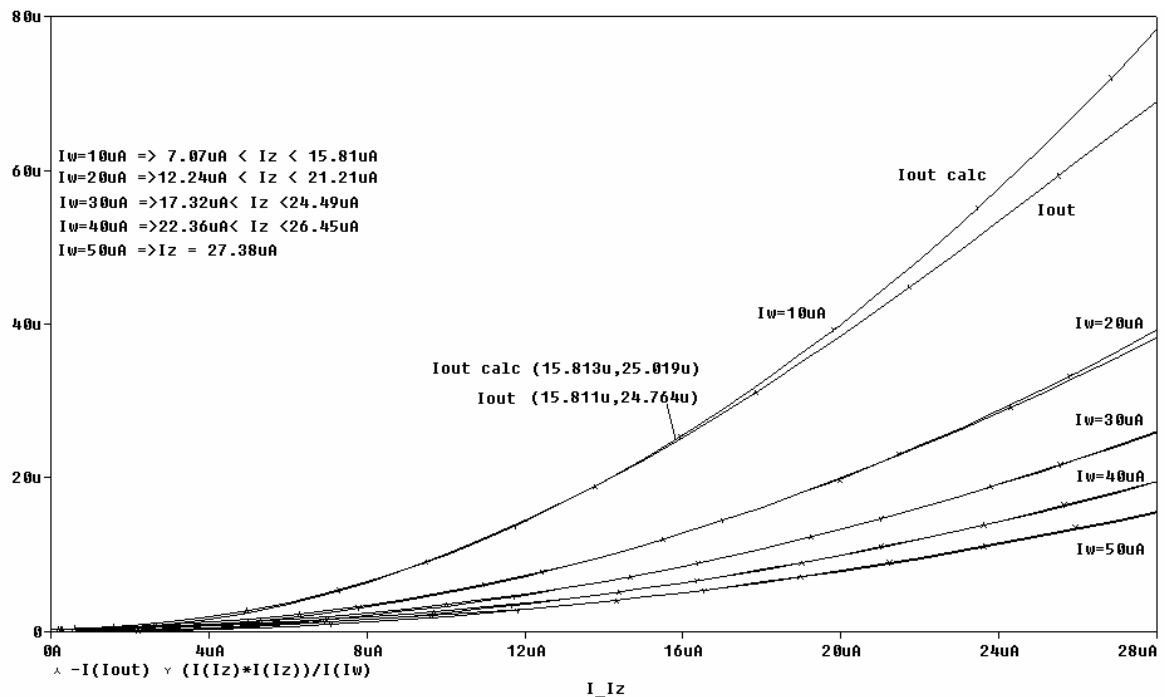


Figura 3.21: Resultado de simulação do circuito quadrático-divisor.

O número de transistores necessários para implementar o circuito quadrático-divisor, mostrado na Figura 3.20, é de 42 transistores tipo CMOS canal P e 6 transistores tipo CMOS canal N. O *layout* do circuito de quadrático-divisor é apresentado a Figura 3.22(a) apresenta a malha de tensão translinear e a Figura 3.22(b) apresenta o circuito completo. A dimensão do circuito quadrático-divisor é $0,043 \times 0,235\text{mm}^2$.

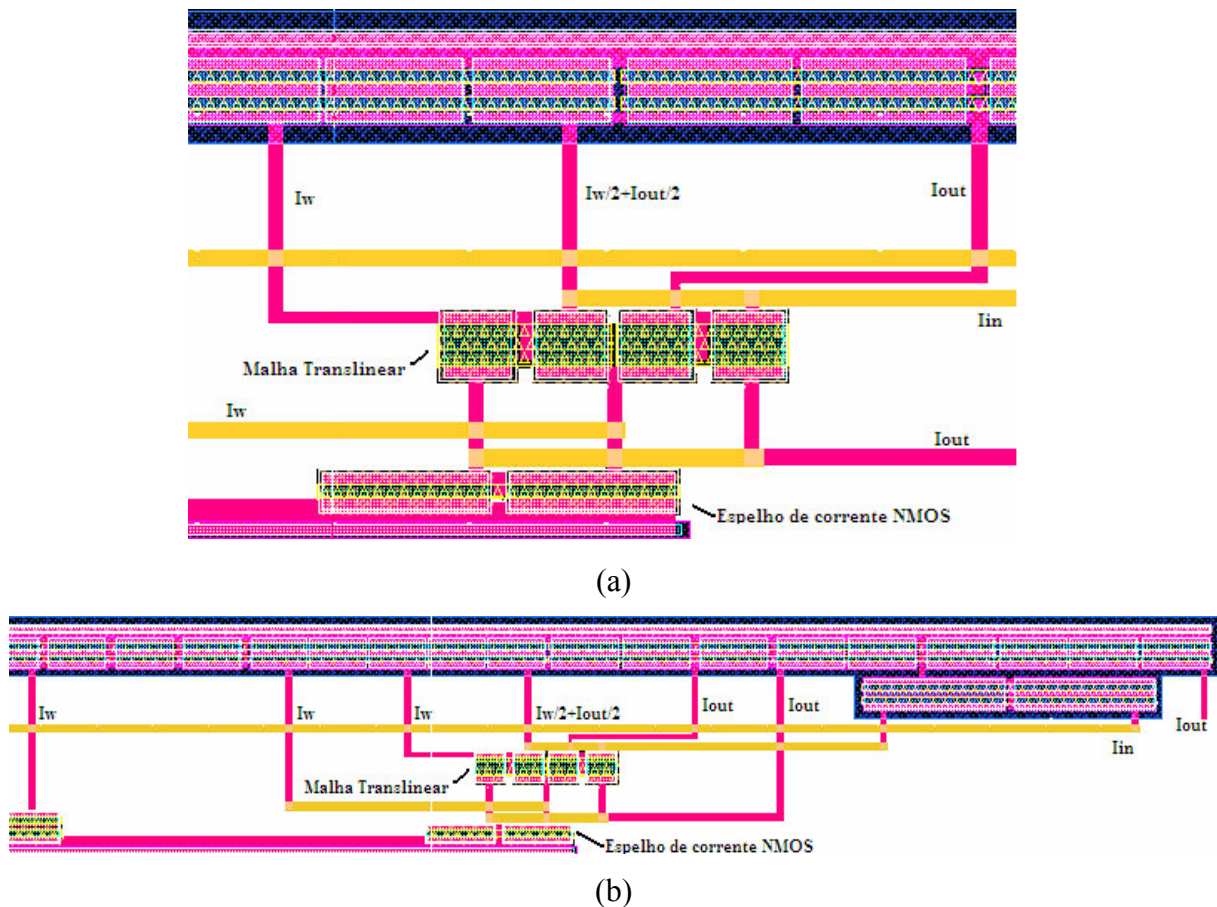


Figura 3.22: (a) *Layout da Malha Translinear*; (b) *Layout do circuito quadrático-divisor*.

III.3.3.3.c Topologia *Up-Down* - Multiplicador - Divisor:

O circuito multiplicador-divisor é obtido quando a corrente de saída do circuito de média geométrica da Figura 3.16 é espelhada na entrada do circuito quadrático-divisor da Figura 3.20. Esta operação é realizada pelo espelho de corrente *cascode* (M_{58} , M_{59} , M_{60} , M_{61}) mostrado na Figura 3.25. Ele é utilizado para espelhar essa corrente na entrada do circuito. O cálculo das dimensões deste circuito será apresentado a seguir:

1 – Cálculo das dimensões dos transistores

As dimensões dos transistores CMOS TIPO N (M_{58} , M_{60}) do espelho de corrente da Figura 3.23 foram baseados na Equação (3.3). Para $I_{DS} = 27,4\mu A$, $V_{GS}(\text{Estimado}) = -0,7V$ e os valores apresentados na Tabela 3.5, tem-se:

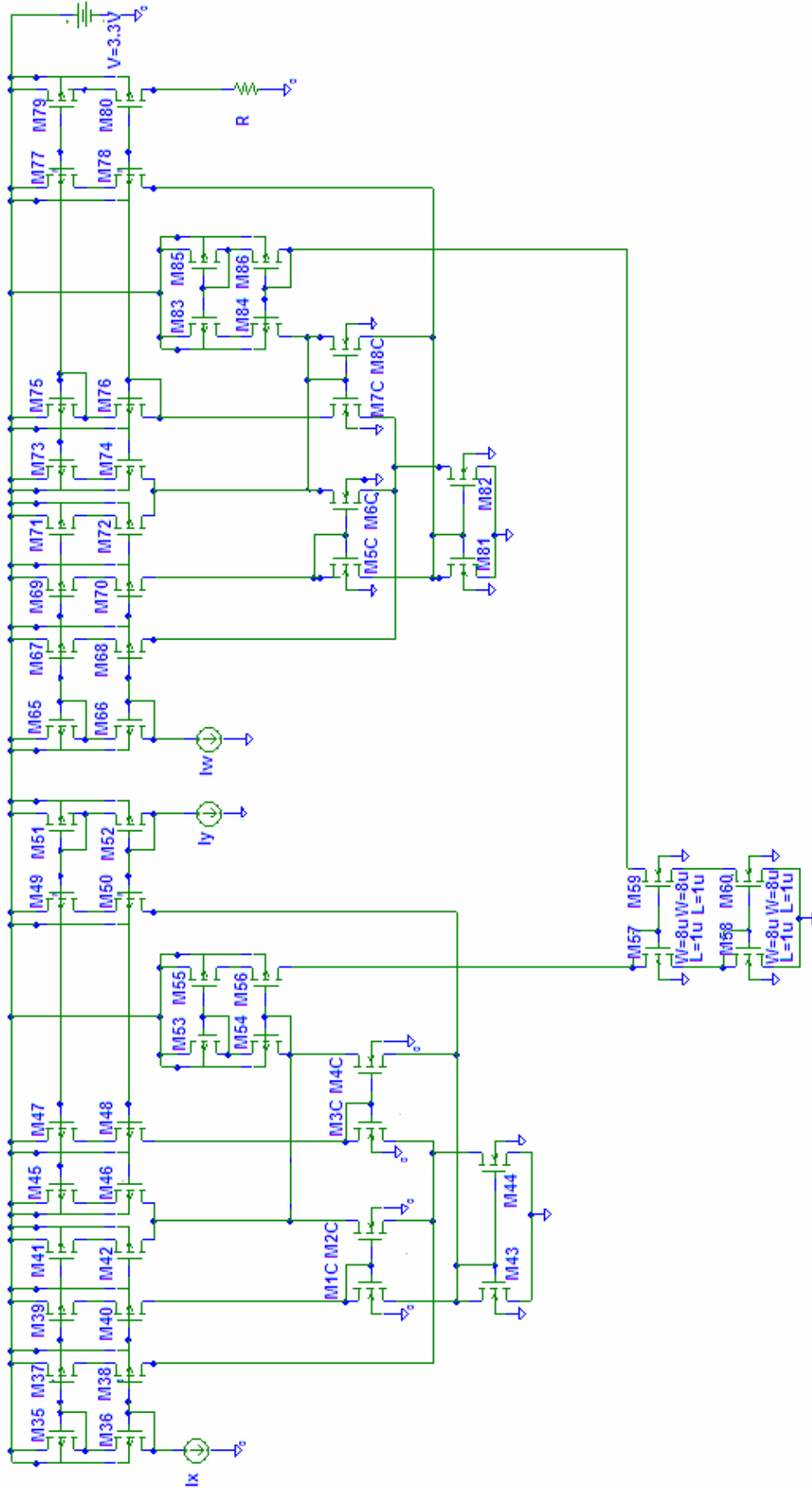


Figura 3.23: Esquemático do circuito de Multiplicador-Divisor

$$27,4\mu = \frac{1}{2}170\mu \frac{W}{1\mu} (0,7 - (0,5))^2 \quad (3.82)$$

$$\Rightarrow W = 8\mu m$$

O valor de $(W/L) = 8$ foi adotado no circuito.

O valor de V_T dos transistores (M_{57} , M_{59}) do circuito da Figura 3.23 foi obtido por meio da Equação (3.10). Para $V_T = 0,704V$, o valor de $V_{GS(Estimado)} = 0,704 + 0,2 = 0,904V$. De acordo com a Equação (3.3), tem-se:

$$27,4\mu = \frac{1}{2}170\mu \frac{W}{1\mu} (0,904 - (0,704))^2 \quad (3.83)$$

$$\Rightarrow W = 8\mu m$$

O valor de $(W/L) = 8$ foi adotado no circuito.

2 – Simulação

O número de transistores necessários para implementar o circuito multiplicador-divisor mostrado na Figura 3.23 é de 90 transistores tipo CMOS canal P e 16 transistores tipo CMOS canal N. A faixa dinâmica, definida como a faixa máxima na qual o erro do circuito é aceitável, é apresentada na Tabela 3.11.

Tabela 3.11: Faixa dinâmica do circuito multiplicador/divisor.

$I_y=5\mu A$	$I_w=10\mu A$	$10\mu A \leq I_x \leq 50\mu A$	$5\mu A \leq I_{out} \leq 25\mu A$
$I_y=5\mu A$	$I_w=20\mu A$	$30\mu A \leq I_x \leq 90\mu A$	$7,5\mu A \leq I_{out} \leq 22,5\mu A$
$I_y=5\mu A$	$I_w=30\mu A$	$60\mu A \leq I_x \leq 120\mu A$	$10\mu A \leq I_{out} \leq 20\mu A$
$I_y=5\mu A$	$I_w=40\mu A$	$100\mu A \leq I_x \leq 140\mu A$	$12,5\mu A \leq I_{out} \leq 17,5\mu A$
$I_y=5\mu A$	$I_w=50\mu A$	$I_x = 150\mu A$	$I_{out} = 15\mu A$

Para se obter os valores apresentados na Tabela 3.11 foi feita uma combinação dos valores das entradas do circuito defuzificador. Por exemplo, se a entrada I_{h1} for ativa com o máximo grau de pertinência (Equação (2.13)), o valor de I_w será $10\mu\text{A}$, I_x será de $50\mu\text{A}$ e o valor da saída será de $5\mu\text{A}$. Por isso, para o valor da corrente $I_w=10\mu\text{A}$, a corrente I_x não poderá ser maior que $50\mu\text{A}$.

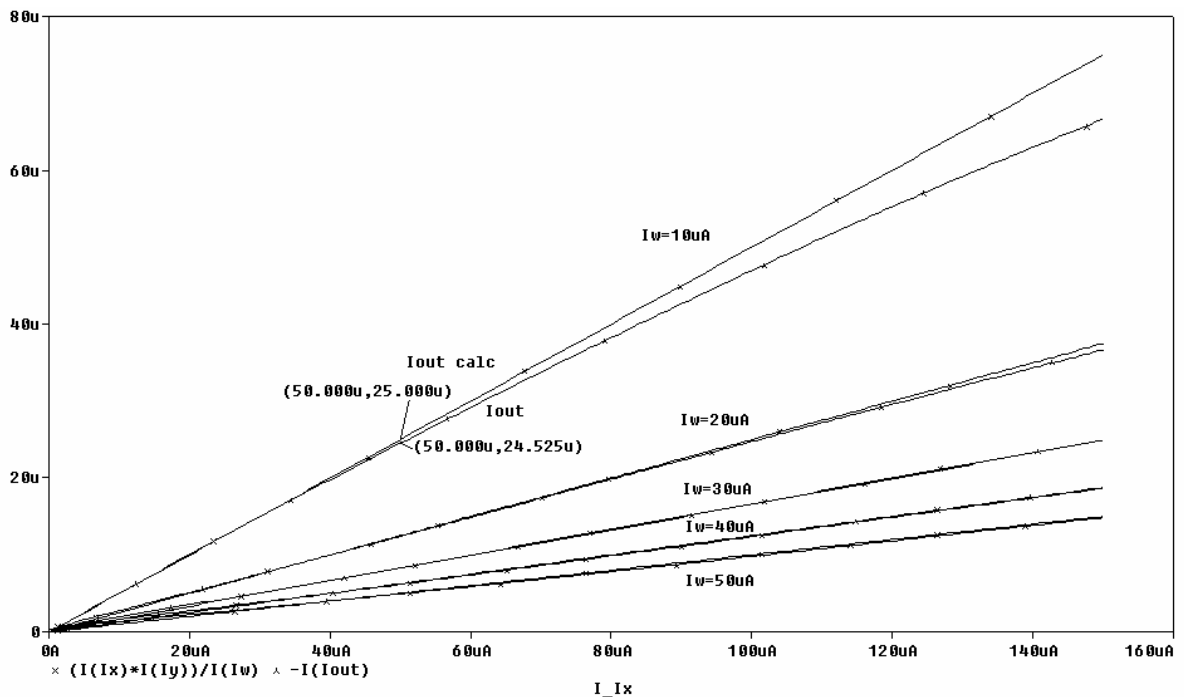


Figura 3.24: Resultado de simulação do circuito multiplicador-divisor.

O resultado de simulação do circuito de multiplicador-divisor é apresentado na Figura 3.24 para as seguintes correntes de entrada: I_x variando entre $[0, 150](\mu\text{A})$, I_w variando entre $[10, 50](\mu\text{A})$ e $I_y=5\mu\text{A}$. O erro do resultado simulado comparado ao valor calculado é menor que 2% (dentro da faixa dinâmica), como mostrado na Tabela 3.12.

Embora o resultado apresentado na Figura 3.24, para $I_w=10\mu\text{A}$, apresente um erro grande para correntes maiores que $50\mu\text{A}$, dentro da faixa dinâmica $[10\mu, 50\mu\text{A}]$ o erro é menor que 2%.

Tabela 3.12: *Comparação das correntes de saída do circuito de multiplicador-divisor.*

I_x	I_y	I_w	Valor Calculado	Valor Simulado	Erro(%)
50 μ A	5 μ A	10 μ A	25,0 μ A	24,76 μ A	0,96%
90 μ A	5 μ A	20 μ A	22,5 μ A	22,30 μ A	0,86%
120 μ A	5 μ A	30 μ A	20,0 μ A	19,92 μ A	0,40%
140 μ A	5 μ A	40 μ A	17,5 μ A	17,40 μ A	0,57%
150 μ A	5 μ A	50 μ A	15 μ A	14,81 μ A	1,28%

III.4 Comentários e Conclusões

Neste capítulo foram apresentadas a arquitetura, o projeto e o *layout* de um circuito defuzificador analógico. Os blocos funcionais utilizados para implementar este circuito são: o bloco somador, o bloco escalonador e o bloco multiplicador-divisor. Estes circuitos foram implementados em modo corrente, na tecnologia CMOS 0,35 μ m da AMS. Estes circuitos foram simulados utilizando o SPICE e os resultados de simulação indicaram que o circuito opera dentro da faixa previamente especificada.

Capítulo IV: Resultados do circuito defuzificador

IV.1 Introdução

Este capítulo apresenta tanto os resultados simulados do circuito defuzificador completo como o resultado de simulação deste circuito contendo elementos parasitas.

Os circuitos foram implementados em tecnologia CMOS 0,35 μ m da AMS. O programa SPICE foi utilizado para realizar a simulação das células. O *software* Mentor foi usado para confeccionar a máscara (*layout*) das células desenvolvidas e realizar a extração dos elementos parasitas do circuito.

IV.2 Circuito defuzificador completo

Nesta seção, serão apresentados os resultados simulados do circuito defuzificador desenvolvido, que será utilizado como parte de um controlador baseado em lógica difusa de duas entradas e uma saída.

IV.2.1 Resultados do circuito defuzificador completo

O resultado de simulação do circuito defuzificador é apresentado na Figura 4.1. Na Figura 4.1(a) são apresentadas as correntes de entrada do circuito: I_{h1} , I_{h2} , I_{h3} , I_{h4} e I_{h5} variando entre [0 μ A, 10 μ A]. Na Figura 4.1(b) são apresentadas as seguintes correntes de saída: a corrente resultante do circuito Somador I ($I_{\sum f^*} = I_x$) variando entre [10 μ A, 50 μ A]; a corrente resultante do circuito Somador II ($I_{\sum f} = I_w = 10\mu$ A) e a corrente $I_Y = 5\mu$ A. Na Figura 4.1(c) é apresentada a corrente de saída do circuito defuzificador I_{OUT} , variando entre [5 μ A, 25 μ A].

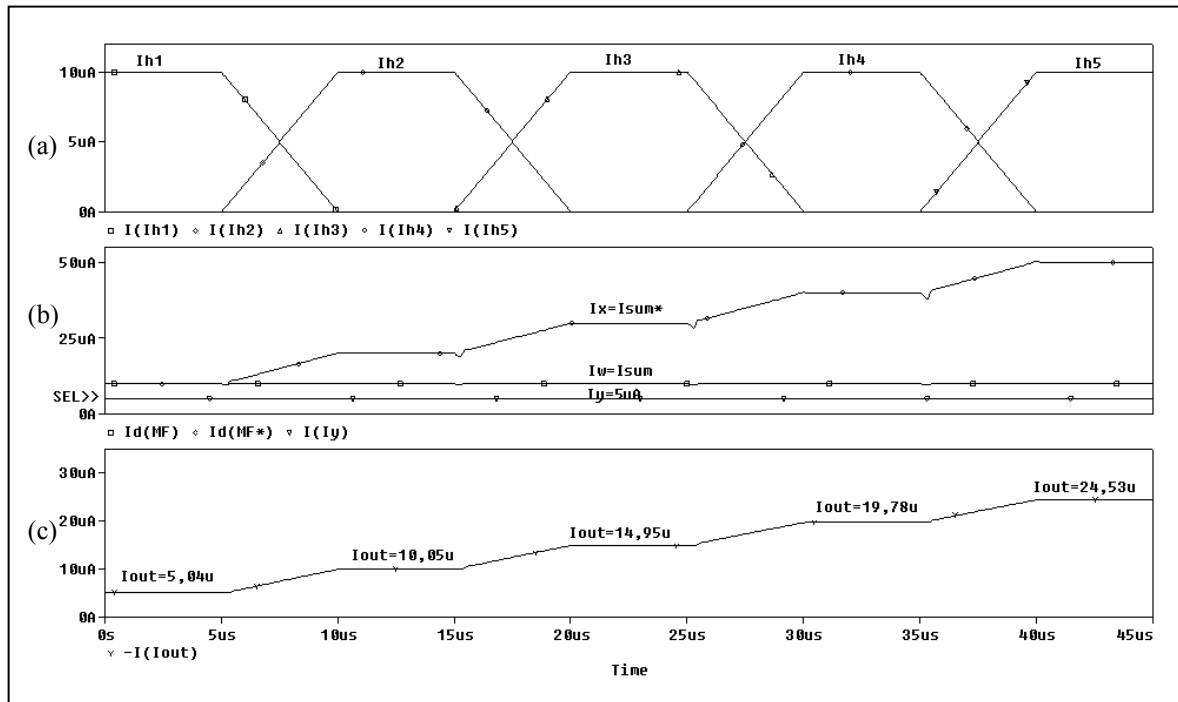


Figura 4.1: Resultado de simulação do bloco defuzificador para I_{out} variando entre 5 e $25\mu A$.

Os resultados obtidos nas curvas da Figura 4.1 comparadas ao seu valor calculado, são apresentados na Tabela 4.1. Os valores calculados do circuito defuzificador foram obtidos através da Equação (4.1), onde:

$$I_{OUT} = \frac{5\mu \cdot (I_{h1} + I_{h2} \cdot 2 + I_{h3} \cdot 3 + I_{h4} \cdot 4 + I_{h5} \cdot 5)}{I_{h1} + I_{h2} + I_{h3} + I_{h4} + I_{h5}} \quad (4.1)$$

Tabela 4.1: Resultado do circuito defuzificador.

I_{h1}	I_{h2}	I_{h3}	I_{h4}	I_{h5}	Valor Calculado	Valor Simulado	Erro(%)
$10\mu A$	$0\mu A$	$0\mu A$	$0\mu A$	$0\mu A$	$5\mu A$	$5,04\mu A$	0,80%
$0\mu A$	$10\mu A$	$0\mu A$	$0\mu A$	$0\mu A$	$10\mu A$	$10,05\mu A$	0,50%
$0\mu A$	$0\mu A$	$10\mu A$	$0\mu A$	$0\mu A$	$15\mu A$	$14,95\mu A$	0,33%
$0\mu A$	$0\mu A$	$0\mu A$	$10\mu A$	$0\mu A$	$20\mu A$	$19,78\mu A$	1,11%
$0\mu A$	$0\mu A$	$0\mu A$	$0\mu A$	$10\mu A$	$25\mu A$	$24,53\mu A$	1,91%

Como se pode notar, este circuito realiza a função do circuito defuzificador no método da altura. Os valores apresentados mostram um erro de 1,91%, ou seja, dentro do valor especificado inicialmente.

A maior contribuição para este erro é o circuito multiplicador-divisor, o que mostra acertada a decisão de se propor uma nova arquitetura, onde se eliminou a maior parte dos circuitos multiplicadores da arquitetura proposta por Baturone [Bat97]. Este erro pode ser atribuído ao descasamento do valor das correntes, em determinadas situações nas fontes dos transistores MOS utilizados.

IV.2.2 Exemplo de utilização do circuito defuzificador

O circuito defuzificador proposto faz parte de um controlador baseado em lógica difusa de duas entradas e uma saída. O circuito apresenta cinco funções de pertinência em cada entrada, 25 regras e cinco funções de pertinência de saída. No máximo quatro regras são ativas ao mesmo tempo, neste sistema, como mostrado na Figura 4.2.

Para verificar o funcionamento real do controlador difuso, com o circuito defuzificador incorporado, será apresentado um exemplo, usando a base de regras de um sistema difuso em forma de matriz na Tabela 4.2. Nela são armazenadas as regras que formam a base de conhecimento utilizada pelo processador para solucionar um determinado problema. A Figura 4.2 representa uma máquina de inferência que possui quatro regras ativas, conforme segue:

Regra 1: se x é NB e y é Z **então** saída é NB.

Regra 2: se x é NB e y é PB **então** saída é Z.

Regra 3: se x é Z e y é Z **então** saída é Z.

Regra 4: se x é Z e y é PB **então** saída é PB.

Tabela 4.2: Base de regras de um sistema de controle.

X \ Y	NA	NB	Z	PB	PA
NA	NA	NA	NA	NB	Z
NB	NA	NB	NB	Z	PB
Z	NA	NB	Z	PB	PA
PB	NB	Z	PB	PB	PA
PA	Z	PB	PA	PA	PA

A variável de entrada X possui o valor de $11\mu\text{A}$ e a variável Y possui o valor de $17\mu\text{A}$. Esta regra será ativada quando a variável de entrada X estiver contida no intervalo $[5, 15]\mu\text{A}$, pois deste modo o conjunto difuso denominado de NB estará ativo. Quando a variável Y estiver contida entre $[10, 20]\mu\text{A}$ o conjunto denominado Z também será ativo.

Na Figura 4.2 observa-se que a variável X assume o valor de $11\mu\text{A}$; e deste modo, o conjunto NB será ativado fornecendo um grau de pertinência de $8\mu\text{A}$ para este valor de entrada. A variável de entrada Y possui o valor de $17\mu\text{A}$; logo, o conjunto difuso denominado Z também estará ativo sendo que o grau de pertinência para este valor de entrada será dado por $5\mu\text{A}$.

Para unir as premissas da regra, uma operação de mínimo deve ser realizada para se calcular o grau de ativação da mesma. Realizando-se esta operação, conclui-se que o grau de ativação da regra é de $5\mu\text{A}$ (valor mínimo entre os valores obtidos das premissas da regra), que representa o menor grau de pertinência entre as duas premissas da regra. A função de pertinência que representa a variável de saída é do tipo triangular. A função de saída estabelecida para ser ativada nesta regra é denominada de NB (Tabela 4.2).

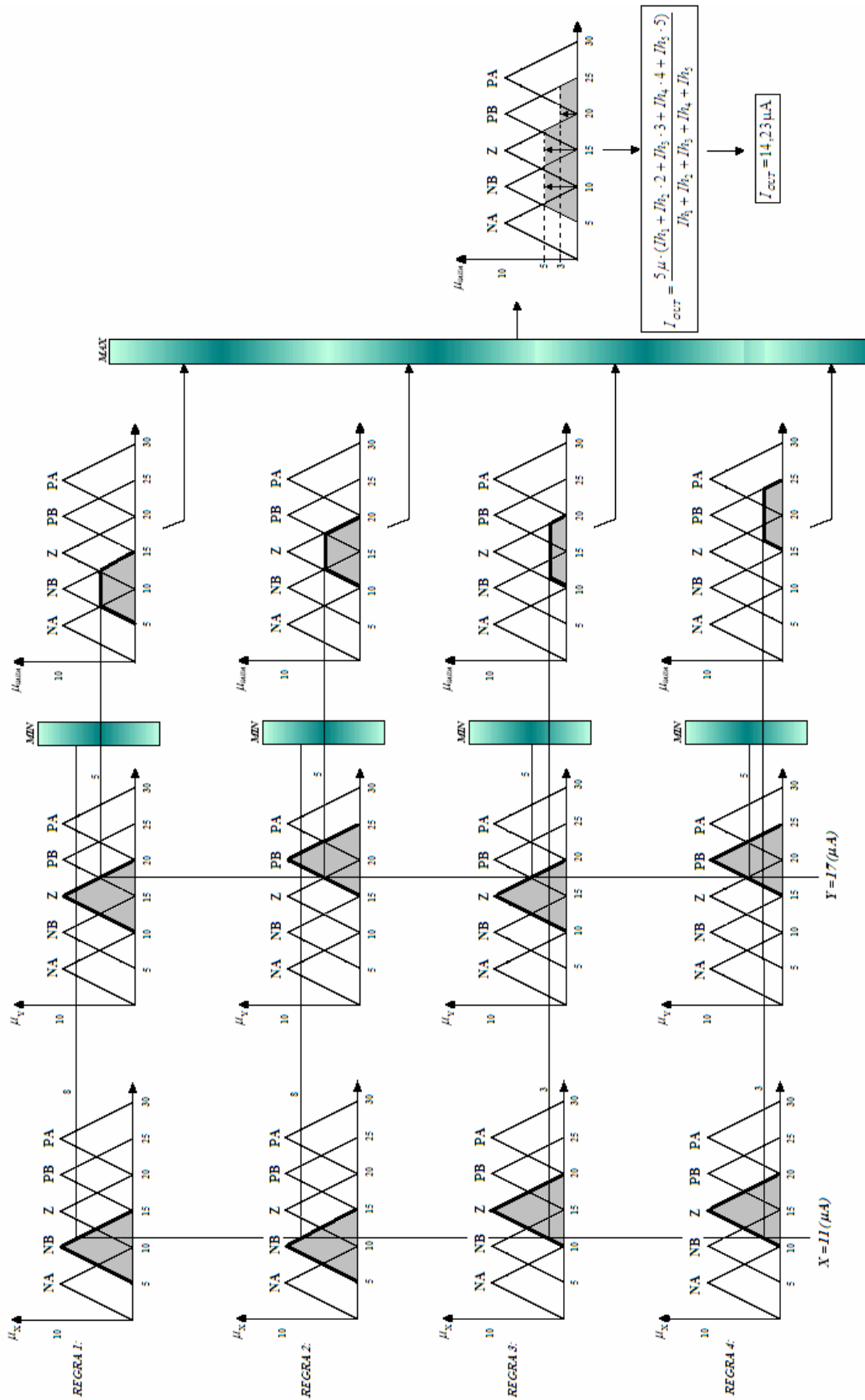


Figura 4.2: Regras Difusas

Após o cálculo do grau de ativação da regra, a agregação deverá ser realizada. No método max-min, a operação de mínimo é necessária para implementar a implicação da regra, e o operador de máximo é necessário para realizar a agregação de todas as regras que compõem a base de dados do microprocessador.

Na Figura 4.2 quatro regras foram ativas simultaneamente. Após realizar a implicação de cada regra ativa, as mesmas são agregadas no circuito de máximo. É importante lembrar que, em um sistema de controle difuso, no máximo quatro regras são ativas ao mesmo tempo.

As funções de saída estabelecidas para serem ativadas nestas regras são: NB com grau de ativação de $5\mu\text{A}$, Z com grau de ativação de $5\mu\text{A}$, Z com grau de ativação de $3\mu\text{A}$ e PB com grau de ativação de $3\mu\text{A}$. Para unir todas as regras de saída, uma operação de máximo deve ser realizada. Realizando-se esta operação, conclui-se que as seguintes regras são ativas com os respectivos graus de ativação: NB com grau de ativação de $5\mu\text{A}$, Z com grau de ativação de $5\mu\text{A}$ e PB com grau de ativação de $3\mu\text{A}$ (valor máximo entre os valores obtidos).

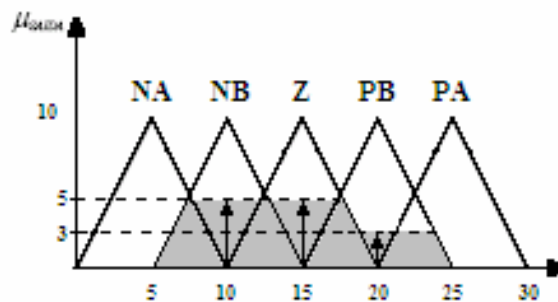


Figura 4.3 Função de pertinência de saída

As entradas do circuito defuzificador são compostas por graus de ativação I_{h1} , I_{h2} , I_{h3} , I_{h4} e I_{h5} da função de pertinência de saída. Baseado no exemplo das Figuras 4.2 e 4.3, as funções de pertinência de saída tem os seguintes graus de ativação: $I_{h1}=0\mu\text{A}$, $I_{h2}=5\mu\text{A}$, $I_{h3}=5\mu\text{A}$, $I_{h4}=3\mu\text{A}$ e $I_{h5}=0\mu\text{A}$. A corrente de saída do circuito defuzificador pode ser calculada por meio da Equação (4.1):

$$I_{OUT} = \frac{5\mu \cdot (0 + 5\mu \cdot 2 + 5\mu \cdot 3 + 3\mu \cdot 4 + 0 \cdot 5)}{0 + 5\mu + 5\mu + 3\mu + 0} = 14,23\mu\text{A} \quad (4.2)$$

O resultado de simulação é mostrado na Figura 4.4. Na Figura 4.4(a) são apresentadas as correntes de entrada do circuito ($I_{h1}=0\mu\text{A}$, $I_{h2}=5\mu\text{A}$, $I_{h3}=5\mu\text{A}$, $I_{h4}=3\mu\text{A}$ e $I_{h5}=0\mu\text{A}$). Na Figura 4.4(b) são apresentadas as seguintes correntes de saída: a corrente resultante do somatório do bloco escalonador ($I_{\sum f^*}=I_x$); a corrente resultante do somatório dos graus de ativação ($I_{\sum f}=I_w$) e a corrente $I_y=5\mu\text{A}$. Na Figura 4.4(c) é apresentada a corrente de saída do circuito defuzificador I_{OUT} .

Comparado ao valor calculado na Equação (4.2), o erro de simulação do circuito defuzificador é de 0,63%. Devido a estes resultados, mais uma vez ficou constatado que o circuito projetado comporta-se como um circuito defuzificador que utiliza o método da altura.

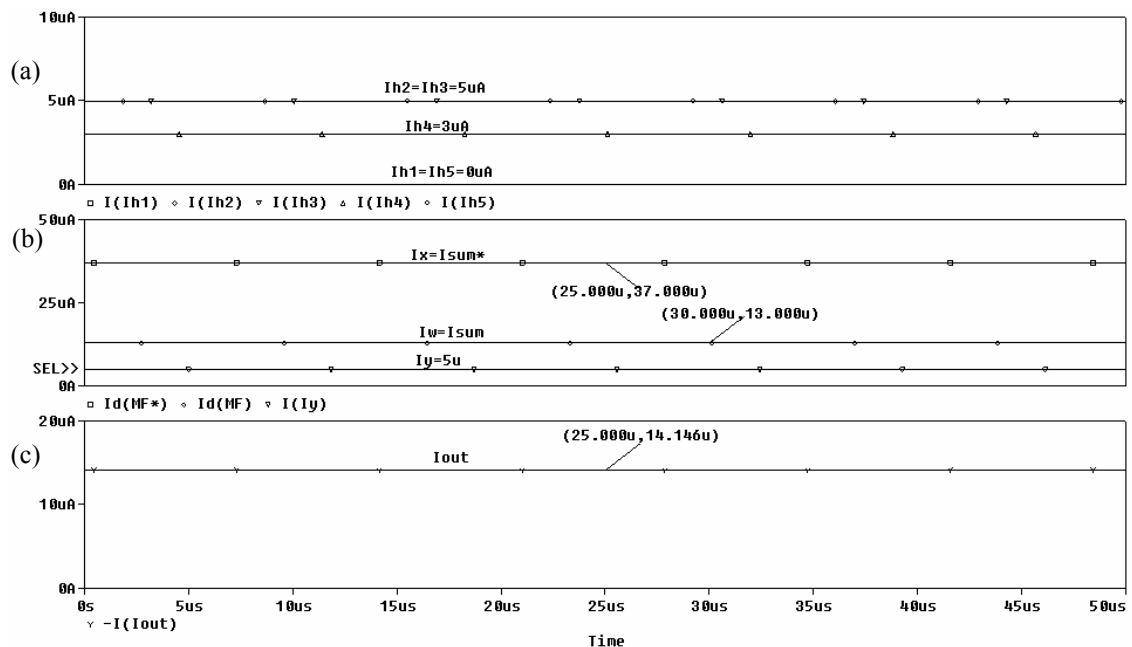


Figura 4.4: Resultado de simulação do circuito defuzificador para $I_{h2}=5$, $I_{h3}=5$ e $I_{h4}=3(\mu\text{A})$.

IV.3 Resultados dos testes dos blocos do defuzificador com parasitas

Neste ponto é apresentado o resultado dos testes com parasitas, que propiciam uma verificação mais exata do real comportamento do circuito, pois estes são obtidos a partir dos modelos disponibilizados pelo fabricante. Estes modelos possibilitam uma verificação, bastante próxima, dos resultados obtidos, uma vez o circuito implementado. Através destes modelos, conseguiu-se inclusive, identificar o comportamento do dispositivo projetado de uma forma mais próxima da realidade do que, se estivesse utilizando transistores integrados fornecidos pelos fabricantes em montagens em *breadboard*, pois as capacitância e resistência da placa de montagem influenciam no resultado final que a ser obtido. Deste modo, através deste mecanismo, conseguiu-se identificar o comportamento do circuito projetado com maior exatidão em relação ao que se terá quando a sua forma integrada.

As capacitâncias e resistências parasitas foram extraídos por meio do *software* Calibre da Mentor, e a simulação foi realizada utilizando do *software* SPICE, o *netlist* do circuito completo está no Apêndice E.

A seguir, será apresentado o resultado da simulação do circuito defuzificador, realizado no *software* SPICE, e utilizando os parâmetros da Tabela 4.3.

Tabela 4.3: Principais características do circuito defuzificador.

Número de entrada	05
$I_{h1}, I_{h2}, I_{h3}, I_{h4}$ e I_{h5}	[0, 10] (μA)
R_{carga}	100(K Ω)
Número de saída	01
Área de silício ocupada	0,042 x 0,813mm ²
Número de transistores	98
Tecnologia	CMOS 0,35 μm AMS

Na parte superior da Figura 4.5 são apresentadas as correntes de entrada do circuito: I_{h1} , I_{h2} , I_{h3} , I_{h4} e I_{h5} variando entre $[0\mu\text{A}, 10\mu\text{A}]$. Na parte inferior é apresentado o resultado simulado do circuito defuzificador (I_{OUT}) com parasitas, o resultado simulado do circuito defuzificador (I_{OUT}) utilizando os modelos do fabricante e o seu valor calculado, variando entre $[5\mu\text{A}, 15\mu\text{A}]$.

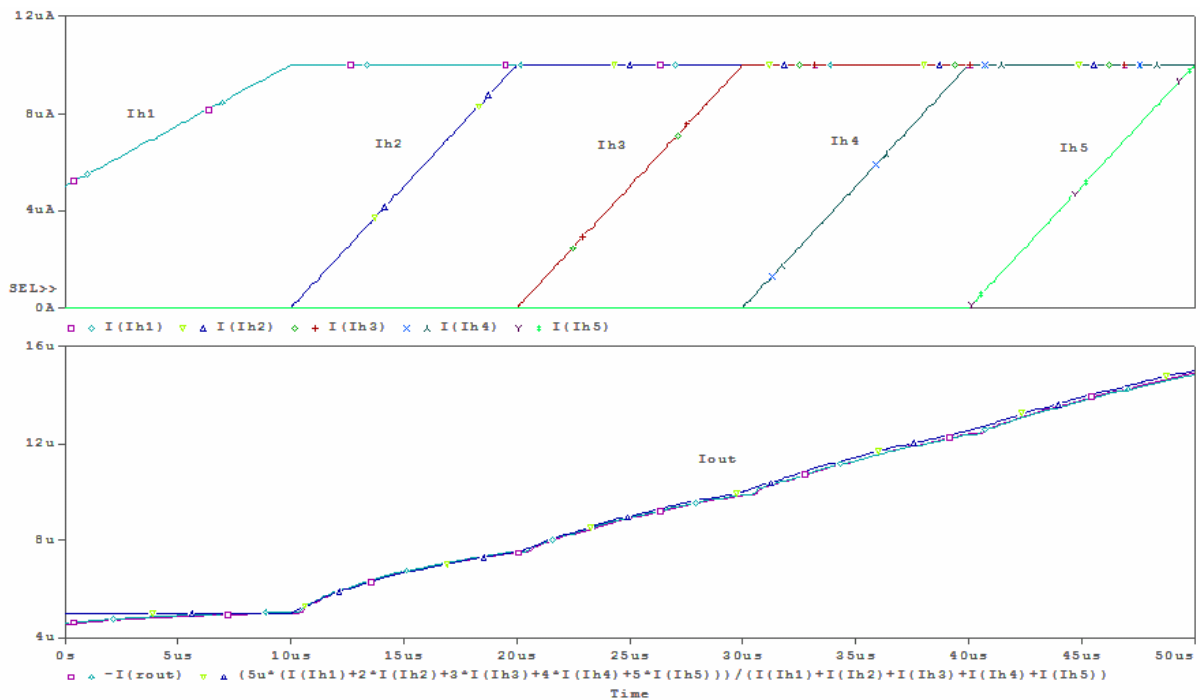


Figura 4.5: Resultado de simulação do circuito defuzificador.

Os resultados obtidos nas curvas da Figura 4.5 comparadas ao seu valor calculado, são apresentados na Tabela 4.4. Os valores calculados do circuito defuzificador foram obtidos através da Equação (4.1), onde:

Tabela 4.4: Resultado do circuito defuzificador com parasitas.

I_{h1}	I_{h2}	I_{h3}	I_{h4}	I_{h5}	Valor Calculado	Valor Simulado	Erro(%)
$10\mu\text{A}$	$0\mu\text{A}$	$0\mu\text{A}$	$0\mu\text{A}$	$0\mu\text{A}$	$5,0\mu\text{A}$	$5,03\mu\text{A}$	0,60%
$10\mu\text{A}$	$10\mu\text{A}$	$0\mu\text{A}$	$0\mu\text{A}$	$0\mu\text{A}$	$7,5\mu\text{A}$	$7,51\mu\text{A}$	0,13%
$10\mu\text{A}$	$10\mu\text{A}$	$10\mu\text{A}$	$0\mu\text{A}$	$0\mu\text{A}$	$10,0\mu\text{A}$	$9,90\mu\text{A}$	1,00%
$10\mu\text{A}$	$10\mu\text{A}$	$10\mu\text{A}$	$10\mu\text{A}$	$0\mu\text{A}$	$12,5\mu\text{A}$	$12,36\mu\text{A}$	1,13%
$10\mu\text{A}$	$10\mu\text{A}$	$10\mu\text{A}$	$10\mu\text{A}$	$10\mu\text{A}$	$15,0\mu\text{A}$	$14,81\mu\text{A}$	1,28%

De acordo com os resultados simulados, apresentados na Figura 4.5 e na Tabela 4.4, o circuito apresentou erro de simulação menor que 2%, que mostra que o circuito defuzificador é viável de ser implementado.

IV.4 Comentários e Conclusões

Este capítulo apresentou a simulação do circuito defuzificador completo e o resultado simulado dos blocos funcionais do circuito defuzificador com capacitâncias e resistências parasitas. Os testes realizados em todos os circuitos desenvolvidos mostraram a viabilidade dos mesmos serem utilizados como parte de um circuito defuzificador.

Capítulo V: Conclusão e Trabalhos Futuros

V.1 Conclusão

Este trabalho apresentou uma nova arquitetura para um circuito defuzificador em modo corrente. Esta arquitetura propiciou projetar um dispositivo para atuar como bloco de saída de modo a compor, juntamente com outros blocos já implementados, um controlador difuso completo.

A arquitetura proposta mostrou-se ser eficiente e de fácil implementação. Por meio do seu uso, conseguiu-se uma minimização da complexidade do circuito defuzificador e uma maior precisão nos resultados, além da diminuição do consumo de potência. O mais importante, porém, é que a mesma permitiu a implementação do circuito defuzificador, como pretendido inicialmente, e que pode ser constatado pelos resultados apresentados.

Esta arquitetura propicia a implementação de circuitos defuzificadores por meio da associação de módulos. Bastando variar o número de módulos dos circuitos escalonadores, pode-se trabalhar com um número maior de regras no controlador difuso. Cada módulo do circuito escalonador, por ser constituído apenas de espelho de corrente, torna a implementação desses novos módulos bastante simples; podendo-se, inclusive, projetar-se uma biblioteca e deixar estes blocos prontos para serem utilizados quando deles se necessitar.

Em relação ao projeto de cada bloco que compõe o circuito defuzificador, separadamente, pode-se verificar, pelos resultados dos mesmos, que se comportaram conforme o desejado inicialmente, mostrando que os seus projetos foram realizados de modo satisfatório. Pode-se destacar os seguintes pontos em relação à arquitetura e à técnica de projeto utilizada para cada um deles:

- O circuito multiplicador-divisor utilizando o princípio translinear possibilitou o aumento da velocidade da resposta dos transistores, pois os mesmos trabalham no modo corrente. Além disso, este princípio tornou esse circuito praticamente insensível às variações térmicas, o que contribuiu para a redução deste tipo de variação no circuito defuzificador como um todo.

O projeto do circuito multiplicador-divisor foi realizado para que o mesmo trabalhasse com correntes de até $150\mu\text{A}$. Isto permite que, modificando o circuito projetado, possa ser montada uma matriz de regras de 7×7 , para 4 regras ativas simultaneamente. Ou seja, apesar de o circuito ter sido inicialmente projetado para um sistema de 25 regras, o mesmo poderá ser utilizado para um sistema de 49 regras sem qualquer modificação.

- O uso da topologia do tipo espelhos de corrente na implementação dos circuitos escalonadores mostrou-se adequada, principalmente em função de sua facilidade de implementação. Como esta topologia de circuito é considerada a forma mais simples de um circuito translinear, a diminuição da sensibilidade à variação da temperatura e o aumento da velocidade de resposta dos transistores também podem ser verificadas nos circuitos implementados. Além disso, conseguiu-se uma diminuição do erro de espelhamento por meio de ligações em paralelo dos transistores que o compõe, ao invés de simplesmente do aumento da largura do canal dos transistores CMOS.

A topologia do tipo cascode, escolhida para o projeto dos circuitos, possibilitou também a diminuição dos erros de espelhamento em função do aumento de sua resistência de saída.

- O projeto dos circuitos em modo corrente permitiu a implementação dos somadores através, apenas, da união dos drenos dos transistores de saída dos circuitos escalonadores. Ou seja, não foi necessário o uso de transistores para implementar um circuito que realizasse a função prevista na arquitetura proposta.

Finalmente, como sugestão para trabalhos futuros, fica a proposta da implementação em uma única pastilha de silício um microprocessador baseado em lógica difusa; aumentado-se, se possível, o número de regras que possam vir a ser implementadas no sistema de controle. Outra sugestão é a confecção e convalidação de uma biblioteca de células para implementação de circuitos defuzificadores que possam ser projetados facilmente, de modo que venham a constituir o bloco de saída de dispositivos que trabalhem com maior número de funções de pertinência.

E também, a caracterização e teste do circuito defuzificador integrado. Para a caracterização do circuito defuzificador serão utilizados os seguintes equipamentos: HP 33120A – gerador de função; HP E3631A – fonte programável; HP 54603B – osciloscópio e PC Pentium 4 – equipamento para realizar a aquisição de dados.

Referência bibliográfica

- [Alle02] ALLEN, P.; HOLBERG, D., **CMOS analog circuit design**, Oxford University Press, New York, Segunda edição, ISBN:0-19-511644-5, 2002.
- [Amir04] AMIRKHAZADEH *et all*, *A mixed-signal current-mode fuzzy logic controller*, International Journal of Electronics and Communications, Elsevier, Maio 2004, pp. 1-8.
- [AMS04] AMS, **0.35 μ m CMOS C35 Process Parameters**, Setembro 2004, Austriamicrosystems.
- [Ang94] ANGULO R. *et all*, *Low voltage current-mode voltage-mode min and max circuit building blocks for analog CMOS fuzzy processors*, Proceedings: 3rd International Conference on Fuzzy Logic, Neural Networks and Soft Computing, Japan, 1994.
- [Ang00] ANGULO, R. *et all.*, *Compact modular expandable analog defuzzifier using multiple input floating gate transistor transconductance multipliers*, ISCAS 2000 - IEEE International Symposium on Circuits and Systems, Maio 2000, Geneva, Switzerland, vol.5, pp.381-384.
- [Apt96] APTRONIX INCORPORATED [online], <http://www.aptronix.com/fuzzynet>, Revised: 1996.
- [Bab99] BABUSKA, R.; VERBRUGGEN, H.; HELLENDORRN, H., *Promising fuzzy modeling and control methodologies for industrial applications*, Proceedings European Symposium on Intelligent Techniques, ESIT'99, Crete, Greece, Junho 1999.

- [Bak97] BAKER, J.; LI, H.; BOYCE, D., **CMOS: Circuit design, layout, and simulation**, IEEE Press Series on Microelectronic Systems, ISBN: 0-7803-3416-7, 1997.
- [Bat95] BATURONE, I.; SÁNCHEZ-SOLANO, S.; BARRIGA, A.; HUERTAS, J. L., *Implementation of inference/defuzzification methods via continuous-time analog circuits*, Proc. 6th International Fuzzy Systems Association World Congress, vol. 2, pp. 623-626, São Paulo, Jul. 1995.
- [Bat97] BATURONE, I. *et all*, *Implementation of CMOS fuzzy controllers as mixed-signal integrated circuits*, IEEE Transactions on Fuzzy Systems, vol. 5, no. 1, Fevereiro 1997, pp. 1-19.
- [Berk97] BERKAN, R. C.; TRUBATCH, S. L., **Fuzzy systems design principles: building fuzzy IF-THEN rule bases**, IEEE Press, 1997, ISBN: 0-7803-1151-5.
- [Bou98] BOURAS S. *et all*, *Mixed analog-digital fuzzy logic controller with continuous-amplitude fuzzy inference and defuzzification*, IEEE Transactions on Fuzzy Systems, vol. 6, no 2, Maio 1998, pp. 205-215.
- [Cam05] CAMENZIND, H., **Designing analog chips**, Janeiro 2005, <http://www.designinganalogchips.com>.
- [Chen97] CHEN, C.; HUANG, C.; LIU B., *Current-mode defuzzifier circuit to realize the centroid strategy*, IEE Proc. - Circuits Device Syst., vol. 144, no. 5, Outubro 1997
- [Dria96] DRIANKOV, D.; HELLENDORRN, H.; REINFRANK, M., **An introduction to fuzzy control**, Second Edition, Springer , ISBN: 3-540-60691-2, 1996.
- [Eich96] EICHFELD *et all*, *A 12b general purpose fuzzy logic controller chip*, IEEE Transactions on Fuzzy Systems, vol. 4, no. 4, Novembro 1996, pp. 460-475.

- [Eis94] EISELE, M., *et all.*, *Hardware realization of fast defuzzification by adaptative integration*, IEEE, 1994, pp. 318 – 323.
- [El98] EL-HAWARY, M. E., **Electric Power Applications of Fuzzy Systems**, IEEE Press Series on Power Engineering, ISBN:0-7803-1197-3, 1998.
- [Gilb96] GILBERT, B., *Translinear circuits: an historical overview*, Analog Integrated Circuits and Signal Processing, 9, Kluwer Academic Publishers, 1996, pp. 95-118.
- [Guo96] GUO S. *et all.*, *Design and application of an analog fuzzy logic controller*, IEEE Transactions on Fuzzy Systems, vol. 4, no. 4, Novembro 1996, pp. 429-438.
- [Guo98] GUO S.; PETERS L., *A high speed fuzzy co-processor implemented in analogue/digital technique*, Computers & Electrical Engineering, 24, 1998, pp. 89-98.
- [Hell92] HELLENDORRN, H.; THOMAS, C., *Defuzzification in fuzzy controllers*, Internal Report SICSL-92/3 Siemens AG, München, 1992.
- [Hell93] HELLENDORRN, H.; THOMAS, C., *Defuzzification in fuzzy controllers*, Journal of Intelligent and Fuzzy Systems, vol. 1, pp.109-123.
- [Hell95] HELLENDORRN, H.; THOMAS, C., *On quality defuzzification: theory and application example*, Z. Bien and K. C. Min.(eds), Fuzzy Logic and its Applications, Information Sciences, and Intelligent Systems Journal of Intelligent and Fuzzy Systems, Kluwer Academic Publishers, 1995, vol. 1, pp.109-123
- [Hue96] HUERTAS, J. L. *et all*, *Integrated circuit implementation of fuzzy controllers*, IEEE Journal of Solid State Circuits, vol. 31, no. 7, Julho 1996, pp.1051-1058.
- [Jager95] JAGER, R., **Fuzzy logic in control**, ISBN:90-9008318-9, 1995.

- [Kan98] KANDEL, A.; LANGHOLZ, G., **Fuzzy hardware architecture and applications**, Kluwer Academic Publishers, 1998, ISBN: 0-7923-8029-0.
- [Klir95] KLIR, G. J.; YUAN, B., **Fuzzy sets and fuzzy logic: theory and applications**, Prentice Hall P T R, ISBN: 0-13-101171-5, 1995.
- [Land93] LANDOLT, O., *Efficient analog CMOS implementation of fuzzy rules by direct synthesis of multidimensional fuzzy subspaces*, in Proc FUZZ-IEEE, San Francisco, CA, 1993, pp. 453 - 458.
- [Lark85] LARKIN, L. I., *A fuzzy logic controller for aircraft flight control*, Industrial Applications of Fuzzy Control, M. Sugeno ed., Amsterdam, 1985, pp. 87 - 104 .
- [Lee90A] LEE, C., *Fuzzy logic in control systems: fuzzy logic controller – Part I*, IEEE Transactions on Systems, Man, and Cybernetics, vol. 20, no. 2, Março/Abril 1990, pp. 404-418.
- [Lee90B] LEE, C., *Fuzzy logic in control systems: fuzzy logic controller – Part II*, IEEE Transactions on Systems, Man, and Cybernetics, vol. 20, no. 2, Março/Abril 1990, pp. 419-435.
- [Lem93A] LEMAITRE, L. *et all.*, *Synthesis and design automation of analog fuzzy logic VLSI circuits*, Proc. IEEE SMVL, Sacramento CA, Maio 1993, pp. 74-79.
- [Lem93A] LEMAITRE, L. *et all.*, *Fuzzy logic functions synthesis: a CMOS current mirror based solution*, Proc. IEEE ISCAS'93, Chicago, Maio 1993, pp. 2015-2018.
- [Lem94] LEMAITRE, L. *et all.*, *Analysis and design of CMOS fuzzy logic controller in current mode*, IEEE Journal of Solid State Circuits, vol. 29, no. 3, Março 1994, pp. 317-322.

- [Linz02] FUZZY LOGIC LABORATORIUM LINZ [online], <http://www.flll.uni-linz.ac.at>, 2002
- [Liu94] LIU, B.; HUANG, C.; WU, H., *Modular current-mode defuzzifier circuit for fuzzy logic controllers*, Electronics Letters, 4 Agosto 1994, vol. 30, no. 16, pp. 1287 – 1288.
- [Lop99] LÓPEZ-MARTIN, A.; CARLOSENA, A., *Geometric-mean based current-mode CMOS multiplier/divider*, In Proc. of IEEE Int. Symp. on Circuits and Systems, Orlando, FL, vol. I, 1999, pp. 342-345.
- [Lop01] LÓPEZ-MARTIN, A.; CARLOSENA, A., *Current-mode multiplier/divider circuits based on the MOS translinear principle*, Analog Integrated Circuits and Signal Processing, 28, 2001, Kluwer Academic Publishers, pp. 265-278.
- [Malo01] MALOBERTI, F., **Analog design for CMOS VLSI**, Kluwer Academic Publishers, New York, 2001
- [Man93] MAMDANI, E. H., *Twenty years of fuzzy control: experiences gained and lessons learnt*, IEEE, ISBN: 0-7803-0614-7, 1993, pp. 19-24.
- [Mar97] MARTIN, K.; JOHNS, D., **Analog integrated circuit design**, John Wiles & Sons, ISBN: 0-471-14448-7, 1997.
- [Mead89] MEAD, C., *Analog VLSI and neural systems*, Reading, MA: Addison-Wesley, 1989.
- [Men93] MENDEL, J. M., *Fuzzy logic systems for engineering: a tutorial*, Proceedings of the IEEE, vol. 83, no. 3, Março 1993, pp. 345-377.
- [Ment03] MENTOR, **IC Design: concept to tape out student workbook**, Janeiro 2003, Menthor Graphics.

- [Mes02] MESQUITA, L., **Arquiteturas programáveis de uma máquina de inferência para uso em microprocessador fuzzy em tecnologia CMOS**, 2002, Tese de Doutorado – Instituto Tecnológico de Aeronáutica, São José dos Campos, pp. 160.
- [Miki93] MIKI, T. *et all*, *Silicon implementation for a novel high-speed fuzzy inference engine, mega-flips analog fuzzy processor*, J. Intelligent & Fuzzy Systems, vol. 1, no. 1, 1993, pp. 27-42.
- [Miki95] MIKI, T.; YAMAKAWA, T., *Fuzzy inference on an analog fuzzy chip*, IEEE, vol.15, no. 4, Agosto 1995, pp. 8-18.
- [Miki97] MIKI, T.; YAMAKAWA, T., *An analogue defuzzifier based on current mirror technique*, IEEE, 1997, pp. 889-894.
- [Muld98] MULDER, J. *et all*., *A 3.3V current-controlled $\sqrt{}$ domain oscillator*, Analog Integrated Circuits and Signal Processing, 16, Kluwer Academic Publishers, 1998, pp. 17-28.
- [Omron] OMRON [online], <http://www.omron.com.br>.
- [Pam95] PAMMU, S.; QUIGLEY, S., *Novel analogue CMOS defuzzification circuit*, IEE Proc. - Circuits Devices Syst., vol. 142, no. 3, Junho 1995, pp. 173 178.
- [Ped98] PEDRYCZ, W.; GOMIDE, F., **An introduction to fuzzy sets: analysis and design**, MIT Press, ISBN: 0-262-16171-0, 1998.
- [Pet95] PETERS L. *et all*., *A novel analog fuzzy controller for intelligent sensors*, Fuzzy Set and Systems, 70, 1995, pp. 235-247.
- [Psp91] **PSpice – Circuits analysis**, MicroSim Corporation, 1991.
- [Ras95] RASHID, M. H., **Spice for circuits and electronics using PSpice**, Prentice Hall, 1995.

- [Roj] ROJAS, I. *et all.*, *Continuous-time analog defuzzifier for product-sum based implementation*, Granada Spain, pp. 324 – 330.
- [Sam02] SAMMAN, F.; SADJAD, R., *Analog MOS circuit design for reconfigurable fuzzy logic controller*, IEEE, 2002, pp. 151-156.
- [Sas92] SASAKI M. *et all*, *Current mode analog fuzzy hardware with voltage input interface and normalization locked loop*, IEICE Trans. Fundamentals, vol. E75-A, no. 6, Junho 1992, pp. 650-654.
- [See91] SEEVINCK, E.; WIEGERINK, R. J., *Generalized translinear circuit principle*, IEEE Journal of Solid-State Circuits, vol. 26, 8, Agosto 1991, pp. 1098 – 1102.
- [Shaw99] SHAW, I. S.; SIMÕES, M. G., **Controle e modelagem fuzzy**, Editora Edigard Blücher LTDA , 1999.
- [Tang95] TANG, H.; LIN H., *Defuzzifier circuits using resonant tunneling diodes*, IEEE, 1995, pp. 981-984.
- [Tou93] TOUMAZOU, C.; LIDGEY, F. J.; HAIGH, D. G., **Analogue IC design: the current-mode approach**, IEE Circuits and Systems series 2, ISBN: 0-86341-215-7, 1993.
- [Tsi99] TSIVIDIS, Y., **Operation and modeling of the MOS transistor**, Second edition, McGraw-Hill, ISBN: 0-07-065523-5, 1999.
- [Tsuk95] TSUKANO, K. *et all.*, *Synthesis of operational transconductance amplifier-based analog fuzzy functional blocks and its applications*, IEEE Transactions on Fuzzy Systems, vol. 3, no. 1, Fevereiro 1995, pp. 61-68.

- [Vaz99] VAZQUEZ, A. *et all*, *A modular programmable CMOS analog fuzzy controller chip*, IEEE Transactions on Circuits and Systems- II, Analog and Digital Signal Processing, vol. 46, no. 3, Março 1999, pp. 251-265.
- [Wat90] WATANABE, H. *et all.*, *A VLSI fuzzy logic controller with reconfigurable cascadable architecture*, IEEE Journal of Solid State Circuits, vol. 25, no. 2, Abril 1990, pp. 376-382.
- [Wie93] WIEGERINK, R. J., **Analysis and synthesis of MOS translinear circuits**, Kluwer Academic Publishers, ISBN:0-7923-9390-2, 1993.
- [Wil98] WILAMOWSKI, B., *Analog VLSI hardware for fuzzy systems*, IEEE Industrial Electronics Society, IEEE Trans. on Fuzzy Systems, 6, 1998, pp. 205–215.
- [Yam93] YAMAKAWA, T., *A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control*, IEEE Trans. on Neural Networks, vol. 4, no.3, Maio 1993, pp. 496 – 521.
- [Yam95] YAMAKAWA, T. *et. all*, *Fuzzy development*, IEEE, 1995.
- [Yasu85] YASUNOBU, S.; MIYAMOTO, S., *Automatic train operation by predictive fuzzy control*, Industrial Applications of Fuzzy Control, M. Sugeno Ed., Amsterdam, 1985, pp. 1-18.
- [Yen94] YEN, J. *et. all*, **Industrial applications of fuzzy logic and intelligent systems**, IEEE Press, 1994, ISBN: 0-7803-1048-9.
- [Zad65] ZADEH, L. A., *Fuzzy sets*, Information Sciences, 8, 1965, pp. 338-353.
- [Zad73] ZADEH, L. A., *Outline of a new approach to the analysis of complex systems and decision processes*, IEEE Transactions on Systems, Man, and Cybernetics, vol. 3, no. 1, Janeiro 1973, pp. 28-44.

- [Zad78] ZADEH, L. A., *Fuzzy sets as a basis for a theory of possibility*, Fuzzy Sets and Systems, no. 1, 1978, pp. 03-28.
- [Zri00] ZRILIC, D. *et all.*, *Hardware implementations of fuzzy membership functions operations and inference*, Computers and Electrical Engineering, 26, 2000, pp. 85-105.

Apêndice A: Artigos publicados relacionados com o tema proposto.

1. ROCHA, P.; SAOTOME, O.; BOTURA JR, G.; MESQUITA, L. *Design of an analog defuzzifier in CMOS technology*. In: UNINDU 2005 - I INTERNATIONAL CONGRESS UNIVERSITY – INDUSTRY COOPERATION, Ubatuba, Set. 2005.

Apêndice B: Lógica difusa

B.1 Conjunto difuso

Seja um conjunto clássico (*crisp*) A , a função de pertinência $\mu_A(x)$ é dada por:

$$\mu_A(x) = \begin{cases} 1 & x \in A \\ 0 & x \notin A \end{cases} \quad (\text{B.1})$$

Isto implicará que o elemento x é membro do conjunto A quando $\mu_A(x) = 1$ ou não, quando $\mu_A(x) = 0$. Graficamente, um exemplo de função de pertinência do conjunto clássico é mostrado na Figura B.1(a).

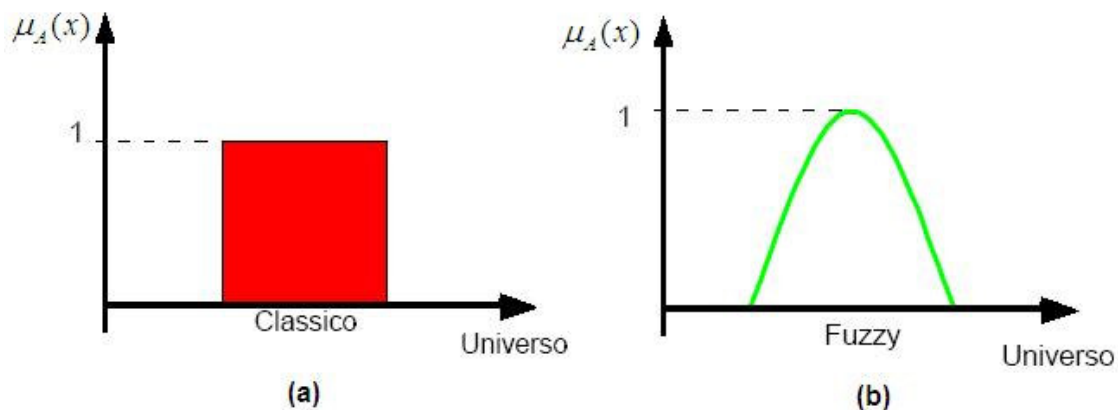


Figura B.1: Conjunto (a) Clássico (b) Fuzzy.

O conjunto difuso apresentado por Zadeh é um conjunto com grau de pertinência no intervalo real: $\mu_A(x) \in [0,1]$, Figura B.1(b). Seja um conjunto difuso A , do universo de discurso U , definido por uma função de pertinência $\mu_A(x)$. O conjunto difuso A pode ser representado por:

$$A = \{(x, \mu_A(x)) \mid x \in U\} \quad (\text{B.2})$$

Quando o universo de discurso U é contínuo, o conjunto difuso A é representado pela Equação (B.3). No caso do mesmo ser discreto, é representado pela Equação (B.4):

$$F = \int_U \mu_F(x) / x \quad (\text{B.3})$$

$$F = \sum_{i=1}^n \mu_F(x_i) / x_i \quad (\text{B.4})$$

Apresenta-se a seguir um exemplo de conjunto difuso: considere U representando temperatura, em graus Celsius. O conjunto A , que representa o conjunto de temperatura baixa, é dado por:

$$\mu_A(x) = \begin{cases} 0 & x \geq 25 \\ -0,1x + 2,5 & 15 < x < 25 \\ 1 & x \leq 15 \end{cases}$$

Graficamente, o conjunto A é mostrado na Figura B.2.

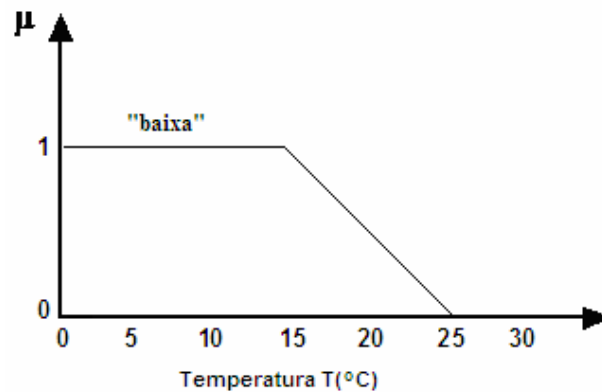


Figura B.2: Função de pertinência para o conjunto denominado temperatura baixa.

A seleção da forma da função de pertinência é subjetiva e depende da aplicação. Entretanto, as funções de pertinência na forma triangular e trapezoidal, são as mais utilizadas nas implementações em *hardware* [Ped98]. Os diferentes tipos de funções são apresentadas na Figura B.3:

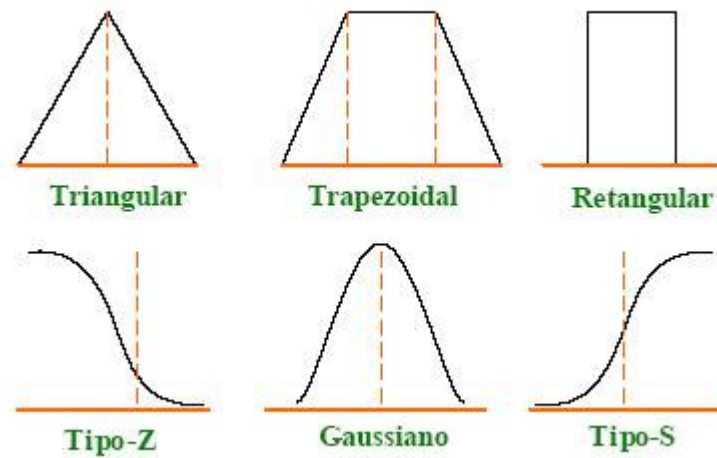


Figura B.3: Diferentes tipos de função de pertinência.

II.B.2 Propriedades dos conjuntos difusos

Os conjuntos difusos apresentam propriedades características que podem ser encontradas nos trabalhos [El98-Lee90A-Lee90B-Jager95]. Aqui são reproduzidas as principais para facilitar o entendimento do trabalho desenvolvido.

1. Suporte de um conjunto difuso: O suporte de um conjunto difuso A é um conjunto *crisp* que contém todos os elementos $x \in U$, desde que $\mu_A(x) > 0$. Ou seja,

$$\text{supp}(A) = \{x \in U \mid \mu_A(x) > 0\} \quad (\text{B.5})$$

Se o suporte de um conjunto difuso é finito, é chamado de *suporte compacto*.

2. Altura do conjunto difuso: A altura de um conjunto difuso A é o valor máximo da pertinência de x em U , sendo definida por:

$$\text{hgt}(A) = \sup_{x \in U} \mu_A(x) \quad (\text{B.6})$$

onde \sup denota a operação matemática *supremum* [Dria96], que será definida a seguir:

$$\alpha = \sup(A) \quad \text{se} \quad \forall x \in A : x \leq \alpha \quad \text{e} \quad \forall \varepsilon > 0 \exists x \in A : x > \alpha - \varepsilon \quad (\text{B.7})$$

Um conjunto difuso com uma altura igual a 1 é chamado *normal*. O conjunto difuso chamado *subnormal* é caracterizado por $\text{hgt}(A) < 1$.

3. Kernel: O *kernel* de um conjunto difuso A consiste de todos os elementos x cujo grau de pertinência é 1:

$$\text{ker}(A) = \{x \in U \mid \mu_A(x) = 1\} \quad (\text{B.8})$$

A Figura B.4 mostra a identificação da *altura*, *kernel* e *suporte* de um conjunto difuso.

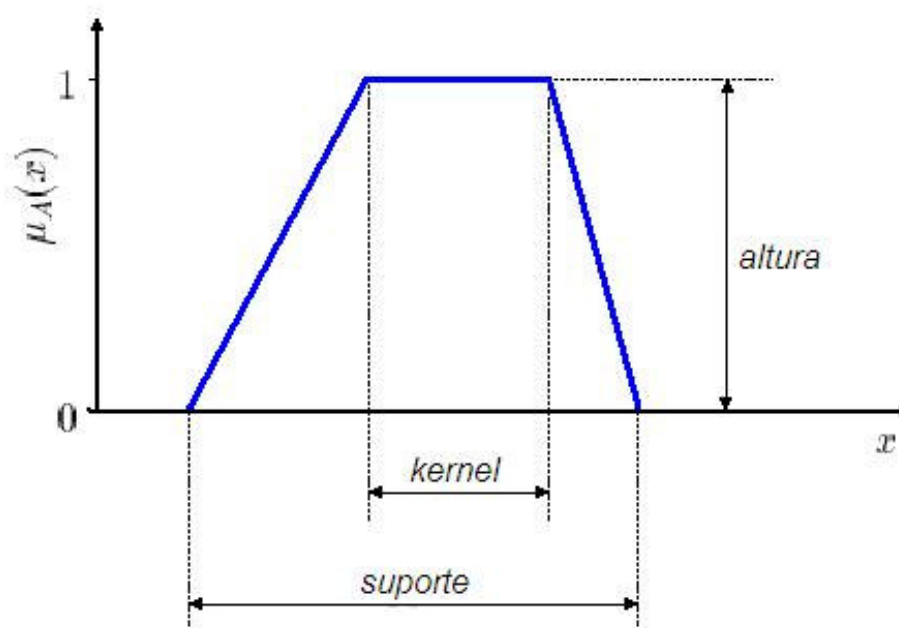


Figura B.4: *Altura, Kernel e Suporte de um conjunto difuso.*

4. Crossover point: O elemento $x \in U$, no qual $\mu_A(x) = 0,5$, é denominado de *crossover point*.

5. Singleton: Um conjunto A cujo suporte é um único ponto em U , com $\mu_A(x)=1$, é denominado de *singleton* difuso.

6. α -cut : O α -cut do conjunto difuso A é definido por:

$$\alpha\text{-cut}(A) = \{x \in U \mid \mu_A(x) \geq \alpha\} \quad (\text{B.9})$$

E o *strong* α -cut é definido por:

$$\bar{\alpha}\text{-cut}(A) = \{x \in U \mid \mu_A(x) > \alpha\} \quad (\text{B.10})$$

7. Convexidade: Um conjunto difuso A é convexo se a função de pertinência é monoliticamente crescente e/ou decrescente, sem qualquer ponto de descontinuidade.

A convexidade é expressa pela seguinte condição:

$$\mu_A(\lambda x_1 + (1 - \lambda)x_2) \geq \min(\mu_A(x_1), \mu_A(x_2)), x_1, x_2 \in X, \lambda \in [0,1] \quad (\text{B.11})$$

8. Variável lingüística: Uma *variável lingüística* é definida por três elementos principais: $(x, T(x), U)$, onde x é o nome da variável. Como exemplo: idade, velocidade, temperatura, etc. $T(x)$ é um conjunto de valores lingüísticos para os valores de x . No caso da variável lingüística temperatura $T(\text{temperatura})$, tem-se:

$$T(\text{temperatura}) = \{\text{frio, confortável, quente}\}$$

onde cada termo em $T(\text{temperatura})$ é caracterizado por um conjunto difuso em um universo de discurso $U = [0, 40]$. Os termos difusos apresentados anteriormente podem ser representados por conjuntos difusos cuja função de pertinência é mostrada na Figura B.5.

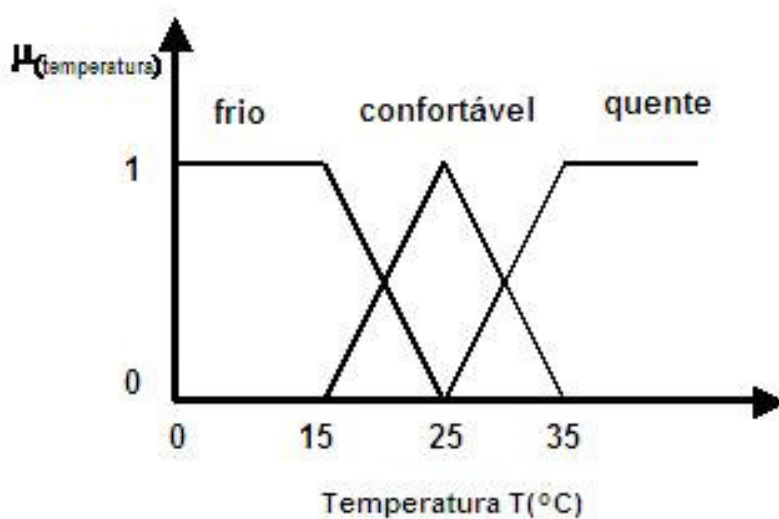


Figura B.5: Diagrama representando temperatura. “Temperatura” é a variável lingüística com três valores lingüísticos: “frio”, “confortável” e “quente”.

II.B.3 Operações entre conjuntos difusos

As operações com conjuntos difusos é um assunto bastante estudado e facilmente encontrado na literatura [Berk97]. Considerando dois conjuntos difusos arbitrários chamados A e B, no universo de discurso U, como mostrado na Figura B.6, pode-se definir as seguintes operações:

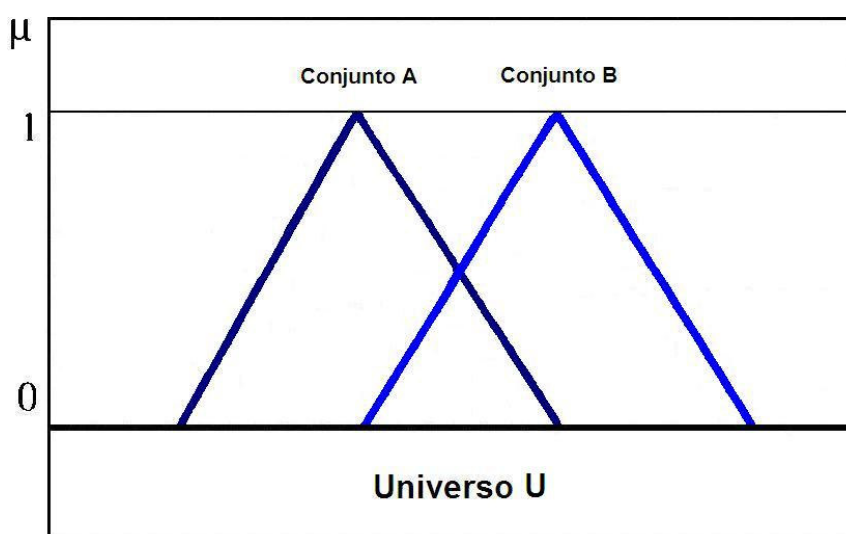


Figura B.6: Dois conjuntos difusos arbitrários no mesmo universo de discurso U.

II.B.3.1 Complemento do conjunto difuso

Seja um conjunto difuso A , o complemento do conjunto difuso é \bar{A} , com uma função de pertinência definida por:

$$\mu_{\bar{A}}(x) = 1 - \mu_A(x) \quad \forall x \in U \quad (\text{B.12})$$

O complemento do conjunto difuso A é apresentado na Figura B.7:

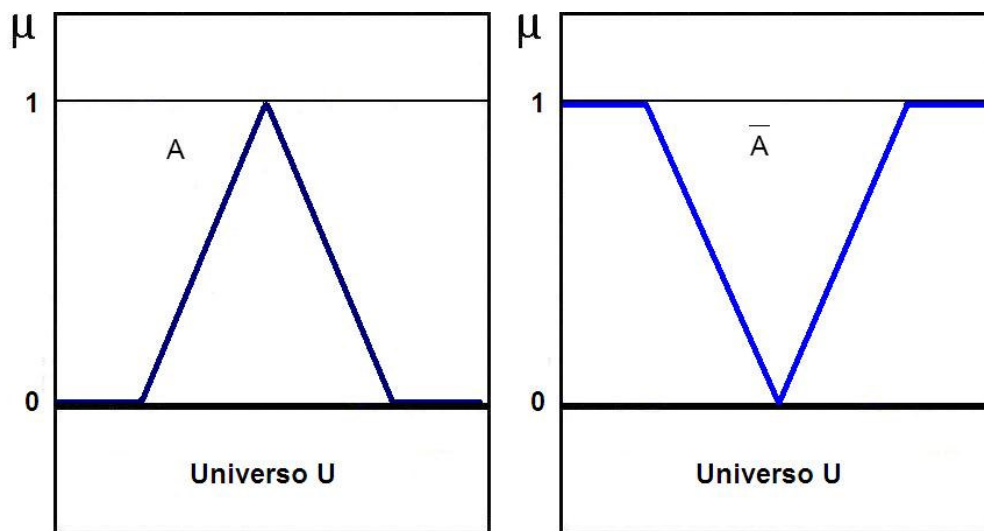


Figura B.7: Complemento do conjunto difuso A .

II.B.3.2 União

Seja um conjunto C a união dos conjuntos difusos A e B definidos sobre o universo de discurso U , mostrado na Figura B.8. A função de pertinência do novo conjunto difuso $\mu_C(x)$ é definida por:

$$\mu_C(x) = \mu_{A \cup B}(x) = \mu_A(x) \vee \mu_B(x) = \max(\mu_A(x), \mu_B(x)) \quad \forall x \in U \quad (\text{B.13})$$

onde \vee é o operador de máximo.

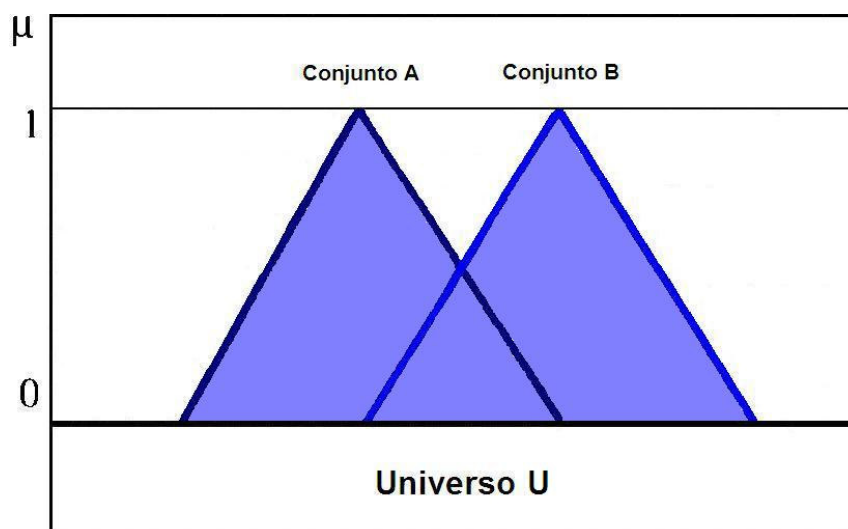


Figura B.8: Operação de união entre dois conjuntos difusos.

II.B.3.3 Interseção

Seja um conjunto C a interseção dos conjuntos difusos A e B definidos sobre o universo de discurso U , como mostrado na Figura B.9. A função de pertinência do novo conjunto difuso $\mu_C(x)$ é definida por:

$$\mu_C(x) = \mu_{A \cap B}(x) = \mu_A(x) \wedge \mu_B(x) = \min(\mu_A(x), \mu_B(x)) \quad \forall x \in U \quad (\text{B.14})$$

onde \wedge é a operação de mínimo.

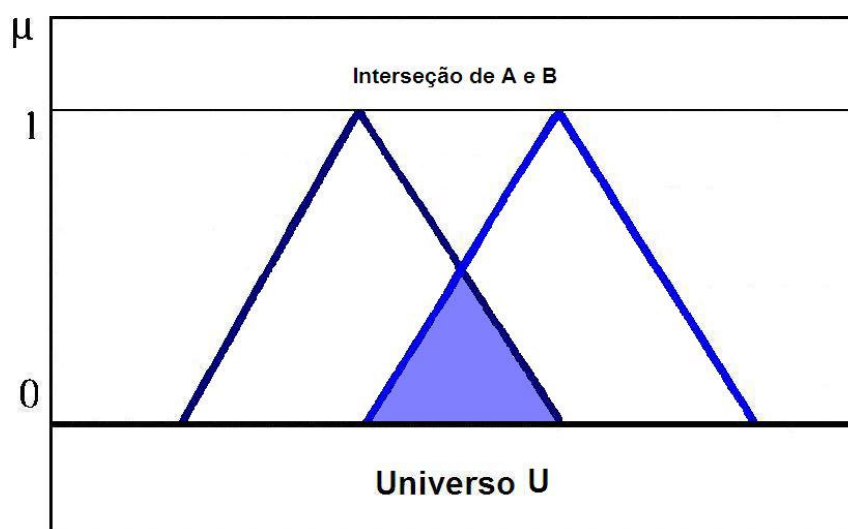


Figura B.9: Operação de interseção entre dois conjuntos difusos.

II.B.3.4 Outras operações algébricas

As operações de interseção e união denominadas produto algébrico e soma algébrica são ilustradas nas Figuras B.10 e B.11.

1 - Produto Algébrico

O produto algébrico dos conjuntos difusos A e B definidos sobre o mesmo universo de discurso U , é um novo conjunto difuso C , definido por:

$$\mu_C(x) = \mu_A(x) \cdot \mu_B(x) \quad (\text{B.15})$$

A Figura B.10 apresenta o produto algébrico de conjuntos difusos.

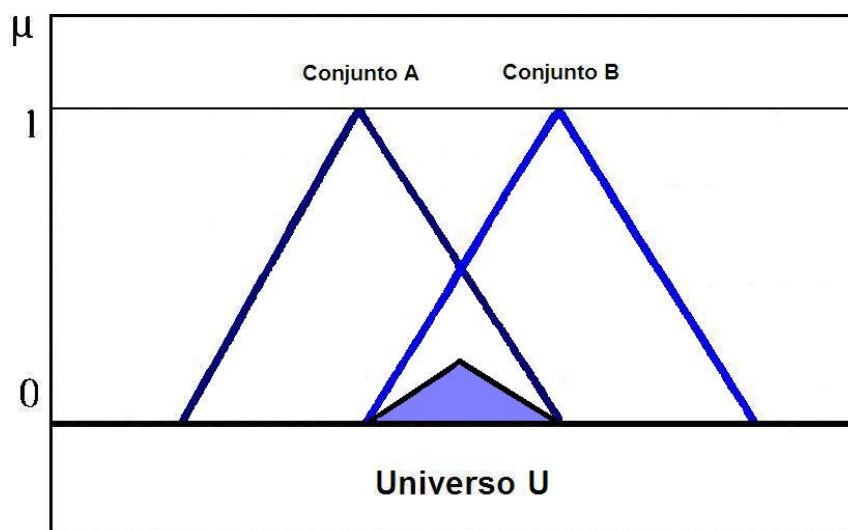


Figura B.10: Produto algébrico entre dois conjuntos difusos.

2 -Soma Algébrica

A soma algébrica dos conjuntos difusos sobre o universo de discurso U é um novo conjunto difuso C , dado por:

$$\mu_C(x) = \mu_A(x) + \mu_B(x) - \mu_A(x) \cdot \mu_B(x) \quad (\text{B.16})$$

A Figura B.11 apresenta o soma algébrica de conjuntos difusos.

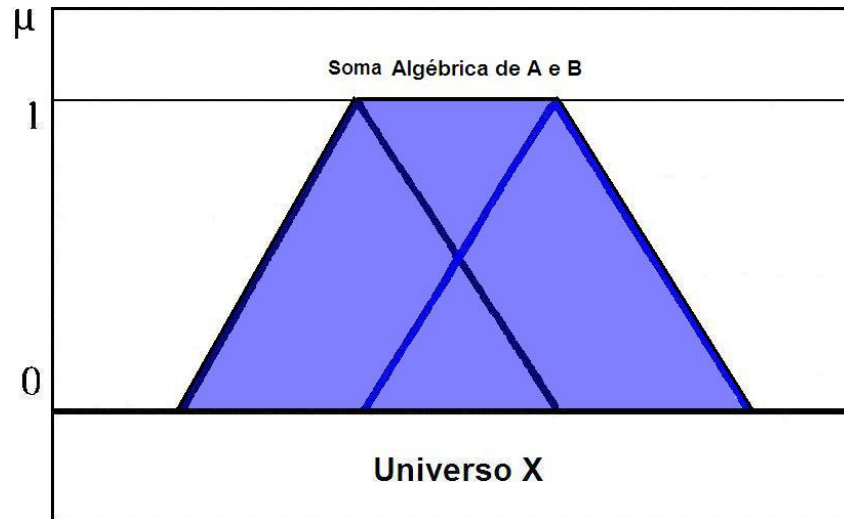


Figura B.11: Soma algébrica entre dois conjuntos difusos.

II.B.4 Relações difusas

Relações difusas representam o grau de presença ou ausência de associação entre dois conjuntos difusos. Considerando U e V como sendo dois universos de discurso Z . Uma relação difusa R é um conjunto difuso no espaço (universo de discurso) $U \times V$, ou seja, uma relação pode ser entendida como sendo um sub-conjunto do produto cartesiano $U \times V$. A função de pertinência $\mu_R(x, y)$ a caracteriza e a relação pode ser representada por um par ordenado, dado por:

$$R = U \times V = \{((x, y), \mu_R(x, y)) \mid (x, y) \in U \times V\} \quad (\text{B.17})$$

onde: $x \in U, y \in V$.

Para os conjuntos $A = \{x_1, x_2\}$ e $B = \{y_1, y_2, y_3\}$, sendo que $A \in U$ e $B \in V$. O produto cartesiano, que representa uma relação entre os conjuntos A e B , é dado por:

$$\mu_R(x, y) = \min(\mu(x), \mu(y)) = \begin{vmatrix} \min(x_1, y_1) & \min(x_1, y_2) & \min(x_1, y_3) \\ \min(x_2, y_1) & \min(x_2, y_2) & \min(x_2, y_3) \end{vmatrix} \quad (\text{B.18})$$

Observa-se que para se realizar o produto cartesiano entre dois conjuntos difusos, é utilizado o operador *t-norma*. No exemplo apresentado anteriormente, o operador utilizado foi o *min*.

II.B.5 Composição de relações difusas

Equações que representam relações difusas são muito importantes para se realizar a análise de sistemas difusos, bem como para se desenvolver projetos de controladores difusos. Inicialmente, será apresentada a composição realizada entre relações difusas [E198].

Considere duas relações difusas P em $X \times Y$ e Q em $Y \times Z$. A composição de P e Q , $P \circ Q$, é uma relação difusa em $X \times Z$ definida pela Equação (B.19).

$$P \circ Q = \mu_{P \circ Q}(x, z) = \sup_{y \in Y} \min[\mu_P(x, y), \mu_Q(y, z)] \quad (\text{B.19})$$

para todo $x \in X, z \in Z$. Onde *sup* indica a operação matemática *supremum* (Equação (B.7)).

Esta composição é denominada de *sup-min*. Se X, Y e Z são conjuntos discretos e finitos, a composição corresponde a operação *max-min* das matrizes P e Q . A operação é equivalente ao produto de duas matrizes, sendo a operação de produto substituída pelo operador *min* e a operação de soma substituída pelo operador *max*. Seja por exemplo, os conjuntos P e Q :

$$P = \begin{matrix} & \begin{matrix} Y_A & Y_B \end{matrix} \\ \begin{matrix} X_A \\ X_B \end{matrix} & \begin{bmatrix} 0,1 & 0,5 \\ 0,6 & 0,5 \end{bmatrix} \end{matrix} \quad Q = \begin{matrix} & \begin{matrix} Z_A & Z_B \end{matrix} \\ \begin{matrix} Y_A \\ Y_B \end{matrix} & \begin{bmatrix} 1,0 & 0,9 \\ 0,6 & 0,5 \end{bmatrix} \end{matrix} \quad (\text{B.20})$$

A composição de P e Q é dada por:

$$P \circ Q = [((0,1 \wedge 1,0) \vee (0,1 \wedge 0,6)) \quad ((0,1 \wedge 0,9) \vee (0,5 \wedge 0,5))] = [(0,1) \vee (0,1)) \quad ((0,1) \vee (0,5))]$$

$$P \circ Q = \begin{matrix} & \begin{matrix} Z_A & Z_B \end{matrix} \\ \begin{matrix} X_A \\ X_B \end{matrix} & \begin{bmatrix} 0,1 & 0,5 \\ 0,6 & 0,5 \end{bmatrix} \end{matrix} \quad (\text{B.21})$$

II.B.6 Inferência difusa

Um dos tipos mais importantes de inferência em sistemas de controle baseados em lógica difusa é o *modus ponens*. O método de inferência *modus ponens* é baseado em premissas e conclusões, como mostrado abaixo:

Conhecimento: **Se x é A então y é B**

Fato: x é A

Conseqüência: y é B

A conclusão é tomada comparando-se o efeito com a causa da regra. O conjunto das regras utilizado para caracterizar a estratégia de controle é denominado de base de conhecimento.

O sinal de saída do processo de inferência é obtido em função das regras e dos dados de entrada fornecidos. O controlador ativa todas as regras que compõem a sua base de conhecimento com graus de pertinência distintos, de acordo com o grau de pertinência associado a cada regra.

Sejam os conjuntos A e B . Uma relação entre estes conjuntos pode ser representada por uma função $y = f(x)$. Como mostrado na Figura B.12, dado um valor de x_a , é possível inferir a conclusão $y_a = f(x_a)$.

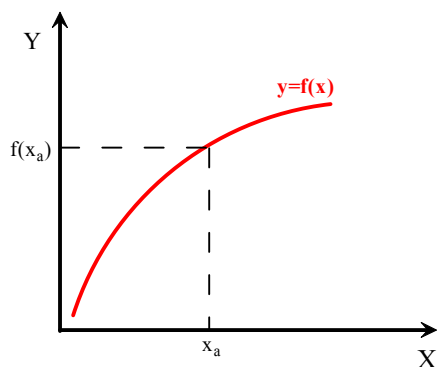


Figura B.12: Função relacional entre duas variáveis, onde $y=f(x)$.

Pode-se substituir a função $y = f(x)$ por uma relação R no plano $X \times Y$ e a variável de entrada por um conjunto de entrada $A \in X$. O resultado de inferência é o conjunto $B \in Y$, como mostrado na Figura B.13[Klir95].

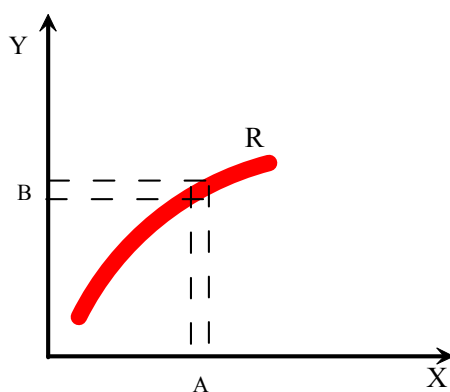


Figura B.13: Inferência dado pela Equação (B.2).

O resultado de inferência pode ser representado pela Equação (B.22), onde $\mu_A(x)$, $\mu_B(y)$ e $\mu_R(x,y)$, são funções características dos conjuntos A e B e a relação R respectivamente [Klir95].

$$\mu_B(y) = \sup_x \min[\mu_A(x), \mu_R(x, y)] \quad (\text{B.22})$$

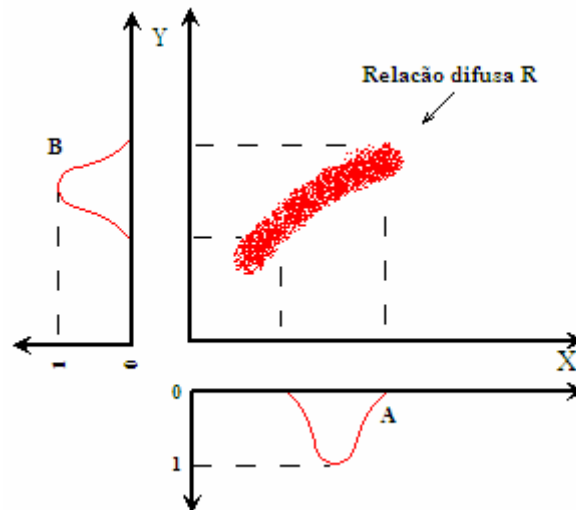


Figura B.14: Regra composicional de inferência.

Esta equação também pode ser escrita na forma matricial (Equação (B.23)) e é denominada *regra composicional de inferência* [Klir95], como apresentado na Figura B.14.

$$B = A \circ R \quad (\text{B.23})$$

A composição do conjunto difuso A em X e da relação binária difusa R no domínio discreto resulta em um conjunto B difuso em Y, cuja função de pertinência é dada por [Dria96]:

$$\mu_B(y) = \max_x \min[\mu_A(x), \mu_R(x, y)] \quad (\text{B.24})$$

A estratégia de inferência apresentada é denominada, também, de estratégia de inferência de Mandami ou método de *max-mín*. O resultado desta estratégia é a agregação (max) de dois conjuntos difusos ceifados, conforme a Figura B.15.

O método de inferência *max-produto* ou de Larsen é um outro método de inferência bastante usado na implementação de controladores difusos implementados em *hardware* [Lee90 A-B]. Quando o método de inferência proposto por Larsen é utilizado em controladores baseados em lógica difusa, a função de pertinência que representa a variável de saída do sistema será

escalonada pelo sinal produzido pelas premissas das regras existentes na base de conhecimento do referido controlador (Figura B.16). Em analogia ao método proposto por Mandami, pode-se mostrar a Equação (B.25) que representa o método proposto por Larsen.

$$\mu_{B'}(y) = \max_x \text{prod}[\mu_{A'}(x), \mu_R(x, y)] \quad (\text{B.25})$$

A diferença entre as duas máquinas de inferência Mandami e Larsen é ilustrada pelos exemplos das Figura B.15 e B.16.

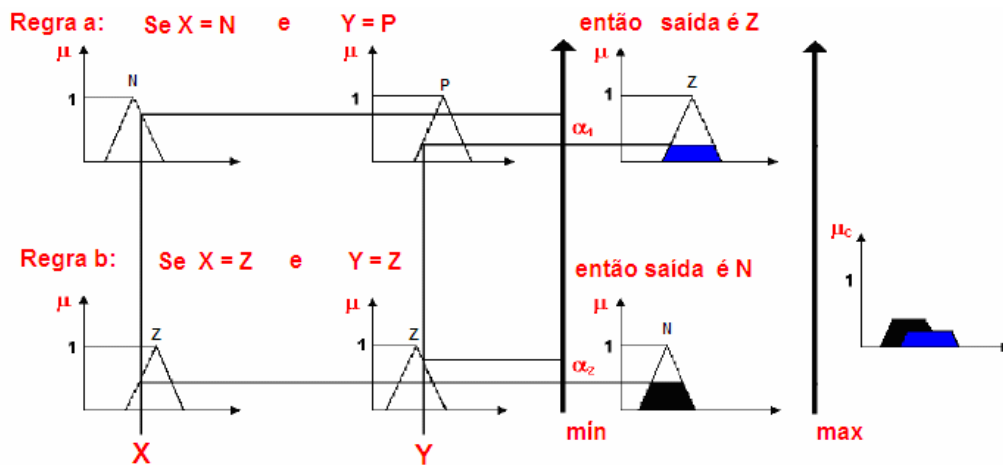


Figura B.15: Modelo clássico Mandami.

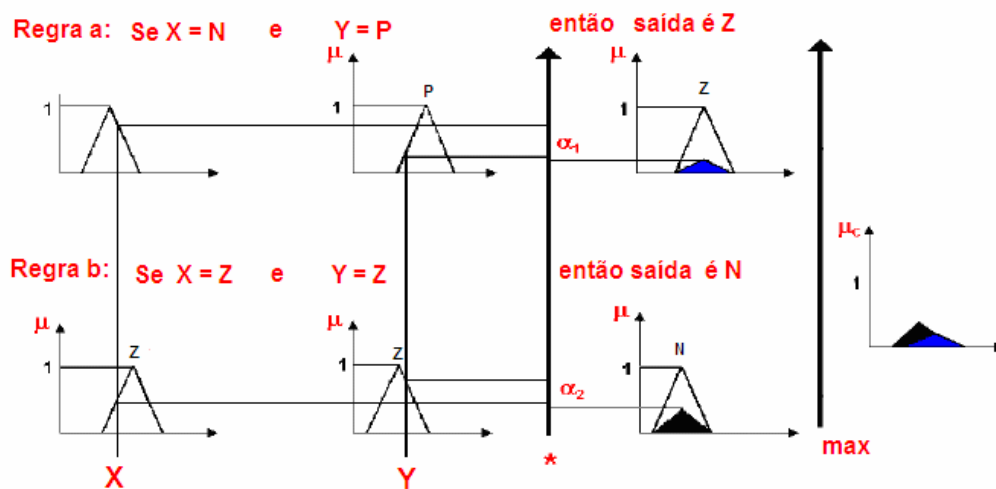


Figura B.16: Modelo clássico Larsen.

Apêndice C: Espelho de corrente

C.1 Introdução

O espelho de corrente é o elemento básico no projeto de circuitos integrados analógicos [MAR97 - Bak97 - Alle02]. Idealmente, a impedância de saída do espelho de corrente deve ser infinito e capaz de gerar uma corrente constante sobre uma grande variação de tensão.

C.2 Espelho de corrente simples

A implementação do espelho de corrente simples CMOS de canal N é mostrada na Figura C.1. A corrente I_1 corresponde ao valor de V_{GS1} . Como $V_{GS1}=V_{GS2}$, idealmente o valor da corrente I_0 será igual ou um múltiplo da corrente I_1 .

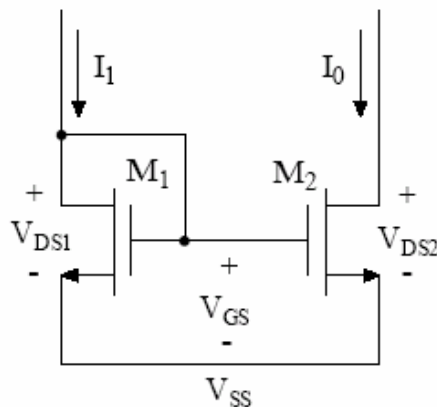


Figura C.1: *Espelho de corrente simples.*

Do circuito esquemático pode-se verificar que o transistor M_1 está operando na região de saturação pois $V_{DS1} = V_{GS1}$. Considere que $V_{DS2} > V_{GS2} - V_{T2}$ seja maior do que V_{T2} . Desse modo, o transistor M_2 também se encontra na região de saturação [Alle02]. A Equação (C.1) mostra a razão entre as correntes I_0 e I_1 .

$$\frac{I_0}{I_1} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \left(\frac{V_{GS2} - V_{T2}}{V_{GS1} - V_{T1}}\right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}}\right) \left(\frac{K_2}{K_1}\right) \quad (C.1)$$

onde: V_T =tensão de limiar

λ = parâmetro do efeito de modulação do comprimento do canal.

$$K = \mu_0 C_{ox} = \mu_0 \frac{\mathcal{E}_{ox}}{t_{ox}} = \text{parâmetro de transcondutância.}$$

Os transistores que formam um espelho de corrente são processados no mesmo circuito integrado e então pode-se considerar que todos os parâmetros físicos, tais como V_T e K , são idênticos para ambos os dispositivos que compõem o espelho. Considerando-se também que $V_{DS1} = V_{DS2}$, a razão de espelhamento deste circuito é dada por:

$$\frac{I_0}{I_1} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (C.2)$$

Pode-se verificar na Equação (C.2) que a razão de espelhamento do circuito espelho de corrente é somente função das dimensões físicas dos transistores utilizados e portanto tal razão é completamente controlada pelo projetista do mesmo.

Existem três efeitos que tornam o espelho de corrente diferente da situação ideal [Alle02], Equação (C.2). Estes efeitos são: 1- Efeitos de modulação de canal, 2- *Offset de threshold* entre dois transistores e 3- Descasamento geométrico.

C.2.1 Efeitos de modulação de canal

Considerando somente o efeito de modulação de canal, a Equação (C.1) se simplifica em:

$$\frac{I_0}{I_1} = \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (C.3)$$

Assumindo-se que o valor de λ é o mesmo para ambos os transistores, pode-se verificar através desta equação que a diferença de tensão entre dreno e fonte (V_{DS}) dos dois transistores pode causar um erro de espelhamento. Um espelho de corrente ideal deve mesmo valor de tensão de dreno e fonte e alta resistência de saída.

C.2.2 Offset da tensão de *threshold* entre dois transistores

Considerando somente o efeito de *offset* entre a tensão de *threshold* (ΔV_T) de dois transistores, a Equação (C.1) é reduzida a:

$$\frac{I_0}{I_1} = \left(\frac{V_{GS2} - V_{T2}}{V_{GS1} - V_{T1}} \right)^2 \quad (C.4)$$

Através da Equação (C.4), pode-se verificar que para valores altos de corrente, o erro de espelhamento diminui, porque quanto maior a corrente, maior será o valor de V_{GS} e para valores altos de V_{GS} o *offset* da tensão de *threshold* (ΔV_T) se torna desprezível.

C.2.3 Descasamento geométrico

O terceiro erro é o descasamento geométrico de dois dispositivos. Existindo diferenças nos desenhos de W e L , esta variação pode ocorrer mesmo para transistores localizados lado a lado. Uma forma de evitar este erro, é aumentar a dimensão dos transistores.

Em algumas aplicações, o espelho de corrente é utilizado como um amplificador de corrente. Neste caso, a razão de espelhamento pode ser obtida variando-se a largura do canal dos

transistores em relação à largura dos transistores M_1 e M_2 , mas isto gera erro de razão entre dois dispositivos. Este erro pode ser corrigido quando são utilizados transistores idênticos duplicados ligados em paralelo.

A resistência de saída de pequenos sinais é uma boa medida da perfeição do espelho de corrente. A resistência de saída do espelho apresentado na Figura C.1 é dada por:

$$r_{out} = \frac{1}{g_{ds}} = \frac{1}{\left(\frac{\lambda I_D}{1 + \lambda V_{DS}} \right)} \approx \frac{1}{\lambda I_D} \quad (C.5)$$

Espelho de corrente de alto desempenho é implementado para possuir um alto valor de r_{OUT} . A seguir serão apresentadas duas configurações de espelhos de corrente que aumentam r_{OUT} .

C.3 Espelho de corrente Cascode

A resistência de saída pode ser aumentada usando o espelho de corrente em cascode mostrado na Figura C.2.

Neste espelho, a resistência incremental dos transistores M_1 e M_3 é dada por $(1/g_m)$ pois os mesmos estão conectados com diodo. Desse modo, pode-se supor que os sinais de tensão nas portas dos transistores M_2 e M_4 são próximas de zero.

A resistência de saída deste circuito será:

$$r_{out} = r_{03} + r_{02} + g_{m3}r_{03}r_{02} \approx (g_{m3}r_{03})r_{02} \quad (C.6)$$

A Equação (C.6) mostra que conectando-se o transistor M_2 com o transistor M_4 em uma configuração cascode a resistência de saída deste espelho de corrente é aumentada de r_{02} para $(g_{m3}r_{03})r_{02}$, que corresponde a um acréscimo da resistência de saída por um fator de $(g_{m3}r_{03})$.

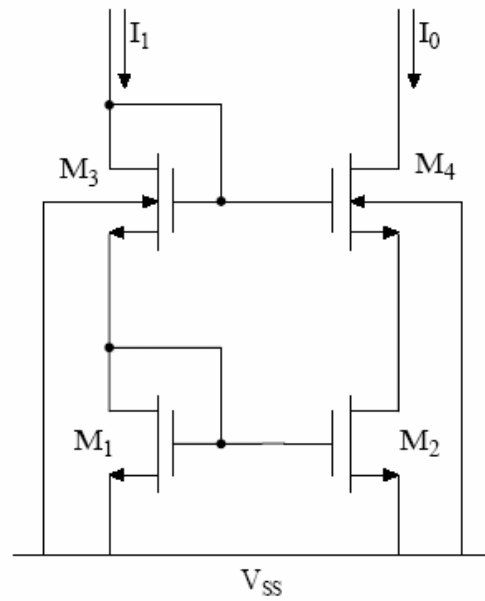


Figura C.2 *Espelho de corrente cascode*

O fator ($g_{m3}r_{o3}$) corresponde a um aumento na resistência de saída da ordem de 20 a 100 vezes, ou seja, o aumento na resistência de saída de um espelho de corrente devido ao emprego da configuração cascode é significativo.

Outras configurações de espelhos de corrente podem ser utilizadas para aumentar a resistência de saída do espelho de corrente apresentada na Figura C.1. O leitor poderá utilizar a referência [Malo01] para aprofundar os estudos nas novas arquiteturas de espelhos de corrente existentes.

Apêndice D: Efeitos de segunda ordem

D.1 Introdução

Os efeitos de segunda ordem em circuitos translineares podem afetar a performance do circuito. A seguir, será apresentada uma breve discussão sobre os efeitos de segunda ordem.

Um tratamento mais profundo sobre estes efeitos pode ser encontrado em [Wie93].

D.2 Efeito de corpo

O efeito de corpo é a influência da tensão de polarização reversa entre a fonte e o substrato (V_{SB} em dispositivos canal N) no comportamento de um transistor MOS. Este efeito é mais notado como uma mudança na tensão de *threshold* V_{TH} . Especificamente, pode ser mostrado que ao aumentar a tensão de polarização reversa no substrato V_{SB} resulta no aumento em V_{TH} [Tsi99]. Isto pode ser ilustrado na Figura D.1.

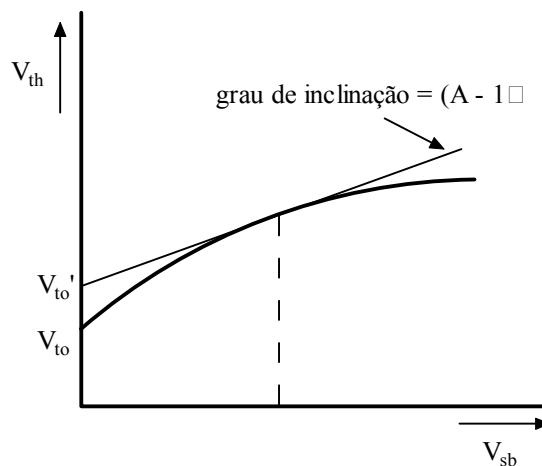


Figura D.1: A tensão de *threshold* de um transistor MOS é uma função não linear a tensão V_{SB} devido ao efeito de corpo.

A curva da Figura D.1 pode ser aproximada para uma linha reta para um transistor operando em uma determinada tensão de fonte-substrato V_{SB} :

$$V_{TH} = V_{T0}' + (A-1)V_{SB} \quad (D.1)$$

$$A = \frac{C_{ox} + C_{depl}}{C_{ox}} \quad (D.2)$$

onde: V_{T0}' é a tensão de *threshold* para $V_{SB} = 0$

A possui valores entre 1,05 e 1,3 nos processos CMOS modernos.

Neste caso, a corrente de dreno pode ser aproximada por:

$$I_D = \frac{k}{A} (V_{GS} - V_{T0}' - (A-1)V_{SB})^2 \quad (D.3)$$

Substituindo a Equação (D.3) na equação do princípio translinear (Equação (3.16)), a seguinte expressão é obtida:

$$\sum_h (V_{T0}' + (A-1)V_{SB}) + \sqrt{\frac{I_D \cdot A}{k}} = \sum_{ah} (V_{T0}' + (A-1)V_{SB}) + \sqrt{\frac{I_D \cdot A}{k}} \quad (D.4)$$

A influência do efeito de corpo pode ser significativamente reduzida quando a topologia *up-down* é utilizada (Figura 3.14). Nesta topologia a fonte dos transistores no sentido horário é ligada à fonte dos transistores no sentido anti-horário e o efeito de corpo é o mesmo para cada par de transistor cujas fontes estão conectadas juntas. Neste caso, o termo $(V_{T0}' + (A-1)V_{SB})$ pode ser cancelado da Equação (D.4) que reduz-se a:

$$\sum_h \sqrt{\frac{I_D \cdot A}{k}} = \sum_{ah} \sqrt{\frac{I_D \cdot A}{k}} \quad (D.5)$$

D.3 Redução da mobilidade

Na condição de grande campo no canal (V_{GS} alto), a mobilidade da carga diminui. Este efeito na corrente de dreno no transistor pode ser modelado como segue:

$$I_D = \frac{k}{(1 + \theta(V_{GS} - V_{TH}))^2} (V_{GS} - V_{TH})^2 \quad (D.6)$$

$$\theta = \frac{1}{doxE_{CR}}$$

onde: θ (parâmetro de redução de mobilidade) possui valores entre $0,01$ e $0,2V^{-1}$.

Se o efeito da redução da mobilidade for incorporado na equação do princípio translinear (Equação (3.16)), a seguinte equação é obtida:

$$\sum_h \sqrt{\frac{I_D(1 + \theta(V_{GS} - V_{TH}))}{(W/L)}} = \sum_{ah} \sqrt{\frac{I_D(1 + \theta(V_{GS} - V_{TH}))}{(W/L)}} \quad (D.7)$$

Baseado nesta equação, pode-se concluir que o efeito da redução de mobilidade pode ser minimizado usando-se a tensão de porta-fonte (V_{GS}) pequena ou mantendo-se o valor da tensão de porta-fonte (V_{GS}) de cada transistor na malha muito próxima uma da outra.

D.4 Modulação da largura de canal

A modulação da largura de canal nos transistores MOS torna a corrente de dreno dependente da tensão de dreno. Esta aproximação pode ser modelada como segue:

$$I_D = k (V_{GS} - V_{TH})^2 (1 + \lambda(V_{DS} - V_{DS,Sat})) \quad (D.8)$$

onde: $V_{DS,Sat} = (V_{GS} - V_{TH})$

λ a modulação da largura do canal.

O parâmetro λ é inversamente proporcional à largura do canal \square . Se a modulação da largura do canal for incorporada na equação do princípio translinear (Equação (3.16)), tem-se a seguinte equação:

$$\sum_h \sqrt{\frac{I_D}{W/L(1+\lambda(V_{DS} - V_{DS,sat}))}} = \sum_{ah} \sqrt{\frac{I_D}{W/L(1+\lambda(V_{DS} - V_{DS,sat}))}} \quad (\text{D.9})$$

A influência da modulação da largura de canal é reduzida quando a tensão de dreno –fonte (V_{DS}) de todos os transistores da malha translinear são iguais.

Apêndice E: Descrição SPICE do defuzificador simulado

* Simulação com parasitas **

*Entrada

```
Vdd N_85 0 3.3V
Ih1 N_12 0
+PWL (0u 5u 10u 10u 60u 10u)
Ih2 N_16 0
+PWL (0u 0u 10u 0u 20u 10u 60u 10u)
Ih3 N_21 0
+PWL (0u 0u 20u 0u 30u 10u 60u 10u)
Ih4 N_27 0
+PWL (0u 0u 30u 0u 40u 10u 60u 10u)
Ih5 N_34 0
+PWL (0u 0u 40u 0u 50u 10u 60u 10u 60u 10u)
Iy N_2 0 DC 5uA
```

```
.tran 0.01us 50us 0 0.1us
.OPTIONS ABSTOL=1nA
.OPTIONS RELTOL=0.001
.OPTIONS VNTOL=1uV
.OPTIONS STEPGMIN
.OP
.PROBE
```

Rout N_86 0 10k

```
M0 N_39 N_39 0 0 modn L=1e-06 W=4.5e-05 AD=2.25e-11
+ AS=3.825e-11 PD=1e-06 PS=4.67e-05 NRD=0.00944444
NRS=0.00944444
M1 N_3 N_3 N_39 0 modn L=1e-06 W=4.5e-05 AD=3.825e-11
+ AS=2.25e-11 PD=4.67e-05 PS=1e-06 NRD=0.00944444
NRS=0.00944444
M2 40 N_39 0 0 modn L=1e-06 W=4.5e-05 AD=2.25e-11
+ AS=3.825e-11 PD=1e-06 PS=4.67e-05 NRD=0.00944444
NRS=0.00944444
M3 N_4 N_3 40 0 modn L=1e-06 W=4.5e-05 AD=3.825e-11
+ AS=2.25e-11 PD=4.67e-05 PS=1e-06 NRD=0.00944444
NRS=0.00944444
M4 N_49 N_49 0 0 modn L=1e-06 W=8e-06 AD=4e-12
+ AS=6.8e-12 PD=1e-06 PS=9.7e-06 NRD=0.053125 NRS=0.053125
M5 N_50 N_50 N_49 0 modn L=1e-06 W=8e-06 AD=6.8e-12
+ AS=4e-12 PD=9.7e-06 PS=1e-06 NRD=0.053125 NRS=0.053125
M6 51 N_49 0 0 modn L=1e-06 W=8e-06 AD=4e-12 AS=6.8e-12
+ PD=1e-06 PS=9.7e-06 NRD=0.053125 NRS=0.053125
M7 N_6 N_50 51 0 modn L=1e-06 W=8e-06 AD=6.8e-12 AS=4e-12
+ PD=9.7e-06 PS=1e-06 NRD=0.053125 NRS=0.053125
M8 N_8 N_8 0 0 modn L=1e-06 W=1.5e-05 AD=1.275e-11
+ AS=1.275e-11 PD=1.67e-05 PS=1.67e-05 NRD=0.0283333
NRS=0.0283333
M9 N_55 N_55 N_8 0 modn L=3e-06 W=4e-06 AD=3.4e-12
+ AS=3.4e-12 PD=5.7e-06 PS=5.7e-06 NRD=0.10625 NRS=0.10625
M10 N_5 N_55 N_7 0 modn L=3e-06 W=4e-06 AD=3.4e-12
+ AS=3.4e-12 PD=5.7e-06 PS=5.7e-06 NRD=0.10625 NRS=0.10625
M11 N_58 N_58 N_7 0 modn L=3e-06 W=4e-06 AD=3.4e-12
+ AS=3.4e-12 PD=5.7e-06 PS=5.7e-06 NRD=0.10625 NRS=0.10625
M12 N_5 N_58 N_8 0 modn L=3e-06 W=4e-06 AD=3.4e-12
+ AS=3.4e-12 PD=5.7e-06 PS=5.7e-06 NRD=0.10625 NRS=0.10625
M13 N_7 N_8 0 0 modn L=1e-06 W=1.5e-05
+ AD=1.275e-11 AS=1.275e-11 PD=1.67e-05 PS=1.67e-05
NRD=0.0283333 NRS=0.0283333
M14 N_63 N_63 0 0 modn L=1e-06 W=1.5e-05
+ AD=7.5e-12 AS=1.275e-11 PD=1.67e-05 PS=1.67e-05 NRD=0.0283333
NRS=0.0283333
M15 N_1 N_1 N_63 0 modn L=1e-06 W=1.5e-05
+ AD=1.275e-11 AS=7.5e-12 PD=1.67e-05 PS=1e-06 NRD=0.0283333
NRS=0.0283333
M16 65 N_63 0 0 modn L=1e-06 W=1.5e-05 AD=7.5e-12
+ AS=1.275e-11 PD=1e-06 PS=1.67e-05 NRD=0.0283333
NRS=0.0283333
M17 N_66 N_1 65 0 modn L=1e-06 W=1.5e-05 AD=1.275e-11
+ AS=7.5e-12 PD=1.67e-05 PS=1e-06 NRD=0.0283333 NRS=0.0283333
M18 N_10 N_10 0 0 modn L=1e-06 W=1.2e-05
+ AD=1.02e-11 AS=1.02e-11 PD=1.37e-05 PS=1.37e-05
NRD=0.0354167 NRS=0.0354167
M19 N_72 N_72 N_10 0 modn L=3e-06 W=5e-06
+ AD=4.25e-12 AS=4.25e-12 PD=6.7e-06 PS=6.7e-06 NRD=0.085
NRS=0.085
M20 N_11 N_72 N_9 0 modn L=3e-06 W=5e-06
+ AD=4.25e-12 AS=4.25e-12 PD=6.7e-06 PS=6.7e-06 NRD=0.085
NRS=0.085
M21 N_9 N_10 0 0 modn L=1e-06 W=1.2e-05
+ AD=1.02e-11 AS=1.02e-11 PD=1.37e-05 PS=1.37e-05
```

```
NRD=0.0354167 NRS=0.0354167
M22 N_76 N_11 N_9 0 modn L=3e-06 W=5e-06
+ AD=4.25e-12 AS=4.25e-12 PD=6.7e-06 PS=6.7e-06 NRD=0.085
NRS=0.085
M23 N_11 N_11 N_10 0 modn L=3e-06 W=5e-06
+ AD=4.25e-12 AS=4.25e-12 PD=6.7e-06 PS=6.7e-06 NRD=0.085
NRS=0.085
M24 N_13 N_12 N_12 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M25 N_85 N_13 N_13 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M26 14 N_12 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M27 N_85 N_13 14 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M28 15 N_12 N_1 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M29 N_85 N_13 15 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M30 N_17 N_16 N_16 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M31 N_85 N_17 N_17 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M32 18 N_16 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M33 N_85 N_17 18 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M34 19 N_16 N_3 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M35 N_85 N_17 19 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M36 20 N_16 N_1 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M37 N_85 N_17 20 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M38 N_22 N_21 N_21 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M39 N_85 N_22 N_22 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M40 23 N_21 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M41 N_85 N_22 23 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M42 24 N_21 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M43 N_85 N_22 24 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M44 25 N_21 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M45 N_85 N_22 25 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M46 26 N_21 N_1 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M47 N_85 N_22 26 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M48 N_28 N_27 N_27 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M49 N_85 N_28 N_28 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M50 29 N_27 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M51 N_85 N_28 29 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M52 30 N_27 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M53 N_85 N_28 30 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M54 31 N_27 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M55 N_85 N_28 31 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M56 32 N_27 N_3 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M57 N_85 N_28 32 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M58 33 N_27 N_1 N_85 modp L=1e-06 W=9.9e-06 AD=4.95e-12
+ AS=8.415e-12 PD=1e-06 PS=1.16e-05 NRD=0.0429293
```



```

NRS=0.0425
M125 N_85 N_64 N_64 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M126 N_64 N_66 N_66 N_85 modp L=1e-06 W=1e-05
+ AD=5e-12 AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425
NRS=0.0425
M127 N_85 N_64 N_64 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M128 N_64 N_66 N_66 N_85 modp L=1e-06 W=1e-05
+ AD=5e-12 AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425
NRS=0.0425
M129 N_85 N_64 N_64 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M130 N_64 N_66 N_66 N_85 modp L=1e-06 W=1e-05
+ AD=5e-12 AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425
NRS=0.0425
M131 N_85 N_64 N_64 N_85 modp L=1e-06 W=1e-05
+ AD=8.5e-12 AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425
NRS=0.0425
M132 67 N_66 N_9 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M133 N_85 N_64 67 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M134 68 N_66 N_9 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M135 N_85 N_64 68 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M136 69 N_66 N_72 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M137 N_85 N_64 69 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M138 70 N_66 N_72 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M139 N_85 N_64 70 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M140 71 N_66 N_11 N_85 modp L=1e-06 W=1e-05 AD=5e-12
+ AS=8.5e-12 PD=1e-06 PS=1.17e-05 NRD=0.0425 NRS=0.0425
M141 N_85 N_64 71 N_85 modp L=1e-06 W=1e-05 AD=8.5e-12
+ AS=5e-12 PD=1.17e-05 PS=1e-06 NRD=0.0425 NRS=0.0425
M142 73 N_76 N_11 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M143 N_85 N_75 73 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
M144 N_75 N_76 N_76 N_85 modp L=1e-06 W=1.2e-05
+ AD=6e-12 AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M145 N_85 N_75 N_75 N_85 modp L=1e-06 W=1.2e-05
+ AD=1.02e-11 AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167
NRS=0.0354167
M146 N_75 N_76 N_76 N_85 modp L=1e-06 W=1.2e-05
+ AD=6e-12 AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M147 N_85 N_75 N_75 N_85 modp L=1e-06 W=1.2e-05
+ AD=1.02e-11 AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167
NRS=0.0354167
M148 77 N_76 N_10 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M149 N_85 N_75 77 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
M150 78 N_76 N_10 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M151 N_85 N_75 78 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
M152 80 N_76 N_86 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M153 N_85 N_75 80 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
M154 79 N_6 N_11 N_85 modp L=1e-06 W=2.5e-05
+ AD=1.3125e-11 AS=2.125e-11 PD=1.05e-06 PS=2.67e-05 NRD=0.017
NRS=0.017
M155 N_85 N_82 79 N_85 modp L=1e-06 W=2.5e-05
+ AD=2.125e-11 AS=1.3125e-11 PD=2.67e-05 PS=1.05e-06 NRD=0.017
NRS=0.017
M156 81 N_76 N_86 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M157 N_85 N_75 81 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
M158 83 N_76 N_86 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M159 N_85 N_75 83 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
M160 N_82 N_6 N_6 N_85 modp L=1e-06 W=2.5e-05
+ AD=1.3125e-11 AS=2.125e-11 PD=1.05e-06 PS=2.67e-05 NRD=0.017
NRS=0.017
M161 N_85 N_82 N_82 N_85 modp L=1e-06 W=2.5e-05
+ AD=2.125e-11 AS=1.3125e-11 PD=2.67e-05 PS=1.05e-06 NRD=0.017
NRS=0.017
M162 84 N_76 N_86 N_85 modp L=1e-06 W=1.2e-05 AD=6e-12
+ AS=1.02e-11 PD=1e-06 PS=1.37e-05 NRD=0.0354167
NRS=0.0354167
M163 N_85 N_75 84 N_85 modp L=1e-06 W=1.2e-05 AD=1.02e-11
+ AS=6e-12 PD=1.37e-05 PS=1e-06 NRD=0.0354167 NRS=0.0354167
c_1 14 0 1.02958f
c_2 15 0 1.03402f
c_3 18 0 1.06274f
c_4 19 0 1.05046f
c_5 20 0 1.03049f
c_6 23 0 1.06274f
c_7 24 0 1.05046f
c_8 25 0 1.05046f
c_9 26 0 1.03049f
c_10 29 0 1.06274f
c_11 30 0 1.05046f
c_12 31 0 1.05046f
c_13 32 0 1.05399f
c_14 33 0 1.02491f
c_15 36 0 1.06274f
c_16 37 0 1.05046f
c_17 38 0 1.05046f
c_18 40 0 1.05046f
c_19 41 0 1.05399f
c_20 42 0 1.05752f
c_21 43 0 1.03402f
c_22 46 0 1.52225f
c_23 47 0 2.3855f
c_24 48 0 1.49785f
c_25 51 0 0.84074f
c_26 52 0 1.49785f
c_27 53 0 1.51098f
c_28 54 0 1.48451f
c_29 56 0 0.394731f
c_30 57 0 0.419753f
c_31 59 0 0.416224f
c_32 60 0 0.416224f
c_33 61 0 0.416224f
c_34 65 0 1.48116f
c_35 67 0 1.05718f
c_36 68 0 1.05399f
c_37 69 0 1.05399f
c_38 70 0 1.05399f
c_39 71 0 1.02897f
c_40 73 0 1.27204f
c_41 77 0 1.30097f
c_42 78 0 1.29498f
c_43 79 0 2.39564f
c_44 80 0 1.30035f
c_45 81 0 1.28673f
c_46 83 0 1.28673f
c_47 84 0 1.24945f

.MODEL modn NMOS LEVEL=7
*-----
***** SIMULATION PARAMETERS
*****
* format : PSPICE
* model : MOS BSIM3v3
* process : C35
* revision : 3;
* extracted : B10866 ; 2002-12; ese(487)
* doc# : ENG-182 REV_3
*-----
* TYPICAL MEAN CONDITION
*-----
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
* *** Threshold voltage related model parameters ***
+K1 =5.0296e-01
+K2 =3.3985e-02 K3 =-1.136e+00 K3B =-4.399e-01
+NCH =2.611e+17 VTH0 =4.979e-01

```

```

+VOFF =-8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00
+DVT2 =-8.375e-03 KETA =2.032e-02
+PSCBE1=3.518e+08 PSCBE2 =7.491e-05
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
* *** Mobility related model parameters ***
+UA =4.705e-12 UB =2.137e-18 UC =1.000e-20
+U0 =4.758e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01
+B0 =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
* *** Geometry modulation related parameters ***
+W0 =2.673e-07 DLC =3.000e-08
+DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =-1.297e-14 WWL =-9.411e-21 WLN =1.000e+00
+WVN =1.000e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.800e+00
+KT1 =-3.302e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGDO =1.200e-10 CGSO =1.200e-10 CGBO =1.100e-10
+CGDL =1.310e-10 CGSL =1.310e-10 CKAPPA=6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =3.449e+02
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
* *** Process and parameters extraction related model parameters ***
+TOX =7.575e-09 NGATE =0.000e+00
+NLX =1.888e-07
* *** Substrate current related model parameters ***
+ALPHA0=0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
+AF =1.3600e+00 KF =5.1e-27 EF =1.000e+00
+NOIA =1.73e+19 NOIB =7.000e+04 NOIC =-5.64e-13
* *** Common extrinsic model parameters ***
+LINT =-5.005e-08 WINT =9.4030e-08 XJ =3.000e-07
+RSH =7.000e+01 JS =1.000e-05
+CJ =9.400e-04 CJSW =2.500e-10
+CBD =0.000e+00 CBS =0.000e+00 IS =0.000e+00
+MJ =3.400e-01 N =1.000e+00 MJSW =2.300e-01
+PB =6.900e-01 TT =0.000e+00
+PBSW =6.900e-01
* -----
.MODEL MODP PMOS LEVEL=7
* -----
***** SIMULATION PARAMETERS *****
* -----
* format : PSPICE
* model : MOS BSIM3v3
* process : C35
* revision : 3;
* extracted : C64685 ; 2002-12; ese(487)
* doc# : ENG-182 REV_3
* -----
*
* TYPICAL MEAN CONDITION
* -----
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
* *** Threshold voltage related model parameters ***
+K1 =5.9959e-01
+K2 =-6.038e-02 K3 =1.103e+01 K3B =-7.580e-01
+NCH =9.240e+16 VTH0 =-6.915e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-04
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
* *** Mobility related model parameters ***
+UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
+U0 =1.482e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-10 DLC =2.4500e-08
+DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WVN =1.040e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.300e+00
+KT1 =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGDO =8.600e-11 CGSO =8.600e-11 CGBO =1.100e-10
+CGDL =1.080e-10 CGSL =1.080e-10 CKAPPA=6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.033e+03
+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
* *** Process and parameters extraction related model parameters ***
+TOX =7.754e-09 NGATE =0.000e+00
+NLX =1.770e-07
* *** Substrate current related model parameters ***
+ALPHA0=0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
+AF =1.48e+00 KF =8.5e-27 EF =1.000e+00
+NOIA =1.52e+18 NOIB =7.75e+03 NOIC =5.0e-13
* *** Common extrinsic model parameters ***
+LINT =-7.130e-08 WINT =3.4490e-08 XJ =3.000e-07
+RSH =1.290e+02 JS =9.000e-05
+CJ =1.360e-03 CJSW =3.200e-10
+CBD =0.000e+00 CBS =0.000e+00 IS =0.000e+00
+MJ =5.600e-01 N =1.000e+00 MJSW =4.300e-01
+PB =1.020e+00 TT =0.000e+00
+PBSW =1.020e+00
* -----
.END

```

FOLHA DE REGISTRO DO DOCUMENTO

1. CLASSIFICAÇÃO/TIPO TM	2. DATA 05 de outubro de 2005	3. DOCUMENTO N° CTA/ITA-IEE/TM-018/2005	4. N° DE PÁGINAS 134
5. TÍTULO E SUBTÍTULO: Projeto de um defuzificador analógico integrado em tecnologia CMOS.			
6. AUTOR(ES): Paloma Maria Silva Rocha			
7. INSTITUIÇÃO(ÕES)/ÓRGÃO(S) INTERNO(S)/DIVISÃO(ÕES): Instituto Tecnológico de Aeronáutica. Divisão de Engenharia Eletrônica - ITA/IEE.			
8. PALAVRAS-CHAVE SUGERIDAS PELO AUTOR: Defuzificador, Controlador difuso, <i>Hardware</i> difuso, <i>Lógica fuzzy</i> .			
9. PALAVRAS-CHAVE RESULTANTES DE INDEXAÇÃO: Circuitos integrados; Controladores nebulosos; <i>Hardware</i> ; <i>Lógica nebulosa</i> ; CMOS; Dispositivos elétricos; Engenharia eletrônica			
10. APRESENTAÇÃO: X Nacional Internacional ITA, São José dos Campos, 2005 134 páginas			
11. RESUMO: O presente trabalho tem por objetivo propor uma nova arquitetura e baseada nela, projetar um circuito que funcione como bloco de saída de um controlador baseado na lógica difusa. A nova arquitetura proposta realiza a defuzificação baseada no método defuzificação por altura, sendo composta por circuitos escalonadores, circuitos somadores e circuito multiplicador-divisor, desenvolvidos para operarem no modo corrente. Os mesmos serão implementados, através de <i>hardware</i> analógico, na tecnologia CMOS 0,35µm C35 da AMS – <i>Austria Mikro Systems International AG</i> com tensão de alimentação de 3,3V. Estes circuitos foram, na sua grande maioria, desenvolvidos com base no princípio translinear aplicado a dispositivos CMOS. Como características principais, o dispositivo projetado com base na arquitetura proposta apresentou, através de simulação, baixo consumo de potência, erro dentro da faixa de especificação inicial e, com seu uso, a obtenção de um controlador difuso completo, quando atuou junto com os demais blocos já existentes. Nesta tese são apresentados os resultados de simulação dos blocos constituintes do defuzificador, bem como do sistema completo. A simulação foi realizada no <i>software</i> SPICE. O <i>layout</i> do circuito proposto foi desenvolvido no <i>software</i> Mentor Graphics.			
12. GRAU DE SIGILO: (X) OSTENSIVO () RESERVADO () CONFIDENCIAL () SECRETO			