

Moacyr Aureliano Gomes de Brito

**Pré-Regulador Retificador Boost com Controle Digital por
Valores Médios, para Sistema de Iluminação Fluorescente Multi-
Lâmpadas, Utilizando Dispositivo FPGA e VHDL**

Dissertação apresentada à Faculdade de Engenharia UNESP –
Campus de Ilha Solteira, para a obtenção do título de Mestre
em Engenharia Elétrica.

Orientador: **Prof. Dr. Carlos Alberto Canesin**

Co-Orientador: **Dr. Fabio Toshiaki Wakabayashi**

Ilha Solteira (SP), Junho de 2008.

Livros Grátis

<http://www.livrosgratis.com.br>

Milhares de livros grátis para download.

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação
Serviço Técnico de Biblioteca e Documentação da UNESP - Ilha Solteira.

B862p Brito, Moacyr Aureliano Gomes de.
Pré-regulador retificador boost com controle digital por valores médios, para sistema de iluminação fluorescente multi-lâmpadas, utilizando dispositivo FPGA e VHDL / Moacyr Aureliano Gomes de Brito. -- Ilha Solteira : [s.n.], 2008
205 f. : il., fots. (algumas color.)

Dissertação (mestrado) - Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira. Área de conhecimento: Automação, 2008

Orientador: Carlos Alberto Canesin
Co-orientador: Fabio Toshiaki Wakabayashi
Bibliografia: p. 166-173

1. Conversores. 2. Fator de potência. 3. Controle digital. 4. Plataforma FPGA (Field Programmable Gate Arrays) – Dissertação. 5. Lâmpadas fluorescentes – Engenharia.



CERTIFICADO DE APROVAÇÃO

TÍTULO: Pré-regulador Retificador Boost com Controle Digital por Valores Médios, para Sistema de Iluminação Fluorescente Multi-lâmpadas, utilizando Dispositivo FPGA e VHDL

AUTOR: MOACYR AURELIANO GOMES DE BRITO

ORIENTADOR: Prof. Dr. CARLOS ALBERTO CANESIN

Aprovado como parte das exigências para obtenção do Título de MESTRE em ENGENHARIA ELÉTRICA pela Comissão Examinadora:

Prof. Dr. CARLOS ALBERTO CANESIN
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. CLAUDIO KITANO
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. ARNALDO JOSÉ PERIN
Departamento de Engenharia Elétrica / Universidade Federal de Santa Catarina

Data da realização: 14 de maio de 2008.

Presidente da Comissão Examinadora
Prof. Dr. CARLOS ALBERTO CANESIN

À Deus.

À meus queridos pais.

Agradecimentos

À Deus pela vida e por colocar em meu caminho todas as pessoas e condições necessárias para o meu aprimoramento.

À meus pais, Moacyr de Brito e Alice Gomes dos Santos de Brito, sempre presentes, que me incentivaram durante toda a jornada, me fazendo acreditar que tudo é possível quando se tem fé e força de vontade.

Ao Prof. Dr. Carlos Alberto Canesin pela condução segura do trabalho, pela compreensão e pela confiança em mim depositada.

Ao Dr. Fabio Toshiaki Wakabayashi, com quem pude ter o prazer de compartilhar as primeiras conquistas, por incentivar a produção de artigos científicos e por todo o conhecimento transmitido quando da implementação em laboratório.

Ao Prof. Dr. Flávio Alessandro Serrão Gonçalves pela amizade, auxílio e incentivo prestado.

Aos amigos da pós-graduação, Castellane Silva Ferreira, Guilherme de Azevedo e Melo e Jurandir de Oliveira Soares, pelo incentivo durante todo o decorrer do projeto e pela companhia durante as madrugadas de trabalho, tendo cada um sua contribuição significativa neste projeto.

À minha querida namorada, Eliana da Costa Alvarenga, por entender que a distância foi necessária para o meu aprimoramento profissional e pelo constante incentivo, ainda maior, quando as dificuldades se sobressaíam às conquistas.

À minha irmã Deise Cristina Gomes de Brito pelo carinho e pela alegria demonstrada, sempre que eu alcançava um objetivo.

Ao Prof. Dr. Falcondes José Mendes de Seixas por sua participação na banca de qualificação, trazendo contribuições significativas para o trabalho.

Aos professores Dr. Cláudio Kitano e Dr. Arnaldo José Perin pela participação na banca de defesa de mestrado, trazendo discussões que possibilitaram melhorias neste trabalho.

Ao funcionário Valdemir Chaves pelo auxílio durante a implementação do protótipo em laboratório.

À FAPESP (Fundação de Amparo à Pesquisa do Estado de São Paulo) pelo apoio financeiro concedido, possibilitando o desenvolvimento deste trabalho.

Resumo

Este trabalho trata da análise, desenvolvimento e implementação de um estágio Pré-Regulador Retificador Boost de alto fator de potência, para servir como fonte de alimentação para sistemas de iluminação fluorescente multi-lâmpadas, com potência de até 1.200 watts e com índices de qualidade tanto para a fonte de alimentação em corrente alternada quanto para o sistema de iluminação. Este conversor será controlado de forma digital, através da técnica dos valores médios instantâneos da corrente de entrada, desenvolvido através da linguagem de descrição de *hardware* VHDL (VHSIC HDL – *Very High Speed Integrated Circuit Hardware Description Language*) e implementado em um dispositivo FPGA (*Field Programmable Gate Array*) Spartan 3.

Neste trabalho são apresentadas análises matemáticas, para a obtenção das funções de transferência pertinentes ao projeto dos compensadores, onde será aplicada uma metodologia de projeto capaz de projetar estes compensadores utilizando os diagramas de Bode, de módulo e de fase, e ainda contemplar as influências dos dispositivos A/D, D/A e do processador digital de sinais. Isto eliminará os erros presentes nos projetos via aproximação e permitirá a diminuição das taxas de aquisição necessárias. O projeto é simulado e validado através da plataforma MatLab/Simulink, onde são apresentados resultados para o regime permanente e para transitórios de carga e da tensão de alimentação. Além disso, o controle do conversor através da linguagem VHDL, usando o modelo comportamental num estilo de projeto *top-down*, é apresentado e também validado através de simulação.

Ademais, um sucinto estudo dos reatores eletrônicos convencionais é apresentado, com o intuito de servir como base para o desenvolvimento de um filtro capaz de barrar as componentes em ca da corrente que circula entre o capacitor de saída do estágio pré-regulador e a entrada de cada reator eletrônico, garantindo a condução em corrente contínua no barramento de alimentação do sistema de iluminação.

Finalmente, o estágio Pré-Regulador Retificador Boost, controlado de forma digital, é implementado em laboratório, onde resultados experimentais, são apresentados para validar a metodologia e o projeto desenvolvidos.

Palavras Chave: Sistema de Iluminação Fluorescente, Pré-regulador, Conversor Boost, Controle Digital, Linguagem VHDL, Dispositivo FPGA.

Abstract

This work presents the analysis, development and implementation of a single-phase power factor correction (PFC) pre-regulator rectifier, based on boost circuit, to act as a power supply for 1.200 watts multi-lamp fluorescent systems. The converter's digital control will be implemented using the average current mode control, based on VHDL language (VHSIC HDL – Very High Speed Integrated Circuit Hardware Description Language) and using a FPGA (Field Programmable Gate Array) device.

In this work, the mathematical analyses of the converter's model are developed in order to obtain the proper transfer functions to design voltage and current digital compensators. The methodology applied at the digital design is capable to deal with the Bode diagrams and incorporate the analog to digital converter, the digital to analog converter and the digital signal processor, eliminating the uncertainties involving approximation methodologies and minimizing the necessity of high level of acquisition rates. This project is evaluated through MatLab/Simulink, showing results for steady-state operation and dynamics in order to analyze the converter's response. Moreover, the converter's digital control is based on VHDL language, using the behavioral modeling in a *top-down* project style, which is presented and validated through simulation results.

In addition, the behavior of the conventional electronic ballasts are presented in order to help in the development of a filter, capable to impede the circulation of the AC components of the ballast current through the feeding link, guaranteeing the continuous current conduction, among the boost capacitor and the electronic ballasts.

Finally, this work presents the laboratorial development of this PFC with digital control, where the prototype was evaluated through experimental results.

Key words: Fluorescent System, Pré-Regulator, Boost Converter, Digital Control, VHDL Language, FPGA.

Sumário

1 - Introdução Geral	11
2 - Estágio de Potência do Pré-Regulador Retificador Boost	26
2.1 – Introdução.....	26
2.2 – Funcionamento da Estrutura.....	27
2.3 – Análise Matemática Global.....	30
2.4 – Exemplo de Projeto.....	34
2.4.1 – Cálculo do Indutor.....	35
2.4.2 – Cálculo do Capacitor Boost.....	36
2.4.3 – Cálculo do Filtro de Entrada.....	37
2.4.4 – Especificação do Interruptor Boost	38
2.4.5 – Especificação do Diodo Boost.....	39
2.4.6 – Especificação dos Diodos da Ponte Retificadora	39
2.4.7 – Proteções de Entrada	39
2.4.8 – Circuito Snubber.....	40
2.4.9 – Cálculo dos Dissipadores	40
2.5 – Controle por Valores Médios Instantâneos da Corrente de Entrada	41
2.6 – Resultados Experimentais o Circuito de Potência.....	43
2.7 – Conclusões.....	49
3 - Modelação e Obtenção das Funções de Transferência do Conversor Retificador Boost	
3.1 – Introdução.....	50
3.2 – Obtenção do Modelo CA para Pequenos Sinais do Conversor Retificador Boost.....	51
3.3 – Análise CC do Conversor Retificador Boost.....	56
3.4 – Obtenção das Funções de Transferência a Partir do Modelo AC para Pequenos Sinais do Conversor Retificador Boost	56
3.5 – Conclusões.....	61

4 - Considerações sobre o Controle Digital

4.1 – Introdução.....	62
4.2 – Amostragem e Aquisição de Sinais.....	64
4.3 – O Efeito de Aliasing.....	65
4.4 – O Efeito do Retentor de Ordem Zero.....	66
4.5 – O Efeito do Atraso de Transporte.....	67
4.6 – Metodologias de Projeto.....	68
4.6.1 – Projeto por Emulação.....	68
4.6.2 – Projeto Usando a Transformada Bilinear (w).....	68
4.6.3 – Projeto Usando o Lugar das Raízes no Plano Z.....	71
4.7 – Conceitos Associados ao Controle de Conversores Estáticos.....	72
4.8 – Conclusões.....	74

5 - Projeto dos Controladores Digitais para o Pré-Regulador Retificador Boost

5.1 – Introdução.....	75
5.2 – Concepção do Controle Digital por Valores Médios.....	75
5.3 – Projeto do Controlador de Corrente.....	76
5.4 – Projeto do Controlador de Tensão.....	85
5.5 – Projeto da Malha de Controle Feedforward.....	94
5.6 – Conclusões.....	95

6 - Resultados de Simulação para o Controle Digital Projetado

6.1 – Introdução.....	96
6.2 – Modelos para Simulação.....	97
6.2.1 – Modelo via Espaço de Estados.....	97
6.2.2 – Modelo para o Conversor Chaveado.....	101
6.3 – Resultados de Simulação.....	102
6.3.1 – Espaço de Estados.....	102
6.3.2 – Conversor Chaveado.....	106
6.4 – Conclusões.....	107

7 - Estratégia de Controle Usando Dispositivo FPGA e VHDL

7.1 – Introdução.....	108
7.2 – Dispositivos FPGAs e Linguagem VHDL	109
7.3 – Concepção do Controle Utilizando a Linguagem VHDL	114
7.4 – Partes Integrantes do Controle.....	115
7.4.1 – Componente AD7810_ILs.....	115
7.4.2 – Componente AD7810_Vin_Vout.....	117
7.4.3 – Componente MUX	117
7.4.4 – Componente BinBCD.....	117
7.4.5 – Componente BCD7seg	118
7.4.6 – Componente Seletor	118
7.4.7 – Componente GeraSenóide	118
7.4.8 – Componente Controle “Black Box”	119
7.4.9 – Componente Proteções_Referência.....	127
7.5 – Resultados de Simulação do Controle Digital.....	127
7.5.1 – Simulação dos Principais Arquivos .vhd	127
7.5.2 – Simulação do Controle “Black Box”	130
7.6 – Desempenho do Circuito Digital Proposto em FPGA.....	133
7.7 – Conclusões.....	135

8 - Cargas Especiais – Reatores Eletrônicos para Lâmpadas Fluorescentes Tubulares

8.1 – Introdução.....	136
8.2 – Reatores Eletrônicos Convencionais.	136
8.3 – Análise da Operação do Inversor Meia Ponte Série-Ressonante.	137
8.4 – Projeto do Circuito Série-Ressonante.....	139
8.5 – Projeto do Filtro de Entrada do Reator.....	140
8.6 – Conclusões.....	144

9 - Resultados Experimentais

9.1 – Introdução.....	145
9.2 – Protótipo Implementado.	145
9.3 – Resultados para Cargas Resistivas.	146
9.4 – Resultados para Degraus de Carga.	156
9.4.1 – Meia Carga para Carga Nominal.....	156
9.4.2 – Carga Nominal para Meia Carga.....	158
9.5 – Partida do Conversor.	159
9.6 – Resultados para Carga Não Linear.	160
9.7 – Conclusões.....	162
Conclusões Gerais e Continuidade do Trabalho	164
Referências	166
Apêndice A – Detalhes da Implementação em Laboratório	174
Apêndice B – Código VHDL Desenvolvido	181

Capítulo 1

Introdução Geral

As últimas décadas foram marcadas pelo crescente desenvolvimento tecnológico, onde a eletrônica de potência teve destaque fundamental. Tal evolução é fruto de pesquisas que possibilitaram a construção de dispositivos eletrônicos com maior eficiência, flexibilidade e compactação. Ao mesmo tempo em que a eletrônica de potência evoluiu, possibilitando a disseminação maciça de cargas não lineares nos diversos setores da sociedade, tanto no setor industrial e comercial quanto no residencial, com as finalidades de melhorias para os processos industriais e comerciais, informatização, redução de peso e volume dos elementos processadores de energia, melhoria de qualidade de vida, lazer e entretenimento, dentre outros, problemas para os sistemas de distribuição surgiram. Uma carga não linear drena da rede de energia elétrica uma forma de onda de corrente não senoidal, mesmo na presença de uma fonte de alimentação puramente senoidal. Dentre as cargas não lineares, se destacam as cargas para sistemas eletrônicos convencionais de iluminação fluorescentes, que operando em conexão com a rede de distribuição, drenam correntes de elevado conteúdo harmônico devido à sua acentuada característica não linear.

De acordo com a Sanex (2006), a iluminação artificial é responsável por aproximadamente 20% de toda a energia elétrica consumida no país, por 25% do consumo no setor residencial e por mais de 40% da energia elétrica consumida pelo setor de comércio e serviços.

Dentro da iluminação artificial, os sistemas de iluminação fluorescente alimentados com reatores eletrônicos têm sido amplamente utilizados em virtude das inúmeras vantagens que apresentam frente a sistemas com iluminação incandescente e/ou sistemas de iluminação fluorescente alimentados por reatores eletromagnéticos. Dentre as vantagens, podem se destacar: maior eficácia luminosa (relação lúmen/watt) da lâmpada fluorescente alimentada em elevadas frequências, ausência de ruído audível, de efeito estroboscópico e de

cintilamento, maior rendimento do reator eletrônico quando comparado ao reator eletromagnético e maior vida útil do sistema de iluminação (HAMMER, 1987, LINDSEY, 1996, REA, 2000).

A maior eficácia luminosa que as lâmpadas fluorescentes apresentam origina-se da diferença construtiva e de operação da mesma. Enquanto que as lâmpadas incandescentes são constituídas de um filamento de tungstênio inserido num bulbo de vidro, as lâmpadas fluorescentes são constituídas de filamentos de tungstênio cobertos com material emissor de elétrons inseridos num tubo com gases inertes e mercúrio. O princípio de funcionamento das lâmpadas incandescentes procede realmente do termo incandescência, ou seja, uma corrente elétrica circula pelo filamento da lâmpada até que o mesmo entre em incandescência e emita luz. Já nas lâmpadas fluorescentes, uma alta tensão é aplicada entre os terminais da mesma até que ocorra a ruptura do dielétrico e haja um fluxo de elétrons na coluna de gás. Com isto, ocorre um choque entre esses elétrons e os átomos de mercúrio, que excitam os elétrons da camada de valência dos átomos de mercúrio e estes são liberados. Quando os mesmos retornam ao seu estado de excitação normal são emitidas radiações ultravioletas. Essas radiações ultravioletas ao atingirem a camada fluorescente (normalmente fósforo), existente na parede interna do bulbo, excitam elétrons do material fluorescente e estes emitem energia na forma de luz visível (LÂMPADAS ELÉTRICAS, 2005, LUZ, 2005). Devido ao fator de incandescência do filamento da lâmpada incandescente, a maior parte da energia é convertida em calor e não em iluminação. Desta forma, estima-se que apenas 5% da energia é convertida em luz visível (WAKABAYASHI, 2005).

Apesar das inúmeras vantagens apresentadas pelo sistema de iluminação fluorescente, é necessário explicitar que a lâmpada fluorescente, ao contrário da incandescente, não pode ser conectada diretamente na rede de alimentação em corrente alternada. Este fato deve-se à característica de resistência negativa (característica volt/ampère negativa) que a lâmpada fluorescente apresenta. Esta característica indica que se a lâmpada for conectada diretamente na rede de alimentação em corrente alternada, o fluxo de corrente demandado pela mesma ocorrerá de maneira ininterrupta e descontrolada, já que um fluxo de corrente faz a resistência da lâmpada decrescer e a mesma então passa a drenar mais energia da rede, diminuindo ainda mais a sua resistência e requisitando então mais energia, até que a mesma se danifique. Para que a lâmpada fluorescente seja conectada ao sistema de alimentação, é necessário um equipamento que estabilize a corrente drenada e faça o correto acionamento da mesma. Este elemento é denominado de reator para iluminação (LÂMPADAS ELÉTRICAS, 2005, WAKABAYASHI, 2005).

Os reatores para acionamento das lâmpadas fluorescentes são de dois tipos, os eletromagnéticos e os eletrônicos.

Os reatores eletromagnéticos são constituídos de uma indutância de elevado valor, que associada a elementos capacitivos e/ou a relés, fazem a correta contenção da corrente drenada pela lâmpada e também fornecem condições para a ignição da mesma (LÂMPADAS ELÉTRICAS, 2005, LUZ, 2005). Como os reatores eletromagnéticos são ligados ao sistema de alimentação, eles operam na frequência da rede, ou seja, em 50 hertz (Hz) ou 60Hz. Devido à baixa frequência de operação, os elementos reativos (principalmente indutivos) são volumosos e pesados e, além disto, essa operação em baixa frequência pode ocasionar um fenômeno denominado de efeito estroboscópico. Este fenômeno tem a capacidade de causar uma ilusão de ótica em operários que comandam máquinas rotativas cujos eixos se movimentam na frequência ou em frequências múltiplas da frequência da rede, fazendo com que o trabalhador tenha a falsa impressão de que a máquina esteja fora de funcionamento, ocasionando acidentes de trabalho. Além desses fatos citados, este reator normalmente apresenta ruído audível devido à baixa frequência de operação e um baixo rendimento, da ordem de 85%, provenientes do volume necessário para o indutor que apresenta perdas por histerese e Foucault (perdas no ferro) e no condutor dos enrolamentos (perdas no cobre) (FILARDO, 2004).

Já o reator eletrônico em sua configuração mais simples é constituído de um retificador convencional (ponte de diodos mais filtro capacitivo) aliado a um inversor que opera em alta frequência de comutação, sendo o inversor mais utilizado o clássico meia ponte com filtro série-ressonante com carga em paralelo. Esta configuração está representada na figura 1.1.

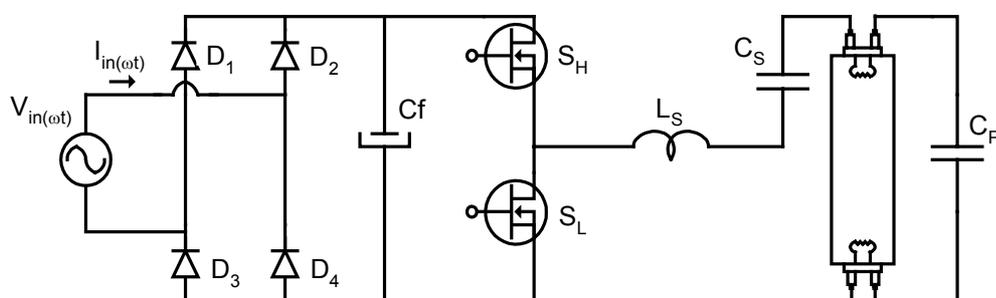


Figura 1.1. - Diagrama esquemático do reator eletrônico convencional.

Como o reator eletrônico opera em alta frequência não ocorrem mais os efeitos de ruído audível e estroboscópico. O ruído audível é eliminado na operação em altas frequências porque o ouvido humano só é capaz de interpretar sinais sonoros no intervalo de frequências

entre 20Hz e 20 quilohertz (kHz). Portanto, se o reator for operado numa frequência acima de 20 kHz se evitará o ruído audível. Quanto ao efeito estroboscópico, ele ocorre nas lâmpadas fluorescentes alimentadas por reatores eletromagnéticos já que o arco elétrico que circula na coluna de gás se extingue a cada passagem por zero da tensão aplicada nos terminais da lâmpada. Este fenômeno não ocorre com lâmpadas fluorescentes alimentadas por reatores eletrônicos operados em altas frequências porque não é possível a total extinção do arco cada vez que a tensão aplicada em seus terminais vem à zero. É fato que a tensão aplicada nos terminais da mesma vem à zero, mas com uma frequência muito maior do que a constante de recombinação dos gases presentes na lâmpada; isto faz com que o arco elétrico não se extinga e não ocorra mais o referido fenômeno. Um outro efeito que ocorre devido à baixa frequência de operação da lâmpada é o efeito de cintilamento. Este fenômeno faz com que o usuário do sistema venha a ter um cansaço visual prematuro diminuindo a sua produtividade. Além da ausência do efeito estroboscópico e de cintilamento, o não desligamento instantâneo da lâmpada quando a tensão passa por zero, faz com que as lâmpadas fluorescentes alimentadas em elevadas frequências apresentem um rendimento superior àquelas alimentadas em baixas frequências. Deste modo, estima-se que a eficácia luminosa (relação lúmens/watts) da lâmpada fluorescente quando alimentada em altas frequências seja em média 12% maior do que quando alimentada em baixas frequências. Além disto, os reatores eletrônicos apresentam rendimento superior aos eletromagnéticos, sendo da ordem de 90% (LÂMPADAS ELÉTRICAS, 2005; WAKABAYASHI, 2005).

Em termos financeiros, um sistema de iluminação fluorescente possui um custo mais elevado do que um sistema incandescente, não apenas porque a lâmpada fluorescente tem maior custo mas ainda há a necessidade do reator e também de acessórios, tais como calhas e fixadores. Contudo, o menor consumo de energia elétrica permitirá que a amortização do investimento ocorra de forma mais acentuada, tornando este sistema bem mais atrativo, considerando-se ainda a maior vida média das lâmpadas fluorescentes.

Como já apresentado, os reatores eletrônicos convencionais possuem na entrada uma ponte completa de diodos e um elevado filtro capacitivo. Devido a sua acentuada característica não linear, esses retificadores apresentam um baixo fator de potência (FP), que é da ordem de 0,6, ou seja, da energia entregue pela rede, apenas 60% é energia ativa. Além disto, a distorção harmônica total (DHT) da corrente de entrada apresenta valores normalmente superiores a 150%. Assim, considerando-se que o parâmetro de 100% represente a componente fundamental da corrente, a qual atua como fator de normalização das medições, observa-se componentes harmônicos de elevados valores eficazes que resultam no

aumento considerável da corrente eficaz drenada do sistema de alimentação em corrente alternada, com valor muito maior do que o mínimo necessário para transmitir a potência ativa necessária para a carga, podendo ainda gerar problemas de interferências eletromagnéticas, perdas excessivas nos circuitos e condutores, possível excitação de ressonâncias e deslocamento de neutro. Os problemas de interferências eletromagnéticas podem ir desde simples ruídos em rádios, estremeamento de imagens de televisão até o colapso de sistemas de computadores, de comunicação, segurança, hospitalares (LOURES, 2001, PINHEIRO, 2004), dentre outros.

Problemas de interferências e harmônicos podem ser verificados no acionamento de circuitos tiristorizados, resultam em erros nos medidores de energia, ocasionam vibrações e ruídos acústicos nos dispositivos eletromagnéticos, vibrações e maiores perdas em motores de indução e interferência nos sistemas de controle; além de sobreaquecimento de capacitores, perdas adicionais em transformadores devido ao aumento do efeito pelicular, da histerese e das correntes Foucault, sobreaquecimento de cabos e dispositivos de instalações elétricas e desgaste excessivo da isolação dielétrica (TECNAUT, 1999).

No caso específico da presença maciça de cargas não lineares com drenagem de correntes similares à de reatores eletrônicos convencionais, a tensão de alimentação apresentará deformação caracterizada pelo achatamento dos picos da forma de onda senoidal. Além do achatamento, a característica de subida abrupta da corrente de entrada (variação instantânea muito elevada) deste tipo de carga não linear pode provocar o aparecimento de *notches* na forma de onda da tensão de alimentação. *Notches* são deformações instantâneas caracterizadas por afundamentos de curta duração, em relação ao período de oscilação da rede de alimentação em corrente alternada. Além de problemas relacionados à distorção da forma de onda da tensão de alimentação, problemas relativos à diminuição de seu valor eficaz podem ser encontrados. Em casos extremos, os achatamentos podem fazer com que a tensão assuma um formato aproximadamente trapezoidal, trazendo diversos problemas a outras cargas que estejam conectadas à mesma rede e que sejam sensíveis à DHT presente na tensão de alimentação (WAKABAYASHI, 2005).

Devido aos problemas verificados nas estruturas retificadoras convencionais, estruturas como os filtros *Valley-Fill* e os retificadores chaveados controlados por técnicas ativas de correção do fator de potência têm sido empregadas (SPANGLER et al., 1991, ALVES et al., 1996, CÓ et al., 1998, TAO et al., 2001, MARQUES; BRAGA, 2001). Os filtros *Valley-Fill*, em função do emprego de elementos passivos, são estruturas que apresentam maior robustez, custo reduzido, simplicidade de implementação e elevado grau de

confiabilidade. Entretanto, são as estruturas chaveadas que apresentam melhores resultados no que se refere ao FP, à DHT da corrente de entrada e, ainda, com a possibilidade de regulação da tensão do barramento de corrente contínua (barramento CC), barramento no qual é inserido o sistema de iluminação (estágio inversor, filtros e lâmpadas).

Apesar dos estágios retificadores com correção do fator de potência apresentarem melhores índices de qualidade de energia elétrica e de regulação da tensão de barramento cc, eles apresentam elevados custos de implementação quando comparados aos retificadores convencionais. Na tentativa de minimizar os custos adicionais, estruturas que têm os estágios retificador e inversor integrados foram propostas (ALVES et al., 1996, CÓ et al., 1998, TAO et al., 2001, LIN; CHEN, 2001). A concepção de reatores de estágio único possibilita a diminuição dos custos, uma vez que a quantidade de componentes necessários é geralmente menor do que quando comparados com reatores de alto fator de potência. A proposta principal para a integração dos estágios retificador e inversor é baseada no compartilhamento de um mesmo interruptor para ambos os estágios, propiciando a redução do número total de dispositivos semicondutores e do circuito de comando da estrutura. Contudo, esforços adicionais de corrente são verificados nos dispositivos semicondutores empregados, levando à necessidade de utilização de dispositivos com maior capacidade de condução de corrente, podendo ainda acarretar em um aumento das perdas totais do sistema. Além disso, a estratégia de controle para a imposição de elevado FP fica prejudicada em função do compartilhamento do circuito de controle, podendo restringir o uso destes reatores em sistemas que apresentem variações de carga e ou da tensão de alimentação, sendo estruturas de baixas potências.

Outra maneira de se diminuir os custos de implementação é adotar a configuração para múltiplas lâmpadas fluorescentes (GULES et al., 1999, DALLA COSTA et al., 2002, WAKABAYASHI; CANESIN, 2002). Uma maneira de se alimentar diversas lâmpadas é utilizar um único estágio retificador com correção ativa do fator de potência e um único inversor, sendo que as lâmpadas são conectadas a esta estrutura através de cabos condutores. Esta concepção de sistema de iluminação está representada na figura 1.2. Entretanto, considerando-se uma área extensa a ser iluminada deve-se atentar para os prováveis problemas de compatibilidade eletromagnética, uma vez que correntes de alta frequência fluirão entre a saída do inversor e a entrada de cada filtro ressonante (GULES et al., 1999, DALLA COSTA et al., 2002, WAKABAYASHI; CANESIN, 2002; WAKABAYASHI et al., 2004). A fim de evitar esse problema, deve ser realizado um projeto especial de cabeamento estruturado, o que encarece adicionalmente a concepção deste sistema de iluminação.

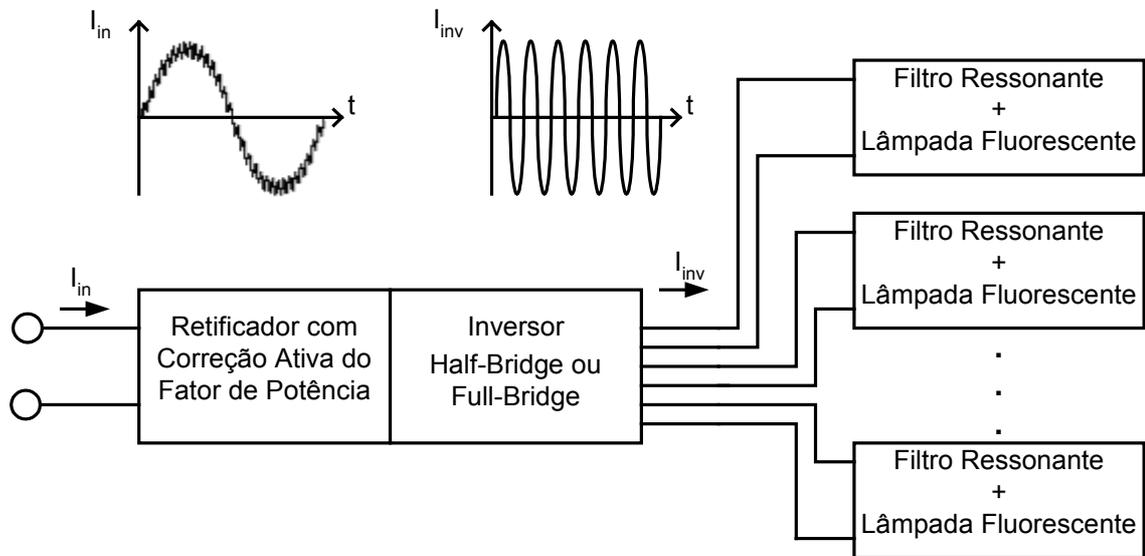


Figura 1.2. - Concepção usual para um sistema de iluminação fluorescente com único inversor e multi-lâmpadas.

Uma outra maneira de se implementar um sistema de iluminação para múltiplas lâmpadas é empregar um único estágio retificador acoplado a diversos estágios inversores, onde a transmissão de energia ocorre através de um *link* CC, que é o barramento de saída do retificador, minimizando os problemas de compatibilidade eletromagnética. Este sistema de iluminação está representado na figura 1.3.

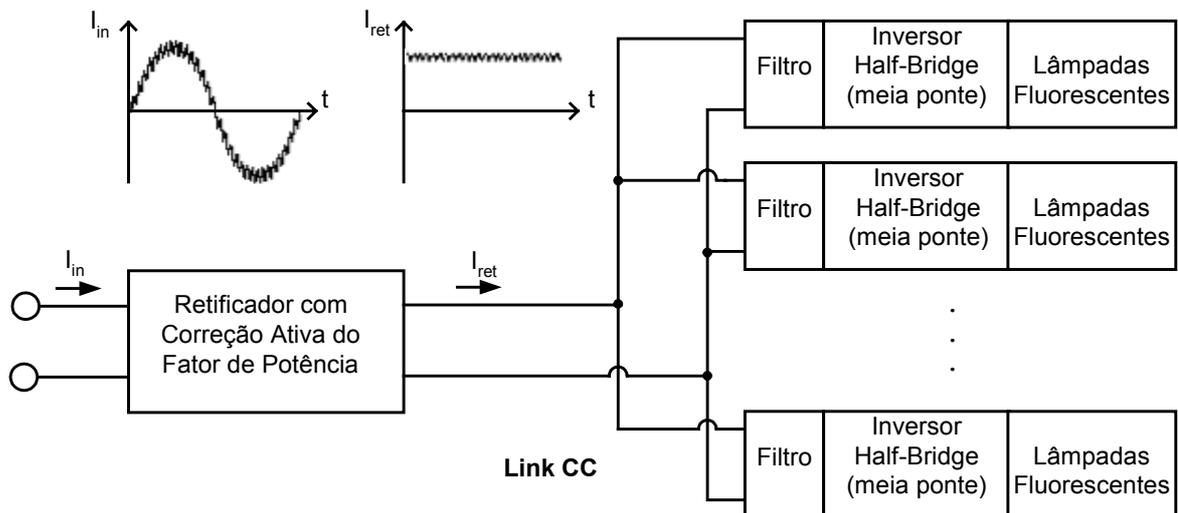


Figura 1.3. - Concepção para um sistema de iluminação fluorescente multi-inversores e multi-lâmpadas, para a minimização dos problemas de compatibilidade eletromagnética.

Nesta concepção de sistema, os inversores devem estar conectados o mais próximo possível das lâmpadas, minimizando o comprimento dos cabos que conduzem correntes de elevada frequência. Um único estágio retificador é responsável pela entrega de energia aos

inversores, considerando-se ainda a necessidade de um filtro passa-baixa acoplado na entrada de cada inversor, a fim de garantir que a alimentação dos mesmos seja em corrente contínua. A concepção deste sistema, com ênfase ao estágio inversor está representada na figura 1.4.

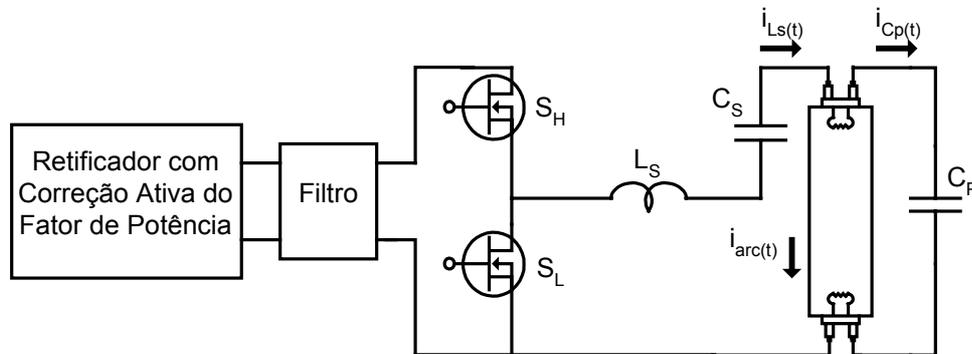


Figura 1.4. - Diagrama esquemático simplificado do sistema de iluminação com ênfase ao estágio inversor, considerando o filtro associado entre o retificador e o inversor.

Com a utilização deste tipo de circuito é possível realizar o controle de luminosidade da lâmpada fluorescente após a sua ignição, simplesmente alterando a frequência de comutação do estágio inversor (ADAMS et al., 1999). Com isto, esse sistema de iluminação apresenta mais uma vantagem no que se refere à economia de energia. Então, podem ser acoplados sensores de luminosidade externos, fazendo com que a luz artificial seja um meio secundário de iluminação em complemento à luz natural, isto nos períodos do dia nos quais existe a possibilidade de aproveitamento da luz natural.

Uma vantagem adicional que este sistema apresenta é o controle de luminosidade setorizado para cada conjunto de lâmpadas. Ou seja, cada estágio inversor pode ser responsável pela alimentação de um conjunto específico de lâmpadas, permitindo o controle de luminosidade de forma independente e baseado na necessidade de cada ambiente em que estiver inserido. Desta forma, é possível a elaboração de estratégias mais refinadas para o controle da iluminação, no que tange à otimização, principalmente para grandes ambientes.

Em relação à operação da lâmpada fluorescente, devem ser avaliados os procedimentos de ignição, a tensão sobre os eletrodos quando em operação normal e o fator de crista da corrente na lâmpada (FC). Estes parâmetros estão intrinsecamente ligados às condições de operação dos filamentos da lâmpada fluorescente, sendo que, a vida útil da lâmpada depende dos desgastes que os filamentos apresentam (TAYLOR, 2000).

Em relação ao FC, informa-se que ele é definido como sendo a razão entre o valor de pico e o valor eficaz da corrente processada através da lâmpada. Valores elevados deste índice

de mérito indicam que a forma de onda da corrente processada através da lâmpada possui picos elevados, capazes de reduzir a vida útil das mesmas (TAYLOR, 2000). Desta maneira, normas indicam que o fator de crista deve permanecer inferior a 1,7. Em reatores eletrônicos controlados em malha aberta e com frequência fixa de comutação do estágio inversor, o fator de crista é fortemente influenciado pela ondulação da tensão do barramento CC, provida pelo estágio retificador. O fato é que, quanto maior a ondulação da tensão de barramento CC provida pelo retificador, maior é o valor do fator de crista. Portanto, reatores eletrônicos que possuem retificadores convencionais com filtros capacitivos subdimensionados ou retificadores com filtros *Valley-Fill* sem modificação terão grandes dificuldades em atender à exigência da norma. A fim de contornar este problema, estudos foram realizados a respeito de propor modificações nos filtros *Valley-Fill* ou nas técnicas de controle aplicadas ao estágio inversor (WOOD, 1998, MARQUES; BRAGA, 2001, 2002). Apesar das melhorias advindas destas propostas, deve-se destacar que o emprego de retificadores capazes de prover reduzida ondulação na tensão de barramento CC é suficiente para minimizar os problemas relativos ao fator de crista da corrente da lâmpada, mesmo quando o estágio inversor opera em malha aberta e com frequência fixa de comutação.

Em face ao exposto, o uso de um retificador controlado por técnicas ativas para a correção do fator de potência, para a utilização em sistemas de alimentação com múltiplas lâmpadas fluorescentes, é essencial para o atendimento pleno de normas internacionais. Este estágio pré-regulador retificador consiste na substituição da usual ponte retificadora mais filtro capacitivo por controladores CA-CC de alto fator de potência. A correção do fator de potência é obtida ao se controlar o interruptor do estágio pré-regulador, impondo-se a este, uma modulação pertinente, de forma que a corrente drenada da rede de alimentação tenha o formato senoidal, como a forma de onda da tensão de entrada, a fim de apresentar fator de potência elevado.

Essencialmente, o estágio pré-regulador pode operar nos modos de condução descontínua (MCD), crítica (MCCr) ou contínua (MCC), para a obtenção de alto fator de potência. No modo de condução descontínua, o valor de pico da corrente de entrada segue o formato do valor instantâneo da tensão de alimentação, não necessitando de malha de regulação de corrente, levando a um método de controle simples e de baixo custo. Por este motivo, este modo de condução é denominado de seguidor de tensão. Entretanto, a operação neste modo de condução pode levar a emissões significativas de interferências eletromagnéticas e apresenta elevados esforços de corrente na estrutura, aumentando as perdas por condução. Além disso, a corrente de entrada deve ser filtrada, a fim de diminuir a

sua ondulação e possibilitar o aumento do fator de potência da estrutura. Desta forma, esta técnica é normalmente recomendada apenas para baixas potências. Em relação ao MCCr, ele também apresenta a característica de seguidor de tensão, e, como não ocorrem mais as descontinuidades da corrente de entrada, tem-se uma menor DHT de corrente e melhor FP. Apesar desta melhoria, este modo de condução também é recomendado para baixas potências e é necessário um circuito de comando mais elaborado para garantir que o conversor opere no modo de condução crítica.

Quando comparado ao MCD e MCCr, a operação do pré-regulador retificador no MCC apresenta menores esforços de corrente nos elementos semicondutores, menores perdas por condução e a redução da emissão de interferências eletromagnéticas, sendo recomendado para operação em médias e altas potências.

Para a realização da correção ativa, é possível a utilização de diversas estruturas de conversores CC-CC, como os conversores Buck, Boost, Buck-Boost, SEPIC, CÚK e ZETA. Dentre estas topologias, o conversor Boost se destaca pela simplicidade do circuito e pela característica de fonte de corrente para a entrada, se tornando o conversor mais utilizado para a correção do fator de potência (ZHANG et al., 2000, LI; RUAN, 2004).

A característica de fonte de corrente para a entrada, a qual o conversor Boost apresenta, é devido a presença de um indutor na entrada de sua estrutura, levando a uma melhor conformação da forma de onda da corrente da fonte de alimentação, e, por conseguinte, facilitando a correção ativa do fator de potência. Quando operando no MCC, a correção ativa do fator de potência bem como a compatibilidade eletromagnética para ruídos conduzidos são obtidas sem a necessidade do uso de volumosos filtros de entrada. Ainda assim, o uso dos filtros é de suma importância para diminuir as componentes harmônicas de altas frequências de corrente que circulam pelo sistema de alimentação.

Apesar dos inúmeros problemas causados pela circulação de harmônicas de corrente, não existem normas no Brasil que limitem a injeção de conteúdo harmônico no sistema através das mais diversas cargas não lineares. Atualmente, de forma geral, o fator de potência é controlado apenas pela correção do fator de deslocamento para as componentes fundamentais de tensão e de corrente da instalação. Contudo, normas internacionais ganham destaque, tal como a IEC 61000-3-2 e 61000-3-4, as quais impõem restrições aos conteúdos harmônicos emitidos por sistemas retificadores, presentes em inúmeras cargas não lineares. Em função destas restrições, o conversor Boost se tornou uma opção clássica para operar como retificador de alto fator de potência, em aplicações de até alguns poucos kilowatts (CANALES, 2003, FREITAS, 2006).

Para a correção ativa do fator de potência, os métodos mais utilizados na prática, são os métodos de controle por corrente de pico, por histerese e por valores médios instantâneos da corrente de entrada, os quais utilizam o MCC. Dentre estes métodos, o método de controle por valores médios instantâneos da corrente de entrada é o mais empregado devido à frequência fixa de comutação, a menor suscetibilidade ao ruído do sistema, à baixa distorção harmônica obtida, a facilidade de se alcançar um fator de potência quase unitário e ser um padrão industrial (RAJAGOPALAN et al., 1999, ZHANG et al., 2000). Além destes métodos, podem-se citar os métodos *one cycle control* e *new duty cycle control*, que procuram minimizar as operações matemáticas do método por valores médios, obtendo distorções harmônicas para a corrente de entrada próximas ao obtido pelo método dos valores médios (BROWN; SOLDANO, 2005, ZHANG et al., 2005).

Para realizar o projeto e posterior implantação do controle para o estágio pré-regulador retificador, pode-se lançar mão de técnicas de controle contínuo (analógico) e ou discreto (digital). Atualmente, a realização da correção ativa por valores médios instantâneos da corrente de entrada, utilizando o controle analógico, é bastante difundido na literatura e existem circuitos analógicos já consolidados que realizam esta função com facilidade, apresentando resultados plenamente satisfatórios (TODD, 1995, ZHANG et al., 2000).

Em relação ao controle digital, a capacidade de decisão e a flexibilidade no programa de controle são as maiores vantagens do uso de sistemas controlados digitalmente. A tendência atual em direção ao controle digital de sistemas dinâmicos está na disponibilidade cada vez maior de se adquirir computadores digitais (Microcontroladores, DSPs, FPGAs) de baixo custo e nas vantagens encontradas em se trabalhar com sinais digitais ao invés dos analógicos (OGATA, 2000). Além disto, uma vez projetado o controlador digital, este não sofre mais influências paramétricas como no caso do controle analógico.

Desta forma, o uso de técnicas de controle digital aplicadas a conversores estáticos vem sendo cada vez mais difundidas. Neste âmbito, diversos pesquisadores têm utilizado a técnica de controle por valores médios e implementando-a em *Digital Signal Processors* (DSPs) (TOMASELLI, 2001, XIE, 2003, CHOUDHURY, 2005); sendo esta estrutura a mais disseminada em aplicações com controle digital, apesar de que as implementações em FPGAs (*Field Programmable Gate Arrays*) têm crescido muito nos últimos anos (CASTRO et al., 2003, GARCÍA-GIL et al., 2004, ZHANG et al., 2005).

Em relação às estruturas mais utilizadas para a implementação do controle digital, ao contrário de um DSP, um FPGA é um dispositivo otimizado para realizar operações em paralelo e o seu *hardware* é configurado para esta tarefa em específico. Este dispositivo

apresenta duas vantagens quando realiza operações matemáticas. Primeiro, permite que diferentes operações sejam realizadas, significando que muitas respostas possam ser avaliadas simultaneamente e que cada operação pode ser independente ou até mesmo interdependente. Segundo, este fluxo de informação requer barramentos para eficientemente transportar dados entre fontes e destinos. Vários DSPs têm muitos barramentos, mas um FPGA pode conter centenas e até milhares deles. Além disso, o tamanho de cada barramento pode ser exatamente o número de *bits* necessários; isto é, não se perde precisão e não se gasta memória extra. Isto faz com que FPGAs tenham uma relação benefício/custo muito grande quando se utilizam múltiplos canais de dados. Ademais, os FPGAs mantêm as vantagens de funcionalidade dos Application Specific Integrated Circuits (ASICs), que são os circuitos integrados de aplicação específica, enquanto evitam o alto custo de desenvolvimento e a incapacidade de modificações no projeto depois da produção. O FPGA também adiciona flexibilidade e adaptabilidade, com ótima utilização do dispositivo, enquanto reserva espaço na placa para futuros desenvolvimentos ou refinamentos. Estas características podem diminuir o tempo requerido para a inserção de um novo projeto no mercado e ainda garante que o projeto pode ser modificado a fim de mantê-lo atualizado. Outro fator aparece quando se implementam estruturas de processamento digital de sinais em um FPGA, o projetista pode tirar proveito das estruturas paralelas e dos algoritmos aritméticos para minimizar recursos e exceder o desempenho de DSPs simples ou de propósito geral. Uma comparação simplória pode ser efetuada no caso da implementação de uma soma de produtos (SOP) em um DSP e num FPGA. Para realizar esta operação num DSP são necessários vários ciclos, representando todos os termos da equação, enquanto que num FPGA podem ser implementadas varias estruturas multiplicativas em paralelo e o resultado ser obtido com apenas dois ciclos de máquina. Já um DSP se apresenta como uma excelente escolha quando a aplicação requer alta complexidade ou quando apresenta lógicas que não são freqüentemente utilizadas, isto é, quando partes necessárias ao funcionamento do sistema são ativados ocasionalmente. Além disso, apresenta-se melhor do que um FPGA quando uma grande variedade de lógicas matemáticas é necessária e quando se utilizam estruturas seqüenciais, tais como estruturas de laços e algoritmos iterativos. A linguagem C é uma ferramenta eficiente para a redução do tempo de desenvolvimento de sistemas complexos e um compilador é sempre disponível para os DSPs (GOSLIN, 1995, RESTLE, 2000, 2000?). Entretanto, ambas as tecnologias vêm evoluindo com uma rapidez extraordinária, o que faz com que estas tecnologias estejam sendo aplicadas em diversos campos da ciência e da tecnologia. Alguns DSPs já apresentam algumas estruturas paralelas e são otimizados para realizar cálculos em formato de ponto fixo

ou em ponto flutuante, enquanto que os FPGAs mais atuais estão integrando blocos para aplicações específicas, apresentando até microprocessadores e aumentando significativamente a quantidade de portas lógicas por centímetro quadrado. Isto faz com que ambas as tecnologias possam ser aplicadas de maneira eficiente no processamento digital de sinais.

Uma forma de se programar um FPGA é através da linguagem de descrição de hardware VHDL (VHSIC HDL – *Very High Speed Integrated Circuit Hardware Description Language*), a qual se tornou padrão IEEE (*Institute of Electrical and Electronics Engineers*) e possibilita a criação de projetos baseados na funcionalidade do circuito, além de facilitar a documentação do sistema, possibilitar a simulação em diversos níveis, simplificar a migração tecnológica e a reutilização de recursos. Em VHDL se destaca a forma de programação comportamental, a qual remete ao comportamento abstrato, consistindo em descrever o circuito pensando no seu comportamento e funcionamento e não em sua estrutura. Esta metodologia facilita a descrição de circuitos onde a estrutura interna não está disponível. Além disso, também se destaca em VHDL a metodologia de projeto do tipo *top-down*, onde o projetista implementa o sistema a partir de sua especificação funcional e somente depois é utilizado algum processo de síntese para obter os detalhes finais de implementação (PERRY, 2002, ORDONEZ et al., 2003).

Diante dos fatos apresentados, este trabalho terá enfoque na implementação de um estágio Pré-Regulador Retificador Boost, representado na figura 1.5, com correção ativa do fator de potência através da técnica dos valores médios instantâneos da corrente de entrada (TODD, 1995, CHOUDHURY, 2005), para a alimentação de sistemas multi-inversores e multi-lâmpadas, de até 1.200 watts. O conversor operará na frequência de comutação de 50 kHz a fim de evitar ruído audível e diminuir o volume dos elementos armazenadores de energia. Não se aplicará neste trabalho nenhuma técnica de comutação não dissipativa (BUCHANAN; MILLER, 1975, ROBINSON; WILLIAMS, 1989, LEE et al., 1994, CANESIN; BARBI, 1995, BONFÁ et al., 2002), uma vez que a atual geração de semicondutores garante perdas reduzidas para esta faixa de potência e de frequência de operação. Além disso, o retificador Boost, na configuração de pré-regulador, é usado para garantir uma ondulação reduzida na tensão de saída do conversor (barramento CC), garantindo a minimização do FC da corrente na lâmpada e apresentando um fator de potência próximo da unidade para o sistema de alimentação em corrente alternada.

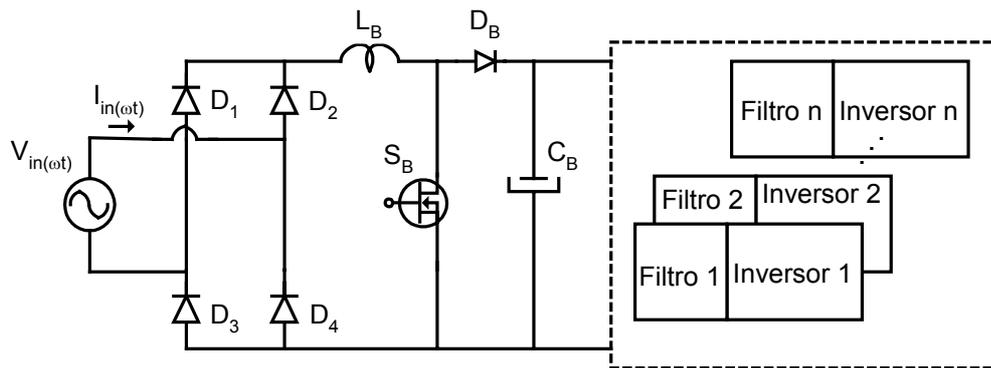


Figura 1.5. - Diagrama esquemático simplificado do estágio retificador Boost para a alimentação de sistemas de iluminação fluorescente multi-inversores e multi-lâmpadas.

O controle desta estrutura conversora será o controle digital, onde o mesmo será desenvolvido em linguagem de descrição de *hardware* (VHDL), utilizando o modo de programação comportamental num estilo de projeto *top-down* e implementado usando um dispositivo FPGA XCS31000 Spartan 3 da Xilinx (XILINX, 2007).

Também é foco deste trabalho, a concepção de um filtro a ser inserido na entrada de cada reator eletrônico, a fim de garantir que a corrente drenada do *link* CC, do estágio pré-regulador, ocorra em corrente contínua, a fim de minimizar os problemas de compatibilidade eletromagnética que os usuais sistemas de iluminação fluorescente multi-lâmpadas apresentam.

Neste contexto, este trabalho encontra-se dividido em capítulos, sendo explicitados na seqüência:

No capítulo 2, apresenta-se a estrutura de potência do Pré-Regulador Retificador Boost, através do funcionamento da estrutura, da análise matemática e de um exemplo de projeto, onde o estágio de potência pré-regulador retificador, com controle analógico, é implementado e testado em laboratório, considerando-se cargas resistivas.

Em seguida, no capítulo 3, é realizada a modelação matemática do conversor Boost com o intuito de obter as funções de transferência pertinentes ao projeto dos controladores de tensão e de corrente para o conversor. Neste capítulo, as funções estão representadas no plano S (contínuo) e apresentam a não linearidade da resistência série do capacitor de filtro de saída.

Já no capítulo 4, apresenta-se uma introdução ao controle digital, explicando-se algumas técnicas de controle e conceitos básicos acerca do controle digital de conversores estáticos.

No capítulo 5, é apresentado o projeto dos controladores digitais de tensão e de corrente para o conversor Boost, a partir da análise no plano w , que é uma ferramenta de projeto apresentada no capítulo anterior.

No capítulo 6, são apresentados resultados de simulação para o conversor, controlado digitalmente, através da plataforma MatLab/Simulink. No capítulo 7, é apresentada uma breve descrição acerca da linguagem VHDL e dos dispositivos FPGAs, além da estratégia de controle usando a linguagem de descrição de hardware e a sua viabilidade.

No capítulo 8, faz-se uma breve descrição do funcionamento dos reatores eletrônicos convencionais e apresenta-se o filtro desenvolvido para ser acoplado na entrada de cada reator eletrônico, onde o projeto deste filtro é validado através de simulações no ambiente PSpice.

No capítulo 9, são apresentados os resultados experimentais para o Pré-Regulador Retificador Boost controlado de forma digital por um dispositivo FPGA Spartan 3, onde o mesmo é testado com cargas resistivas até a potência nominal. Também são apresentados resultados de laboratório para degraus de carga. Este estágio também é interligado a um reator eletrônico com o filtro de entrada proposto, a fim de demonstrar sua funcionalidade, o qual é capaz de garantir a condução de energia em corrente contínua pelo barramento CC do sistema de iluminação.

Finalmente, são apresentadas as conclusões finais e as propostas de continuidade para o trabalho.

Capítulo 2

Estágio de Potência do Pré-Regulador Retificador Boost

2.1 – Introdução

O conversor selecionado para realizar a correção do fator de potência é o conversor Boost, representado na figura 2.1, operando no modo de condução contínua (MCC), com controle por valores médios instantâneos da corrente de entrada (TODD, 1995, CHOUDHURY, 2005) e com comutação dissipativa.

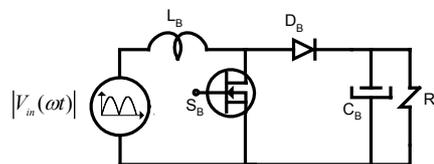


Figura 2.1. – Circuito equivalente para o Pré-Regulador Retificador Boost.

Onde:

$|V_{in}(\omega)| = \bar{V}_{in}$: é a tensão retificada no barramento após a ponte de diodos monofásica.

O modo de condução contínua é escolhido em virtude da potência processada para a aplicação proposta. Neste modo de condução, o retificador apresenta diversas vantagens, as quais podem ser destacadas:

- Redução dos valores de pico e eficaz da corrente que circula pelos elementos do conversor quando comparados aos modos de condução descontínua e crítica;

- Tensão reversa máxima aplicada nos interruptores do conversor é igual à tensão de saída;
- Tensão de saída do conversor maior do que o valor de pico da tensão de alimentação, proporcionando menores perdas por condução de corrente;
- No controle por valores médios, a frequência de comutação é constante e o controle pode ser obtido facilmente por modulação por largura de pulso (PWM). Além disso, esse controle é bastante difundido na literatura e aplicado com frequência em pré-reguladores retificadores para a correção do FP.
- Como a corrente de entrada deste conversor é contínua e apresenta ondulação reduzida, as interferências eletromagnéticas (EMI) introduzidas na rede de CA são reduzidas;
- Os circuitos de potência e de controle apresentam a mesma referência de terra, (massa) fazendo com que o circuito de comando do interruptor não necessite de isolamento.

Apesar do conversor Boost apresentar diversas vantagens, algumas desvantagens devem ser evidenciadas. Como o conversor opera no modo de condução contínua, o projeto de controle deve ser cuidadosamente realizado a fim de que se eliminem problemas de instabilidade, fato que não ocorre em condução descontínua. No que tange à comutação dos interruptores, ela se dá de forma dissipativa, diminuindo o rendimento da estrutura. Além destas, a própria topologia do conversor inviabiliza uma partida progressiva já que o interruptor não está em série com a corrente de entrada. Portanto, é necessário implementar um circuito capaz de minimizar a corrente de *inrush*, necessária para o primeiro armazenamento de energia nos capacitores de saída.

2.2 – Funcionamento da Estrutura

Neste tópico apresentam-se as etapas de funcionamento do conversor retificador Boost a partir de suas principais formas de onda, considerando o circuito equivalente resultante da

figura 2.1, onde a tensão CA senoidal de entrada, $V_{in}(\omega t)$, associada à ponte retificadora monofásica a diodos, é representada pela função módulo, ou seja, $|V_{in}(\omega t)|$. Desta forma, o retificador Boost pode ser analisado para um dado valor instantâneo de $|V_{in}(\omega t)|$, $\overline{V_{in}i}$ (que representa o valor instantâneo da tensão de alimentação em um período genérico de funcionamento), como qualquer conversor CC-CC, de acordo com a figura 2.2. As etapas de funcionamento para o conversor operando como pré-regulador retificador são, portanto, as mesmas para a configuração CC-CC. Contudo, a modulação do interruptor é alterada a fim de que a corrente de entrada siga uma referência senoidal, garantindo o fator de potência praticamente unitário.

Na primeira etapa de funcionamento $[t_{0i}, t_{1i}]$, o interruptor S_B é levado à condução e há transferência de energia da fonte para o indutor L_B . Nesse instante, o diodo D_B encontra-se bloqueado e a carga é alimentada pelo capacitor C_B previamente carregado. A tensão sobre o indutor L_B é positiva e a corrente no mesmo cresce de forma praticamente linear, considerando que o período de comutação é muito menor que o período da rede de corrente alternada e $\overline{V_{in}i}$ pode ser considerada como o valor instantâneo de $|V_{in}(\omega t)|$ durante o respectivo período (i) de funcionamento. Essa etapa está representada na figura 2.2.

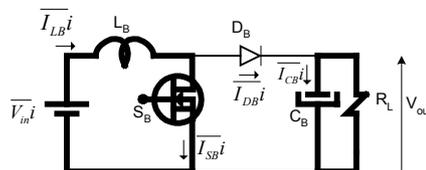


Figura 2.2. - Primeira etapa de funcionamento do conversor retificador Boost.

Na segunda etapa de funcionamento $[t_{1i}, t_{2i}]$, o interruptor S_B é bloqueado. Há uma inversão instantânea da polaridade no indutor L_B , fazendo com que o diodo D_B entre em condução. Há transferência de energia armazenada no indutor e também da fonte de alimentação para a carga e para o capacitor. A tensão sobre o indutor é a tensão da fonte menos a da carga, sendo, portanto negativa. Por isso, a corrente no indutor decresce de forma praticamente linear. Esta etapa está representada na figura 2.3.

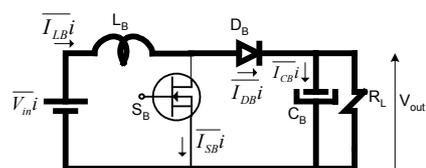


Figura 2.3. - Segunda etapa de funcionamento do conversor retificador Boost.

Para tanto, considera-se que o modo de condução é MCC, que os semicondutores e elementos reativos (L_B e C_B) são ideais, tal que V_{out} é constante.

Nas figuras 2.4, 2.5 e 2.6 são apresentadas as principais formas de onda idealizadas de corrente e de tensão, para um dado período (i) genérico de comutação, sendo na figura 2.4 representadas as correntes no indutor boost (L_B) e no interruptor boost (D_B), na figura 2.5 são representadas as correntes no diodo boost (D_B) e no capacitor de saída (C_B) e na figura 2.6 são representadas as correntes e tensões no interruptor boost (S_B) e no diodo boost (D_B).

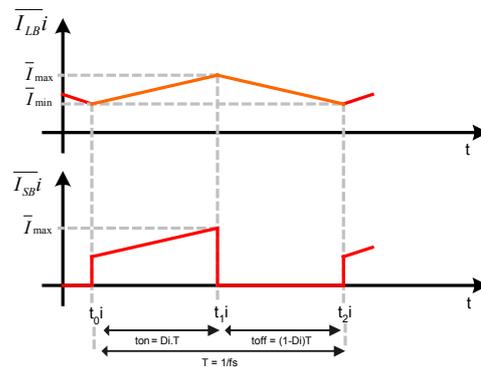


Figura 2.4. - Formas de onda idealizadas de corrente no indutor e no interruptor Boost.

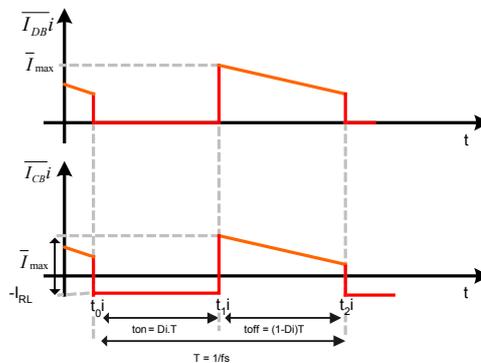


Figura 2.5. - Formas de onda idealizadas de corrente no diodo Boost e no capacitor de saída.

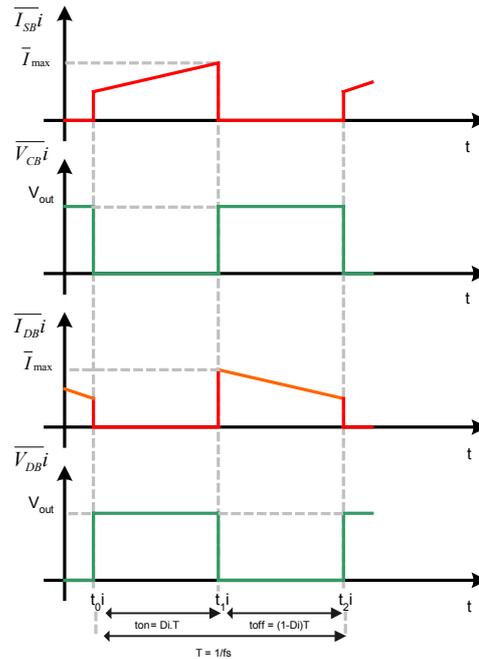


Figura 2.6. - Formas de onda idealizadas de corrente e de tensão no interruptor e no diodo Boost.

2.3 – Análise Matemática Global

A fim de se iniciar o equacionamento do conversor, considerando-se que a fonte CA de alimentação e a ponte retificadora, conforme figura 2.7, são equivalentes a da figura 2.1, pode-se estabelecer análises quantitativas para o conversor retificador boost.

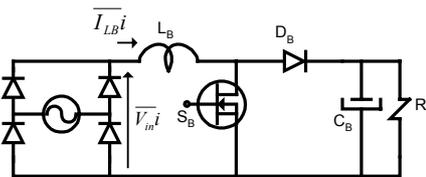


Figura 2.7. - Pré-regulador retificador Boost.

Considerando-se que a frequência de comutação do conversor (acima de 20kHz) é muito maior do que a frequência da rede (60Hz), assume-se que, para cada período de comutação, as etapas de funcionamento descritas no tópico 2.2 são válidas e que a tensão de alimentação é constante neste intervalo. Além disso, assume-se que a tensão de saída também é constante. Contudo, as amplitudes de tensão e de corrente de entrada são diferentes em cada período, ou seja, variáveis com a tensão de alimentação. Ademais, leva-se em consideração elementos ideais, ou seja, não ocorrerão perdas durante o processamento da energia.

Considera-se que a tensão de entrada $V_{in}(\omega t)$ é puramente senoidal. Logo, a tensão aplicada ao conversor Boost é representada pela função módulo (retificada), conforme equação (2.1):

$$|V_{in}(\omega t)| = \overline{V}_{in}(t) = V_p \cdot |\text{sen}(\omega t)| \quad (2.1)$$

onde $\omega = 2 \cdot \pi \cdot f_{rede}$; f_{rede} = frequência da rede CA de alimentação.

Na primeira etapa de funcionamento, a corrente no indutor L_B é praticamente linear e assume a forma:

$$I_{LB}(t) = \frac{V_p \cdot |\text{sen}(\omega t)| \cdot t}{L_B} + I_{\min}(t) \quad (2.2)$$

Subtraindo $I_{\min}(t)$ de $I_{LB}(t)$, tem-se o *ripple* de corrente:

$$\Delta I_{LB}(t) = \frac{V_p \cdot |\text{sen}(\omega t)|}{L_B} \Delta t_1 i \quad (2.3)$$

onde $\Delta t_1 i = D_i \cdot T$, D_i é a razão cíclica para um período genérico (i) e T é o período de comutação.

Na segunda etapa de funcionamento $t_2 i - t_1 i = \Delta t_2 i$, a corrente no indutor L_B é praticamente linear e assume a forma:

$$I_{LB}(t) = I_{\max}(t) - \left(\frac{V_{out} - V_p \cdot |\text{sen}(\omega t)|}{L_B} \right) \Delta t_2 i \quad (2.4)$$

Do mesmo modo anterior, subtraindo $I_{\max}(t)$ de $I_{LB}(t)$, tem-se que:

$$\Delta I_{LB}(t) = \frac{V_{out} - V_p \cdot |\text{sen}(\omega t)|}{L_B} \Delta t_2 i \quad (2.5)$$

O ganho estático do conversor Boost CC/CC operando em MCC é:

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 - D} \quad (2.6)$$

Como o conversor Boost é utilizado como conversor CA/CC, substitui-se a expressão (2.1) na equação (2.6), encontrando a expressão (2.7):

$$\frac{V_{out}}{V_p |\text{sen}(\omega t)|} = \frac{1}{1 - D(\omega t)} \quad (2.7)$$

ou então:
$$V_p |\text{sen}(\omega t)| = (1 - D(\omega t)) V_{out} \quad (2.8)$$

Isolando a variável razão cíclica D:

$$D(\omega t) = 1 - \frac{V_p}{V_{out}} |\text{sen}(\omega t)| \quad (2.9)$$

estabelecendo a relação α :

$$\alpha = \frac{V_p}{V_{out}} \quad (2.10)$$

obtém-se:

$$D(\omega t) = 1 - \alpha |\text{sen}(\omega t)| \quad (2.11)$$

Pela equação (2.11) verifica-se que a razão cíclica é variável. A fim de melhor visualizar a variação da razão cíclica em função da variável ωt , para cada α específico, plotou-se o ábaco da figura 2.8.

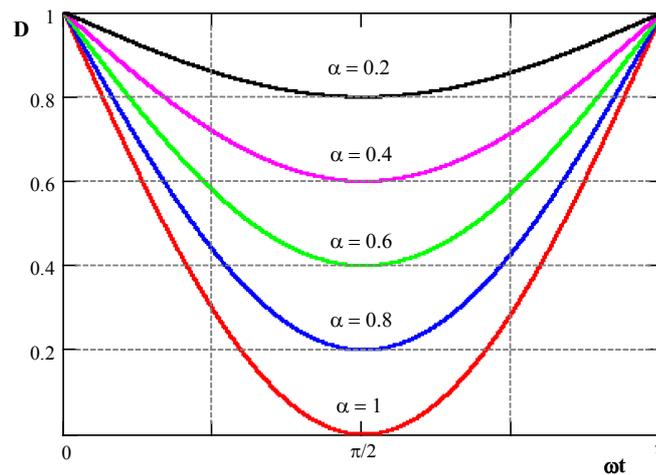


Figura 2.8. - Ábaco da variação da razão cíclica em função de ωt , para cada α específico.

Considerando-se que o período de comutação do conversor é constante, e pode ser calculado pelos tempos de carga e de descarga do indutor, para qualquer período (i) genérico de funcionamento:

$$T = \Delta t_1 i + \Delta t_2 i \quad (2.12)$$

Isolando $\Delta t_1 i$ e $\Delta t_2 i$ nas equações (2.3) e (2.5) e substituindo na equação (2.12), vem:

$$T = \left(\frac{\Delta I L_B}{V_P |\text{sen}(\omega t)|} L_B \right) + \left(\frac{\Delta I L_B}{V_{out} - V_P |\text{sen}(\omega t)|} L_B \right) \quad (2.13)$$

$$T = \Delta I L_B \cdot L_B \left(\left(\frac{1}{V_P |\text{sen}(\omega t)|} \right) + \left(\frac{1}{V_{out} - V_P |\text{sen}(\omega t)|} \right) \right) \quad (2.14)$$

$$T = (\Delta I L_B \cdot L_B) \left(\frac{V_{out} - V_P |\text{sen}(\omega t)| + V_P |\text{sen}(\omega t)|}{(V_P |\text{sen}(\omega t)|)(V_{out} - V_P |\text{sen}(\omega t)|)} \right) \quad (2.15)$$

$$T = (\Delta I L_B \cdot L_B) \left(\frac{V_{out}}{(V_P |\text{sen}(\omega t)|)(V_{out} - V_P |\text{sen}(\omega t)|)} \right) \quad (2.16)$$

Dividindo ambos os membros da equação por V_{out} :

$$T = (\Delta I L_B \cdot L_B) \left(\frac{1}{(V_P |\text{sen}(\omega t)|) \left(1 - \frac{V_P}{V_{out}} |\text{sen}(\omega t)| \right)} \right) \quad (2.17)$$

Usando a relação (2.10):

$$T = (\Delta I L_B \cdot L_B) \left(\frac{1}{(V_P |\text{sen}(\omega t)|) (1 - \alpha |\text{sen}(\omega t)|)} \right) \quad (2.18)$$

$$T = \left(\frac{\Delta I L_B \cdot L_B}{V_P} \right) \left(\frac{1}{(|\text{sen}(\omega t)|) (1 - \alpha |\text{sen}(\omega t)|)} \right) \quad (2.19)$$

Reorganizando a expressão (2.19) obtém-se:

$$\frac{\Delta I L_B \cdot L_B}{V_P \cdot T} = (|\text{sen}(\omega t)|) (1 - \alpha |\text{sen}(\omega t)|) \quad (2.20)$$

Verificando a expressão (2.20), nota-se que a única variável que não é constante é a ondulação de corrente no indutor ($\Delta I L_B$). Logo, pode-se normalizar a ondulação de corrente conforme a expressão (2.21):

$$\frac{\Delta I L_B \cdot L_B}{V_P \cdot T} = \Delta I L_{B(norm)} \quad (2.21)$$

tendo como resultado a equação (2.22):

$$\Delta I_{L_{B(norm)}} = (\text{sen}(\omega t))(1 - \alpha|\text{sen}(\omega t)|) \quad (2.22)$$

Para melhor visualizar a variação a ondulação de corrente no indutor, plotou-se o gráfico da figura 2.9, que representa a variação da ondulação de corrente normalizada no indutor em função da variável ωt , para cada α específico.

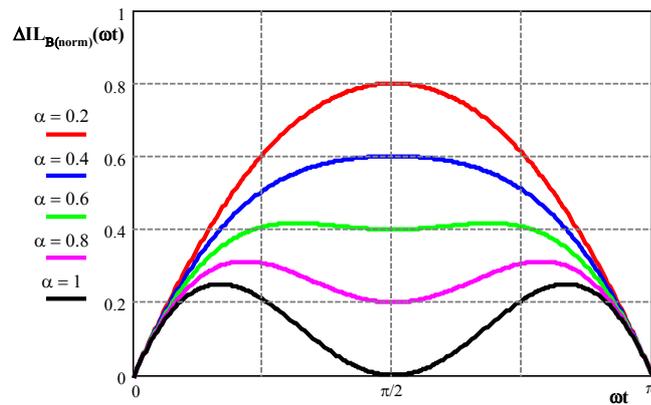


Figura 2.9. - Gráfico da variação da ondulação de corrente normalizada em função de ωt , para cada α específico.

2.4 – Exemplo de Projeto

Neste tópico projetar-se-á um Pré-Regulador Retificador Boost, operando em MCC, para a correção do fator de potência com controle por valores médios instantâneos. Os dados de entrada e de saída encontram-se na tabela 2.1:

Tabela 2.1: Dados de entrada e de saída para o conversor Boost.

DADOS DE ENTRADA/SAIDA	
$V_{out}(V)$	400
$V_{in}(V)$	$220 \pm 15\%$
$P_{max}(W)$	1.200
$f_s(kHz)$	50
$\Delta I_{L_{B(max)}}(\%)$	20

onde:

V_{out} = Tensão média nominal de saída,

V_{in} = Valor eficaz nominal da tensão de alimentação,

P_{max} = Máxima potência ativa entregue pelo conversor (Valor nominal),

f_s = Frequência de comutação do conversor,

$\Delta I_{L_B(max)}$ = Ondulação de corrente máximo admissível para o indutor.

2.4.1 - Cálculo do Indutor

Um dado de projeto que deve ser obedecido é a ondulação máxima de corrente no indutor L_B .

Como, para se projetar o conversor, atribui-se uma variação da tensão de alimentação em mais ou menos 15%, deve se garantir que o ripple de corrente, quando se varia a tensão de alimentação, esteja no máximo com 20% da corrente de pico, em todos os casos.

Primeiramente deve-se calcular os valores das correntes eficazes e de pico para cada variação da tensão de entrada e verificar a ondulação máxima de corrente permitida. Os cálculos se encontram na tabela 2.2.

Tabela 2.2: Grandezas calculadas para cada caso específico.

Grandeza	Casos		
	Subtensão	Tensão Nominal	Sobretensão
$V_{eficaz}(V)$	187,00	220,00	253,00
$I_{eficaz}(A)$	6,42	5,45	4,74
$I_{pico}(A)$	9,10	7,71	6,71
$\Delta I_{L_B}(A)$	1,82	1,54	1,34
α_n	$\alpha_1=0,66$	$\alpha_2=0,78$	$\alpha_3=0,89$

Verifica-se que a ondulação máxima permitida é de 1,34A. O ábaco da figura 2.10 foi plotado a fim de se obter o valor de $\Delta I_{L_B(norm)}$.

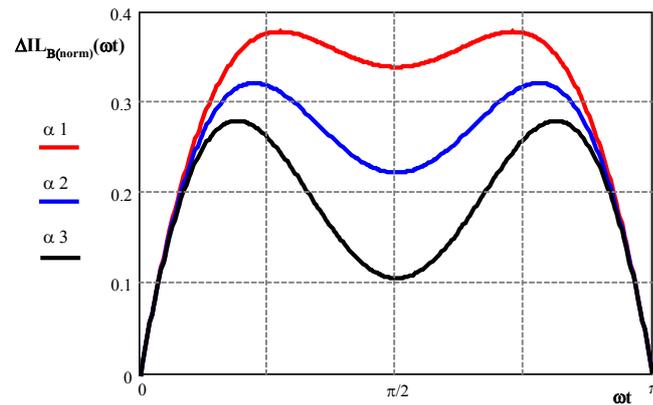


Figura 2.10. - Ábaco da variação do ripple da corrente normalizado em função de ωt , para cada α calculado.

Através da equação (2.21), pode-se isolar o valor do indutor L_B , tendo como resultado a equação (2.23).

$$L_B = \frac{V_p \cdot T}{\Delta I L_B} \Delta I L_{B(norm)} \quad (2.23)$$

Como a frequência é o inverso do período tem-se:

$$L_B = \frac{V_p}{f_s \cdot \Delta I L_B} \Delta I L_{B(norm)} \quad (2.24)$$

Para a variação de $\Delta I L_B = 1,34A$, o valor de $\Delta I L_{B(norm)}$ é 0,279.

Através da equação (2.24) obtém-se o valor mínimo do indutor que é $L_B = 1,5mH$. A fim de minimizar a ondulação da corrente no indutor adotou-se $L_B = 2mH$. Para o projeto físico do indutor utilizou-se a metodologia apresentada por Barbi (2001), obtendo-se o núcleo NEE 65/33/39 da Thornton com o fio AWG 15 e com 91 voltas.

2.4.2 - Cálculo do Capacitor Boost

Considerando uma variação de tensão nos terminais do capacitor de saída (ΔV_C) em mais ou menos 2%, tem-se:

$$\Delta V_C = V_{out} \cdot 0,02 = 8V \quad (2.25)$$

O capacitor de saída é calculado pela seguinte expressão:

$$C_{Bmin} = \frac{P_{0(max)}}{2 \cdot \pi \cdot f_{srede} \cdot V_{out} (\Delta V_c)} \quad (2.26)$$

onde:

$$P_{0(max)} = 1.200W,$$

$$V_{out} = 400V,$$

$$f_{srede} = 120Hz,$$

$$\Delta V_c = 8V,$$

$$\text{Logo, } C_{Bmin} = 498 \mu F.$$

Escolheu-se uma rede de capacitores com 4 capacitores da EPCOS B43840-A2687-M de 680 μ F/250V na configuração série-paralelo. Com esta associação foi possível obter um capacitor equivalente de 680 μ F/500V e com resistência série-equivalente reduzida.

2.4.3 - Cálculo do Filtro de Entrada

Para eliminar as ordens harmônicas de alta frequência da corrente de entrada é necessário projetar um filtro passa baixa. Para tal fim escolheu-se o filtro passivo LC.

A frequência de corte (f_c) para o filtro deve estar compreendida entre pelo menos 50 vezes a frequência da rede de alimentação, evitando o deslocamento entre a tensão de alimentação e a corrente de entrada, e, aproximadamente 1 década abaixo da frequência de comutação (f_s), com o intuito de atenuar todas as componentes de alta frequência.

As equações básicas para o projeto do filtro de entrada encontram-se a seguir:

$$f_c = \frac{f_s}{10} \quad (2.27)$$

$$\omega_c = 2 \cdot \pi \cdot f_c \quad (2.28)$$

$$R_{eq} = \frac{V_p}{I_{pico}} \quad (2.29)$$

Outro parâmetro muito importante a ser considerado é o coeficiente de amortecimento (ξ). Considerando $\xi > 0,7$ a fim de se evitar oscilações em altas frequências e deslocamento de fase em baixas frequências, adota-se $\xi = 1$.

$$C_{Filtro} = \frac{1}{2 \cdot R_{eq} \cdot \xi \cdot \omega_c} \quad (2.30)$$

$$L_{Filtro} = \frac{1}{\omega_c^2 \cdot C_{Filtro}} \quad (2.31)$$

Para o projeto do filtro de entrada, adotou-se f_c igual a 5,5kHz e o filtro foi projetado para a tensão e a corrente de entrada nominais. Com isto, obteve-se para o indutor do filtro (L_F) e para o capacitor do filtro (C_F), os valores de $L_F=1,8mH$ e $C_F=430nF$. Com o intuito de minimizar as componentes de alta frequência que circulam nos diodos da ponte retificadora, o capacitor de filtro foi dividido em dois e colocados um antes e outro depois da ponte retificadora. O capacitor (C_{F1}) de valor igual a 330nF foi colocado antes da ponte retificadora e o capacitor (C_{F2}) de valor igual a 100nF foi colocado depois da ponte retificadora.

Para a especificação dos outros elementos do circuito de potência utilizou-se a metodologia apresentada por Heldwein (1999). Os esforços e a especificação estão apresentados a seguir:

2.4.4 – Especificação do Interruptor Boost

A corrente eficaz máxima no interruptor pode ser aproximada por:

$$I_{SBeficaz(max)} = \sqrt{I_{ineficaz(max)}^2 - \frac{3}{8} \left(\frac{V_{pkmin} \cdot I_{inpkmin}}{V_{out}} \right)^2} \quad (2.32)$$

onde:

$I_{ineficazmax}$: Corrente eficaz máxima de entrada,

$I_{inpkmin}$: Corrente de pico mínima de entrada,

V_{pkmin} : Tensão de pico mínima de alimentação,

V_{out} : Tensão de saída do conversor.

Assim, tem-se:

$$I_{SBeficaz(max)} = \sqrt{6,42^2 - \frac{3}{8} \left(\frac{264,46,9,07}{400} \right)^2} \quad (2.33)$$

$$I_{SBeficaz(max)} = 5,26A$$

A tensão reversa máxima que o interruptor deverá suportar é a tensão máxima de saída. Com base nas grandezas acima e na frequência de comutação escolhida optou-se pelo IGBT HGTP7N60A4D da FAIRCHILD que suporta uma corrente eficaz de 7A e tensão reversa de 600V.

2.4.5 – Especificação do Diodo Boost

O diodo boost é dimensionado em função de sua corrente média e da tensão reversa máxima. A corrente média que circula através do diodo boost é a mesma corrente média que circula pela carga, portanto tem-se:

$$I_{DBm\acute{e}dia} = \frac{P_{\max}}{V_{out}} \quad (2.34)$$

$$I_{DBm\acute{e}dia} = \frac{1200}{400} = 3A$$

De posse destes valores escolheu-se o diodo ultra-rápido RHRP860 da FAIRCHILD que suporta uma corrente média de 8A, uma tensão reversa máxima de 600V e apresenta um tempo de recuperação reversa menor do que 50 nanosegundos (ns). De acordo com o fabricante, este dispositivo é do tipo ultra-rápido, onde sua característica de recuperação suave leva a diminuição de oscilações e de ruídos elétricos reduzindo as perdas em circuitos com transistores.

2.4.6 – Especificação dos Diodos da Ponte Retificadora

A corrente média sobre os diodos da ponte retificadora (I_{ref}) podem ser calculados da seguinte forma:

$$I_{\text{Re}tfm\acute{e}dia\max} = 0,45 \cdot I_{\text{ine}f\acute{e}caz\max} \quad (2.35)$$

$$I_{\text{Re}tfm\acute{e}dia\max} = 0,45 \cdot 6,42 = 2,9A$$

A tensão reversa máxima sobre cada diodo da ponte é dada pelo valor de pico da máxima tensão de alimentação, ou seja, 311 volts mais 15%.

Portanto, especificou-se a ponte retificadora GBU8J da FAIRCHILD que suporta uma corrente média de 8A e uma tensão reversa máxima de 600V.

2.4.7 - Proteções de Entrada

Para a proteção do circuito, foi inserido um fusível de 7A em série com a corrente de entrada e, além disto, a fim de diminuir a corrente de *inrush* requerida pelo capacitor de saída,

quando da sua primeira energização, inseriu-se também um termistor. O termistor escolhido foi o SG200 que apresenta 5 ohms (Ω) de resistência série quando frio e uma resistência de $0,07\Omega$ quando aquecido por corrente nominal de 7A. Com isto consegue-se minimizar a corrente de *inrush* do circuito, e, em regime permanente, as perdas por condução neste componente são irrisórias.

Além disso, foi inserido um diodo de pré-carga, o qual conecta a saída da ponte retificadora ao capacitor boost; com isto, consegue-se que a primeira corrente de carga do capacitor circule por esse diodo e não pelo indutor boost, minimizando possíveis oscilações. Depois da primeira carga, o capacitor de saída se carrega e bloqueia este diodo.

2.4.8 – Circuito *Snubber*

Como o conversor Boost opera no modo de condução contínua e não possui célula de comutação suave, as oscilações nos interruptores tendem a ser superiores. Portanto, inseriram-se dois circuitos *snubber*, um em paralelo com o diodo e outro em paralelo com o IGBT da estrutura, sendo os valores dos parâmetros ajustados em simulação. Com isto, obteve-se para o capacitor do *snubber* (C_{snubb}) o valor de 330pF e para a resistência do *snubber* (R_{snubb}) o valor de $100\Omega/2watts$.

2.4.9 - Cálculo dos dissipadores

Para o cálculo térmico e conseqüente escolha dos dissipadores utilizou-se da metodologia apresentada por Barbi (2001), escolhendo como temperatura ambiente a temperatura de 50 graus Celsius ($^{\circ}C$) e para a temperatura máxima de junção dos componentes a temperatura de $150^{\circ}C$, respeitando os limites máximos impostos pelos fabricantes.

Utilizou-se de dois dissipadores HS10425 da HS Dissipadores, onde se inseriu em um dissipador a ponte retificadora e o diodo de pré-carga e no outro o IGBT e o diodo Boost. Para o dissipador da ponte e do diodo de pré-carga, utilizou-se o dissipador com dimensões de 4 centímetros (cm) de altura por 7 cm de largura, com resistência térmica dissipador-ambiente R_{da} de $2,75^{\circ}C/W$, enquanto que para o IGBT e o diodo boost utilizou-se de um dissipador com 10cm de altura por 10,4cm de largura (dimensão própria do dissipador), com R_{da} de $1,79^{\circ}C/W$.

2.5 - Controle por Valores Médios Instantâneos da Corrente de Entrada

O diagrama de blocos do controle por valores médios instantâneos, enfocando os sinais de realimentação é apresentado na figura 2.11.

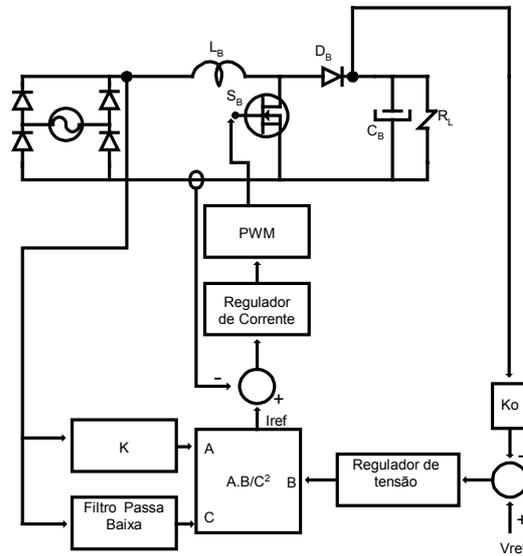


Figura 2.11. - Diagrama esquemático simplificado do controle por valores médios.

O controle por valores médios instantâneos da corrente de entrada baseia-se na comparação entre uma corrente de referência e a corrente que se deseja controlar. No caso do conversor Boost, a corrente a ser controlada é a corrente que circula através do indutor, que é a mesma corrente que circula pela fonte de alimentação. Garantindo-se o formato adequado da corrente de referência garante-se também o formato da corrente no indutor boost, e por conseguinte, o alto fator de potência da estrutura.

A corrente de referência é resultado de um multiplicador/divisor com entradas denominadas de A , B e C . A entrada A define o formato e a frequência da corrente de referência, ou seja, é responsável pela forma de onda com base na informação do valor instantâneo da tensão de alimentação. Um aumento (ou diminuição) desse sinal leva a um aumento (ou diminuição) da corrente de referência, indicando a necessidade de alteração da razão cíclica. A entrada B é o sinal de saída do compensador de tensão e ajusta a corrente de referência conforme variações de carga. Este sinal é o responsável pela informação sobre a energia drenada pela carga com base no valor médio da tensão de saída. Já o valor C , é proveniente da realimentação da entrada. A tensão da rede retificada é atenuada e filtrada, informando ao multiplicador/divisor um nível CC proporcional ao valor eficaz da tensão de alimentação. Através dessa entrada, ajusta-se a amplitude da corrente de referência conforme

variações no valor eficaz da tensão de alimentação, sendo este sinal responsável pela energia provida ao conversor, com base no valor eficaz da tensão de alimentação. Este sinal de controle é dito *feedforward* porque uma variação na entrada imediatamente altera o sinal de controle sem a necessidade de esperar que a saída do conversor se altere (controle *feedback*).

A lei de controle utilizada para a correta correção do fator de potência é a lei $A.B/C^2$. Ou seja, alterações nos sinais A e B levam a alterações proporcionais na corrente de referência, atualizando a razão cíclica do conversor. Deve-se observar que os sinais A e C são interdependentes, ou seja, uma variação no valor eficaz da tensão de alimentação (sinal C) leva obrigatoriamente a uma variação na amplitude da tensão de alimentação (sinal A). Portanto, se o sinal C não tiver contribuição quadrática, alterações no valor eficaz da tensão de alimentação não serão observadas na corrente de referência, já que os sinais A e C são interdependentes e uma alteração em um sinal leva a uma variação proporcional no outro. Logo, o sinal C é elevado ao quadrado, a fim de que uma alteração no valor eficaz da tensão de alimentação leve a uma mesma alteração na corrente de referência, mas de forma inversamente proporcional, uma vez que, ao se aumentar o valor eficaz da tensão de entrada, é necessária uma diminuição da corrente de referência com o objetivo de manter a potência na carga constante.

Nesse tipo de controle existem duas malhas de compensação interdependentes, que são as malhas de corrente e de tensão. A malha de corrente é responsável pela forma e pela frequência da corrente que circula pelo indutor, enquanto que a malha de tensão é responsável pela regulação da tensão de saída. Essas malhas devem operar com frequências de cruzamento de ganho diferentes a fim de que uma malha não atrapalhe o funcionamento da outra. Para o caso da correção do fator de potência, a malha de regulação de corrente deve ter uma resposta rápida a fim de reproduzir a corrente senoidal desejada. Portanto, escolhe-se uma frequência de cruzamento de ganho para essa malha de pelo menos um décimo da frequência de comutação. Já para a malha de regulação de tensão, uma frequência de cruzamento de ganho desejável encontra-se entre 10Hz à 16Hz. Percebe-se que essa malha opera como um filtro passa-baixas, com uma frequência de corte muito reduzida a fim de não introduzir no controle a ondulação de 120Hz. Apenas para exemplificar, se a malha de compensação de tensão fosse mais rápida do que a da malha de corrente, haveria problemas quanto ao formato da corrente que circularia pelo indutor, já que o compensador de corrente não seria capaz de dar um formato desejável à corrente.

2.6 – Resultados Experimentais para o Circuito de Potência

Ensaio em laboratório foram realizados a fim de verificar o funcionamento do conversor Boost e a funcionalidade da parte de potência projetada. O controle deste conversor foi realizado através do CI UC3854 e um exemplo de projeto pode ser encontrado em Todd (1995). O conversor foi operado variando de vazio à plena carga. Na figura 2.12 apresenta-se uma foto do protótipo implementado e as formas de onda de tensão e de corrente de entrada, bem como o espectro harmônico para cada condição de carga testada, estando representadas nas figuras 2.13 à 2.18.

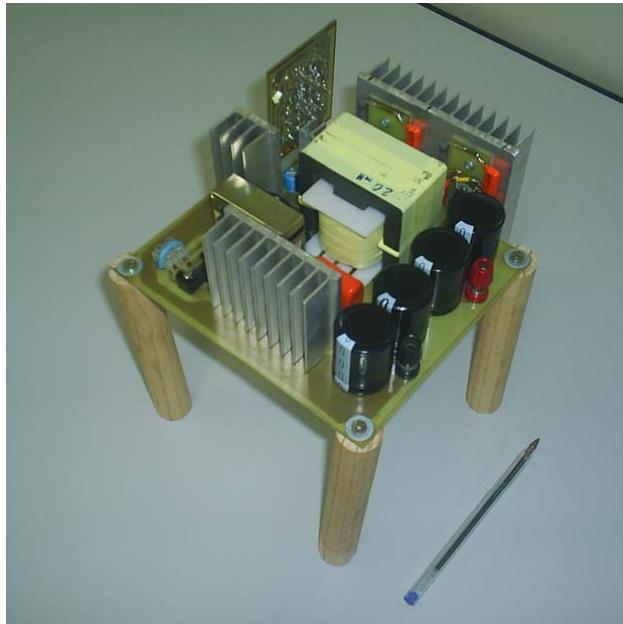
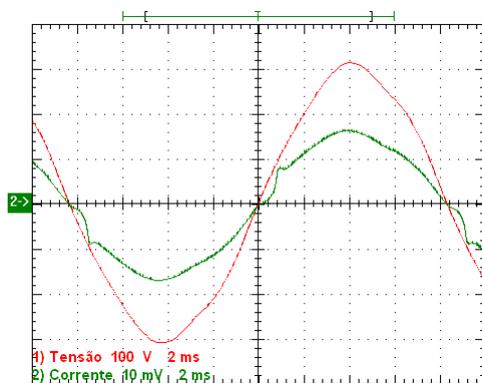
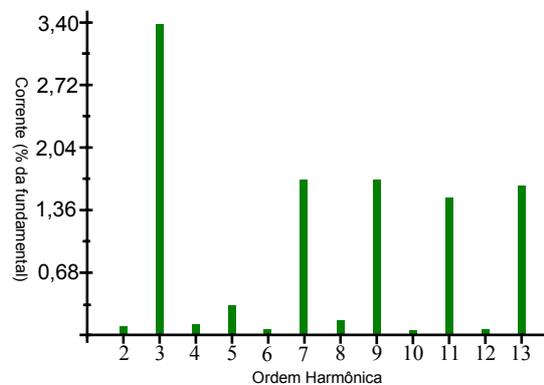


Figura 2.12. – Foto do protótipo do estágio pré-regulador retificador Boost.



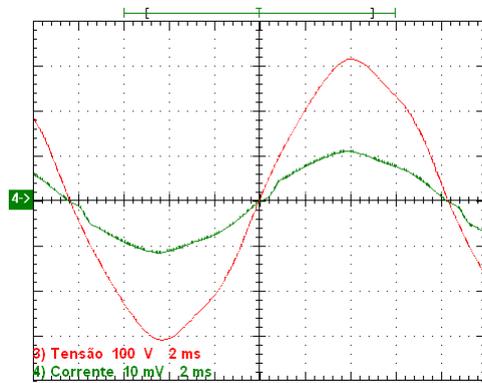
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
2ms/div



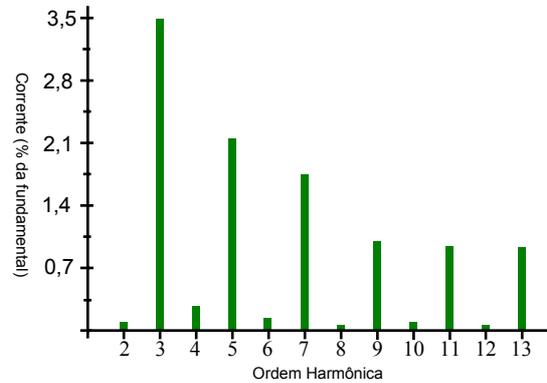
(b)

Figura 2.13. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga nominal; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Quando o conversor opera com potência nominal de 1.200W, fig. 2.13, a corrente de entrada apresenta uma DHT de 5,99% e um defasamento angular (ϕ) de $-1,46^\circ$, apresentando um FP de 0,9961. Isto para uma DHT da tensão de alimentação de 2,97%.



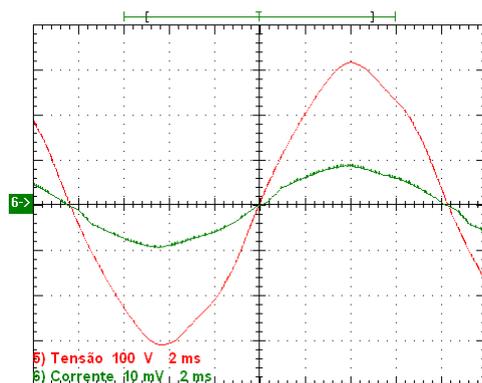
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
2ms/div



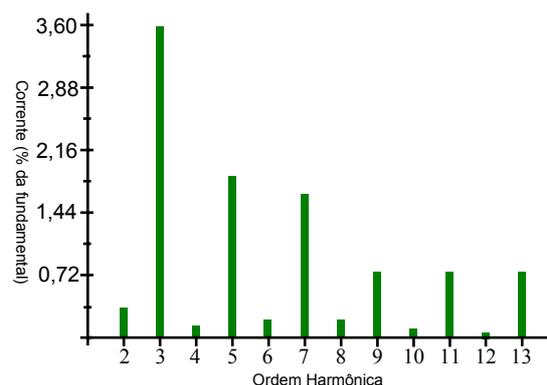
(b)

Figura 2.14. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga de 850 watts; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Quando o conversor opera na potência de 850W, fig. 2.14, a corrente de entrada apresenta uma DHT de 5% e um ϕ de $-2,50^\circ$, levando a um FP de 0,9965. Isto para uma DHT da tensão de alimentação de 2,75%.



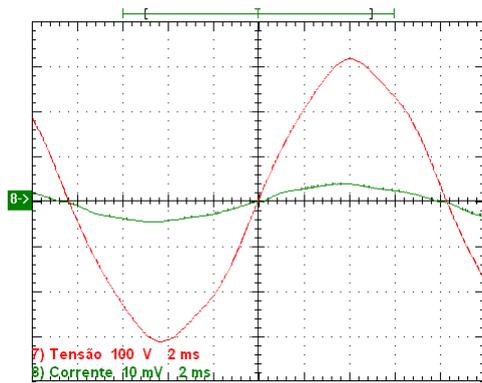
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
2ms/div



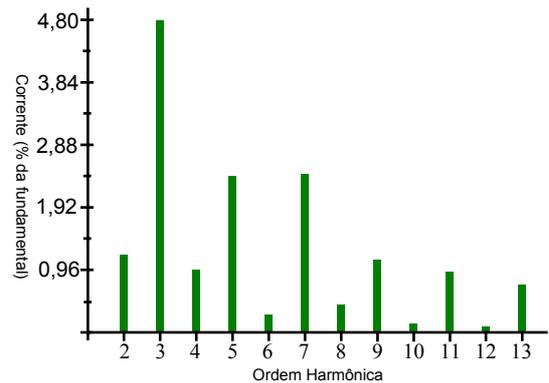
(b)

Figura 2.15. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga de 680 watts; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a potência de 680 watts, fig. 2.15, o conversor apresenta um FP de 0,9964, já que possui uma DHT de 4,637% e um ϕ de $-3,09^\circ$. Isto para uma DHT da tensão de 2,64%.



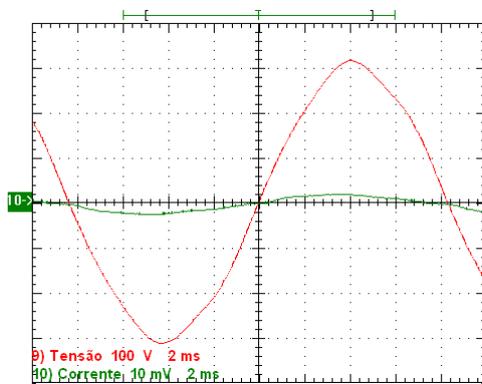
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
2ms/div



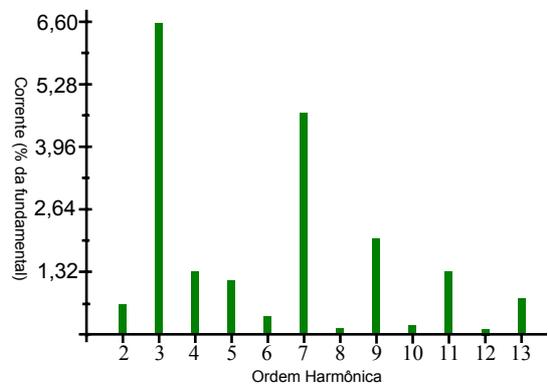
(b)

Figura 2.16. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga de 340 watts; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a carga de 340 watts, fig. 2.16, a corrente de entrada apresenta uma DHT de 6,34% e um ϕ de $-6,15^\circ$ levando a um FP de 0,9903. Isto para uma DHT da tensão de alimentação de 2,52%.



(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
2ms/div



(b)

Figura 2.17. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga de 200watts; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a carga de 200 watts, fig. 2.17, o conversor apresenta um FP de 0,9749, uma vez que a DHT da corrente de entrada e o ϕ são de 8,78% e $-10,76^\circ$, respectivamente. Isto para uma DHT da tensão de alimentação de 2,45%.

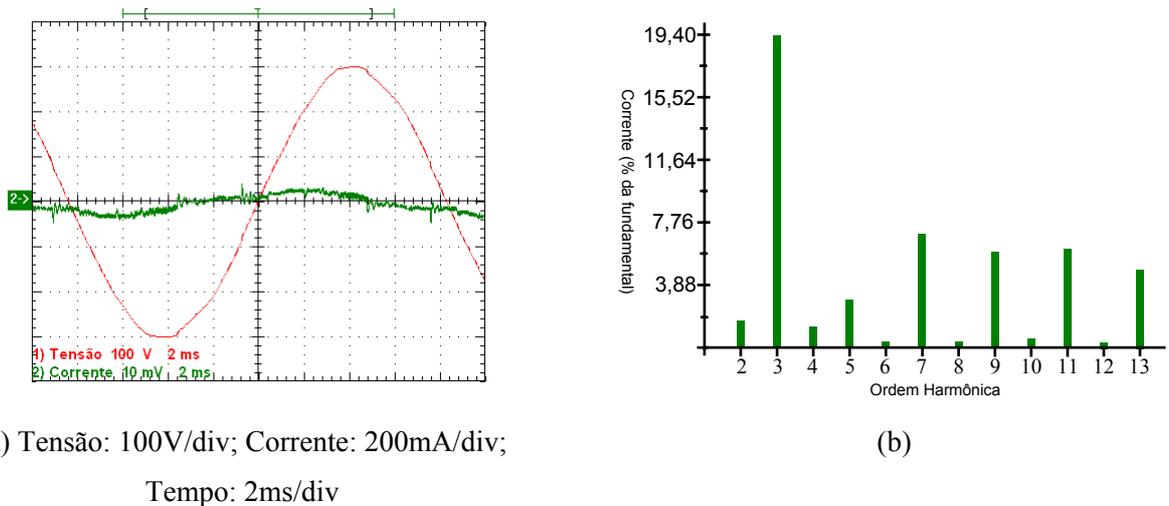


Figura 2.18. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) com o sistema à vazio; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Quando o conversor opera a vazio, fig. 2.18, tem-se o FP de 0,5246, uma DHT de 24,73% e um ϕ de $-56,17^\circ$. Isto para uma DHT da tensão de alimentação de 1,62%.

Ao se observar o comportamento das formas de onda de corrente e de seu respectivo fator de potência, verifica-se que o pré-regulador Boost consegue uma ótima conformidade para a forma de onda de corrente, apresentando fatores de potência elevados. Verifica-se também que quanto mais próximo da potência nominal, o filtro de entrada consegue uma melhor minimização do atraso entre as formas de onda (ϕ) de tensão e de corrente; isto era esperado, já que o filtro foi projetado para a potência nominal.

A seguir, nas figuras 2.19 à 2.21, apresentam-se as principais formas de onda do conversor operando na potência nominal.

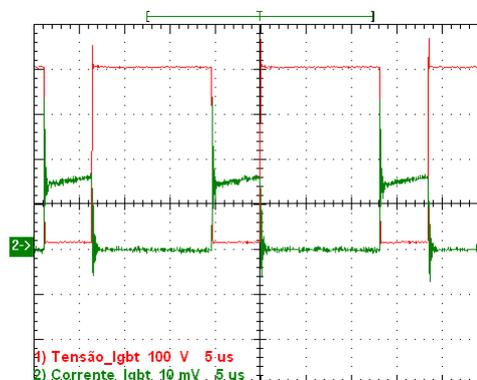


Figura 2.19. – Formas de onda da tensão (em vermelho) e da corrente no IGBT (em verde).
Escala: Tensão: 100V/div; Corrente: 5A/div, Tempo: 5 μ s/div.

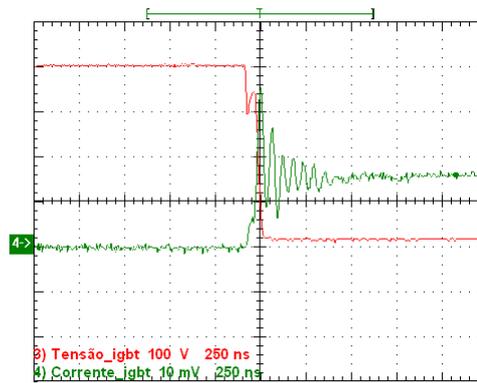


Figura 2.20. – Formas de onda da tensão (em vermelho) e da corrente no IGBT (em verde) na entrada em condução. Escalas: Tensão: 100V/div; Corrente: 5A/div; Tempo: 250ns/div.

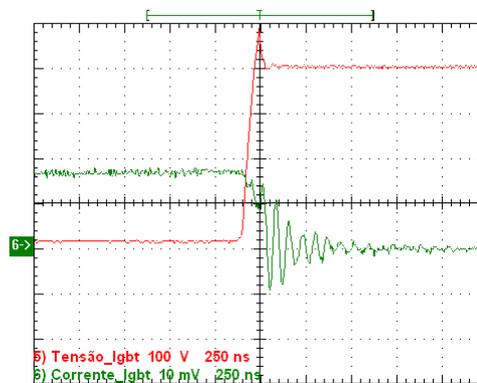


Figura 2.21. – Formas de onda da tensão (em vermelho) e da corrente no IGBT (em verde) no bloqueio. Escalas: Tensão: 100V/div; Corrente: 5A/div; Tempo: 250ns/div.

Ao se verificar as figuras 2.20 e 2.21, nota-se que a entrada em condução e o bloqueio do IGBT, apesar de dissipativos, são comportados. Nota-se que as oscilações na corrente terminam antes dos 500ns e, durante o bloqueio, a tensão sobre o interruptor não ultrapassa os 500 volts, demonstrando a eficácia do circuito *snubber* projetado.

Um detalhe que deve ser evidenciado é que na entrada em condução o IGBT apresenta um pico de corrente elevado (que pode ser observado na figura 2.19), que na verdade é a soma da corrente que circula pelo indutor e a corrente reversa que circula através do diodo boost. A corrente no diodo boost, bem como a sua recuperação reversa máxima (potência nominal), podem ser observados na figura 2.22. Portanto, o uso do diodo ultra-rápido com recuperação suave é fundamental nesta estrutura.

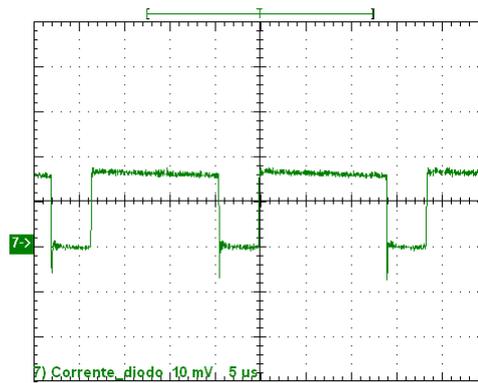
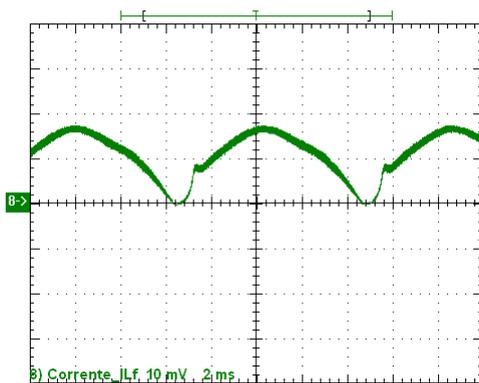
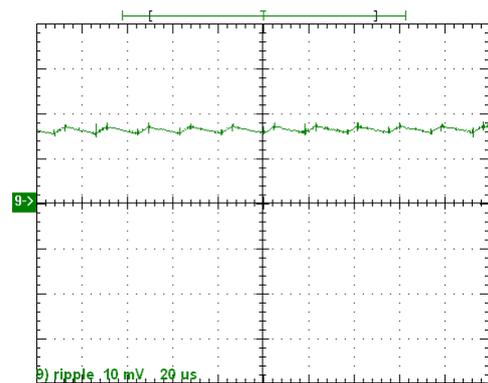


Figura 2.22. – Forma de onda corrente no diodo boost.
Escala: Corrente: 5A/div; Tempo: 5 μ s/div.

A seguir apresentam-se as formas de onda da corrente no indutor boost, fig. 2.23, bem como um detalhe da sua ondulação e a forma de onda da tensão de saída do conversor, fig.2.24, também com detalhe de sua ondulação.



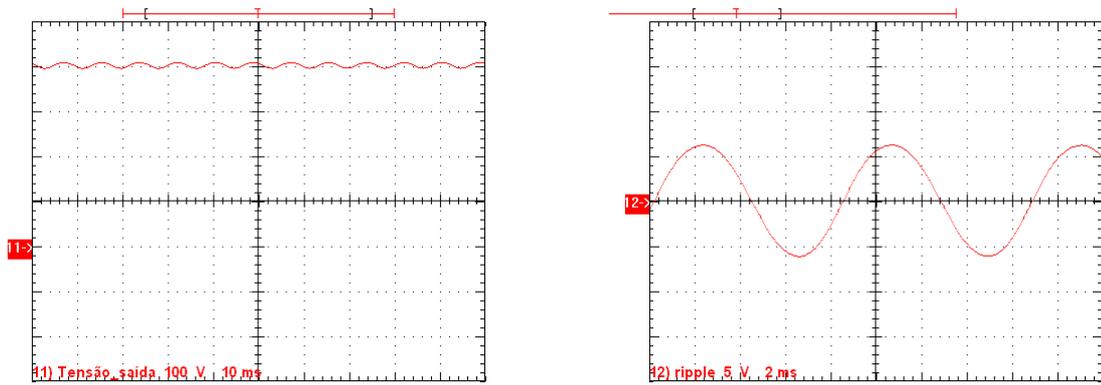
(a) Corrente: 5A/div; Tempo: 2ms/div



(b) Corrente: 5A/div; Tempo: 20 μ s/div

Figura 2.23. – (a) Forma de onda da corrente no indutor ; (b) Ondulação da corrente no indutor no instante em que a tensão de entrada passa pelo seu máximo valor instantâneo.

A corrente que circula pelo indutor do conversor apresenta uma ondulação de baixa magnitude, da ordem de 1 ampère, facilitando a filtragem realizada pelo filtro de entrada.



(a) Escalas: 100V/div; Tempo: 10ms/div.

(b) Escalas: 5V/div; Tempo: 2ms/div.

Figura 2.24. – (a) Forma de onda da tensão de saída ; (b) Ondulação da tensão de saída.

Observa-se que o conversor supre a carga com uma tensão de saída regulada e estabilizada em torno dos 400volts, apresentado uma ondulação da ordem de 12 volts de pico-a-pico, sendo considerada aceitável para a aplicação em questão, já que representa uma oscilação máxima de 3%, conforme se observa na figura 2.24.

2.7 – Conclusões

Através do projeto e posterior implementação deste estágio Pré-Regulador, foi possível verificar a funcionalidade dos elementos projetados e concluir que o estágio de potência é capaz de suprir a carga que será requisitada pelo sistema de iluminação multi-inversores e multi-lâmpadas, com adequados níveis de tensão de saída, desde vazio até plena carga.

Capítulo 3

Modelação e Obtenção das Funções de Transferência do Conversor Retificador Boost

3.1 – Introdução

A obtenção de um modelo para o conversor retificador Boost é de fundamental importância para um projeto correto dos controladores, tanto da malha de tensão quanto da malha de corrente. O método escolhido para a obtenção deste modelo é apresentado por Erickson e Macksimovic (2001) e consiste em analisar o conversor a partir de seus dois estados de funcionamento, representados pela condição do interruptor principal (aberto ou fechado), obtendo-se equações para dois estados distintos. Analisa-se o balanço de energia, tanto no indutor quanto no capacitor, em um período de comutação, através de seus valores médios. Em seguida, perturbações são inseridas no sistema e o mesmo é linearizado em torno de um ponto de operação a fim de se obter o modelo para o conversor.

Vale frisar que a modelação é a representação do fenômeno físico através de meios matemáticos. O modelo representa os comportamentos fundamentais dos circuitos, trazendo um equacionamento mais simples e se tornando uma importante ferramenta de projeto. No caso em questão, na modelação por valores médios, as ondulações tanto da corrente no indutor quanto da tensão no capacitor são removidas pelo cálculo do valor médio de cada grandeza, em um período de comutação.

Nesta seção, obtém-se um modelo CA a pequenos sinais para o conversor retificador Boost, e a partir dele, apresenta-se o equacionamento para a obtenção das funções de transferência necessárias para o projeto dos compensadores de tensão e de corrente. O equacionamento apresentado está descrito no plano S (contínuo), e, para o projeto dos compensadores digitais, é necessário que as funções de transferência obtidas, sejam convertidas para o plano Z (discreto), o qual será obtido através do uso da transformada Z no capítulo 5, itens 5.3 e 5.4.

3.2 – Obtenção do Modelo CA para Pequenos Sinais do Conversor Retificador Boost

Neste tópico apresenta-se o equacionamento necessário para a obtenção de um modelo em pequenos sinais para o conversor retificador Boost, levando-se em consideração a resistência série do capacitor.

Na figura 3.1 apresenta-se novamente o circuito equivalente para o conversor retificador Boost, com a inserção da resistência série do capacitor (R_{se}).

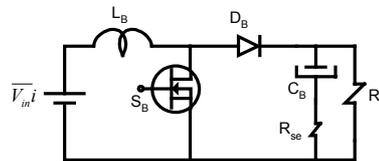


Figura 3.1. – Circuito Equivalente para o Conversor Retificador Boost.

A primeira etapa de funcionamento deste conversor ocorre quando o interruptor é comandado à condução. Esta etapa está representada na figura 3.2.

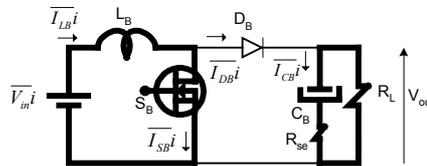


Figura 3.2. - Primeira etapa de funcionamento para o circuito equivalente do retificador boost.

A tensão no indutor L_B e a corrente no Capacitor C_B , para um período genérico (i) de funcionamento, são dadas por:

$$\bar{V}_{LBi}(t) = L_B \frac{d\bar{I}_{LBi}(t)}{dt} = \bar{V}_{ini}(t) \quad (3.1)$$

$$\bar{I}_{CBI}(t) = C_B \frac{d\bar{V}_{CBI}(t)}{dt} = \frac{-V_{out}}{R_L}(t) \quad (3.2)$$

Substituindo os parâmetros tensão de entrada (\bar{V}_{ini}) e tensão de saída (V_{out}) pelos seus respectivos valores médios em um período de comutação ($\langle \rangle_{T_s}$), chega-se à:

$$\bar{V}_{LBi}(t) = L_B \frac{d\bar{I}_{LBi}(t)}{dt} \cong \langle \bar{V}_{ini}(t) \rangle_{T_s} \quad (3.3)$$

$$\bar{I}_{CBI}(t) = C_B \frac{d\bar{V}_{CBI}(t)}{dt} \cong \frac{-\langle V_{out}(t) \rangle_{T_s}}{R_L} \quad (3.4)$$

Quando o interruptor é bloqueado, tem-se início à segunda etapa de funcionamento, sendo esta etapa descrita pela figura 3.3.

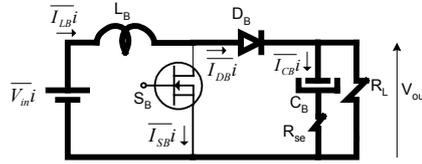


Figura 3.3. - Segunda etapa de funcionamento para o circuito equivalente do retificador boost.

A tensão no indutor L_B e a corrente no capacitor C_B , para um período genérico (i) de funcionamento, podem ser equacionadas através de:

$$\bar{V}_{LB}i(t) = L_B \frac{d\bar{I}_{LB}i(t)}{dt} = \bar{V}_{in}i(t) - V_{out}(t) \quad (3.5)$$

$$\bar{I}_{CB}i(t) = C_B \frac{d\bar{V}_{CB}i(t)}{dt} = \bar{I}_{LB}i(t) - \frac{V_{out}(t)}{R_L} \quad (3.6)$$

Substituindo os parâmetros tensão de entrada ($\bar{V}_{in}i$) e tensão de saída (V_{out}) pelos seus respectivos valores médios em um período de comutação ($\langle \rangle_{T_s}$), chega-se à:

$$\bar{V}_{LB}i(t) = L_B \frac{d\bar{I}_{LB}i(t)}{dt} \cong \langle \bar{V}_{in}i(t) \rangle_{T_s} - \langle V_{out}(t) \rangle_{T_s} \quad (3.7)$$

$$\bar{I}_{CB}i(t) = C_B \frac{d\bar{V}_{CB}i(t)}{dt} \cong \langle \bar{I}_{LB}i(t) \rangle_{T_s} - \frac{\langle V_{out}(t) \rangle_{T_s}}{R_L} \quad (3.8)$$

Encontrando o valor médio da tensão no indutor em um período de chaveamento (duas etapas de funcionamento), tem-se:

$$\langle \bar{V}_{LB}i(t) \rangle_{T_s} = \frac{1}{T_s} \int_t^{t+T_s} \bar{V}_{LB}i(\tau) d\tau \cong Di \langle \bar{V}_{in}i(t) \rangle_{T_s} + (1 - Di) \left[\langle \bar{V}_{in}i(t) \rangle_{T_s} - \langle V_{out}(t) \rangle_{T_s} \right] \quad (3.9)$$

$$\langle \bar{V}_{LB}i(t) \rangle_{T_s} = \langle \bar{V}_{in}i(t) \rangle_{T_s} + (1 - Di) \left[- \langle V_{out}(t) \rangle_{T_s} \right] = L_B \frac{d\bar{I}_{LB}i(t)}{dt} \quad (3.10)$$

O mesmo pode ser obtido para a corrente média no capacitor:

$$\langle \bar{I}_{CB}i(t) \rangle_{T_s} = \frac{1}{T_s} \int_t^{t+T_s} \bar{I}_{CB}i(\tau) d\tau \cong Di \frac{\langle -V_{out}(t) \rangle_{T_s}}{R_L} + (1 - Di) \left[\langle \bar{I}_{LB}i(t) \rangle_{T_s} - \frac{\langle V_{out}(t) \rangle_{T_s}}{R_L} \right] \quad (3.11)$$

$$\langle \bar{I}_{CB}i(t) \rangle_{T_s} = (1 - Di) \left[\langle \bar{I}_{LB}i(t) \rangle_{T_s} \right] - \frac{\langle V_{out}(t) \rangle_{T_s}}{R_L} \quad (3.12)$$

As equações (3.10) e (3.12) não contêm os efeitos da comutação e contemplam as componentes de baixa frequência.

A corrente de entrada do sistema é a mesma corrente que circula através do indutor, portanto:

$$\langle \bar{I}_{in} i(t) \rangle_{T_s} = \langle \bar{I}_{LB} i(t) \rangle_{T_s} \quad (3.13)$$

A seguir são inseridas perturbações no sistema, ou seja, pequenas variações nos sinais e posteriormente linearizam-se as equações em torno de um ponto de operação. Com a inserção das perturbações, assume-se que cada variável é composta pelo seu valor DC (representado com letra inicial maiúscula) mais uma pequena variação AC (representado pela variável com sinal de acento circunflexo na primeira letra) sobreposta ao sinal, portanto têm-se:

$$\langle \bar{V}_{in} i(t) \rangle_{T_s} = \bar{V}_{in} i + \hat{v}_{in} i(t) \quad (3.14)$$

$$\langle \bar{I}_{in} i(t) \rangle_{T_s} = \bar{I}_{in} i + \hat{i}_{in} i(t) \quad (3.15)$$

$$\langle \bar{I}_{LB} i(t) \rangle_{T_s} = \bar{I}_{LB} i + \hat{i}_{LB} i(t) \quad (3.16)$$

$$\langle \bar{V}_{out}(t) \rangle_{T_s} = \bar{V}_{out} + \hat{v}_{out}(t) \quad (3.17)$$

$$\langle \bar{V}_{CB} i(t) \rangle_{T_s} = \bar{V}_{CB} i + \hat{v}_{CB} i(t) \quad (3.18)$$

$$Di(t) = Di + \hat{d}i(t) \quad (3.19)$$

De posse deste conjunto de equações, perturba-se o sistema, substituindo estes termos nas equações (3.10), (3.12) e (3.13), tendo como resultado as expressões a seguir.

Para a tensão média no indutor:

$$L_B \frac{d\left(\bar{I}_{LB} i + \hat{i}_{LB} i(t)\right)}{dt} = \bar{V}_{in} i + \hat{v}_{in} i - \left[(1 - Di) - \hat{d}i(t) \right] \left(\bar{V}_{out} - \hat{v}_{out} \right) \quad (3.20)$$

$$L_B \frac{d\left(\bar{I}_{LB} i + \hat{i}_{LB} i(t)\right)}{dt} = \bar{V}_{in} i + \hat{v}_{in} i - (1 - Di) \bar{V}_{out} - (1 - Di) \hat{v}_{out}(t) + \hat{d}i(t) \bar{V}_{out} + \hat{d}i(t) \hat{v}_{out} \quad (3.21)$$

$$L_B \left[\frac{d\bar{I}_{LB} i}{dt} + \frac{d\hat{i}_{LB} i(t)}{dt} \right] = \bar{V}_{in} i + \hat{v}_{in} i - (1 - Di) \bar{V}_{out} - (1 - Di) \hat{v}_{out}(t) + \hat{d}i(t) \bar{V}_{out} + \hat{d}i(t) \hat{v}_{out} \quad (3.22)$$

Como a derivada de uma constante é nula e ignorando os termos de segunda ordem tem-se:

$$L_B \left[\frac{d \hat{i}_{LB} i(t)}{dt} \right] = + \hat{v}_{in} i - (1 - Di) \hat{v}_{out}(t) + \hat{d}i(t) V_{out} \quad (3.23)$$

Para a corrente média no capacitor:

$$C_B \frac{d(\bar{V}_{CBi} + \hat{v}_{CB} i(t))}{dt} = \left[(1 - Di) - \hat{d} i(t) \right] \left(\bar{I}_{LBi} + \hat{i}_{LB} i(t) \right) - \left(\frac{V_{out}}{R_L} + \frac{\hat{v}_{out}}{R_L} \right) \quad (3.24)$$

$$C_B \frac{d(\bar{V}_{CBi} + \hat{v}_{CB} i(t))}{dt} = (1 - Di) \bar{I}_{LBi} + (1 - Di) \hat{i}_{LB} i(t) - \hat{d} i(t) \bar{I}_{LBi} - \hat{d} i(t) \hat{i}_{LB} i - \left(\frac{V_{out}}{R_L} + \frac{\hat{v}_{out}}{R_L} \right) \quad (3.25)$$

$$C_B \left[\frac{d\bar{V}_{CBi}}{dt} + \frac{d\hat{v}_{CB} i(t)}{dt} \right] = (1 - Di) \bar{I}_{LBi} + (1 - Di) \hat{i}_{LB} i(t) - \hat{d} i(t) \bar{I}_{LBi} - \hat{d} i(t) \hat{i}_{LB} i - \left(\frac{V_{out}}{R_L} + \frac{\hat{v}_{out}}{R_L} \right) \quad (3.26)$$

De modo análogo ao anterior tem-se:

$$C_B \left[\frac{d\hat{v}_{CB} i(t)}{dt} \right] = (1 - Di) \hat{i}_{LB} i(t) - \hat{d} i(t) \bar{I}_{LBi} - \frac{\hat{v}_{out}}{R_L} \quad (3.27)$$

Como a corrente de entrada é a mesma corrente que circula através do indutor, as variações a pequenos sinais são também as mesmas:

$$\hat{i}_{in} i(t) = \hat{i}_{LB} i(t) \quad (3.28)$$

De posse das equações (3.23), (3.27) e (3.28), constrói-se um circuito equivalente para cada equação.

Da equação (3.23) pode-se obter o circuito representado na figura 3.4:

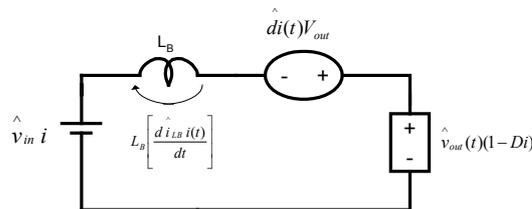


Figura 3.4. – Circuito equivalente obtido para a tensão média no indutor L_B .

Da equação (3.27), obtém-se o circuito representado na figura 3.5:

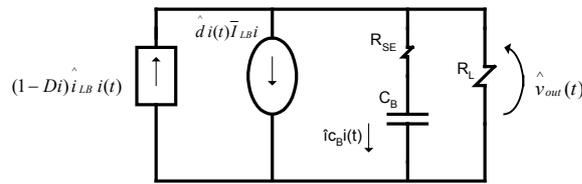


Figura 3.5. – Circuito equivalente para a corrente média no capacitor C_B .

Da equação (3.28), chega-se ao circuito da figura 3.6:

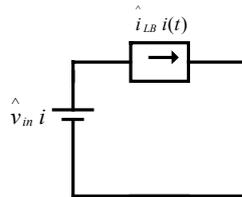


Figura 3.6. – Circuito equivalente para a corrente de entrada do conversor.

Representando os três circuitos na figura (3.7), tem-se:

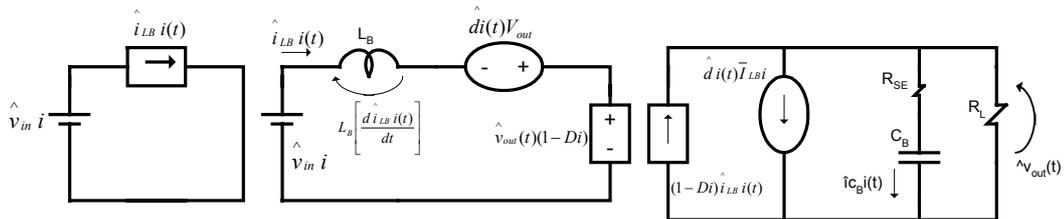


Figura 3.7 – Representação dos circuitos.

Pode-se observar que a corrente de entrada é a mesma corrente que circula no indutor.

Além disto, verifica-se que a fonte de tensão $(1 - Di) v_{out}(t)$ e a fonte de corrente $(1-Di) \hat{i}_{LB} i(t)$ podem ser agrupadas em um “transformador” ideal, com razão de transformação $(1-Di):1$. Logo, o circuito equivalente se resume ao da figura 3.8:

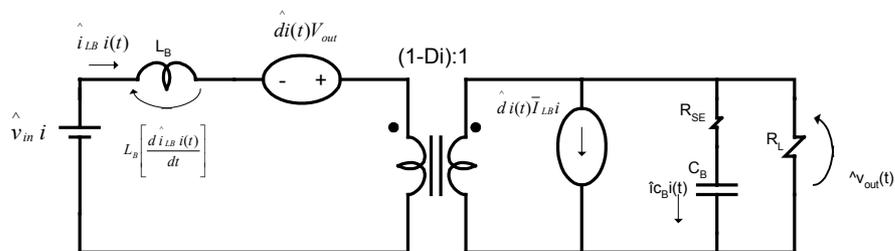


Figura 3.8. – Modelo CA para pequenos sinais para o circuito equivalente do conversor retificador Boost.

O “transformador” aqui representado é um transformador idealizado, o qual é capaz de transformar correntes e tensões tanto ca quanto cc.

3.3 – Análise CC do Conversor Retificador Boost

A análise CC do conversor retificador Boost pode ser obtida simplesmente utilizando o modelo obtido na figura 3.8, onde as fontes de tensão AC são curto-circuitadas e as fontes de corrente são consideradas circuitos abertos, levando ao circuito da figura 3.9.

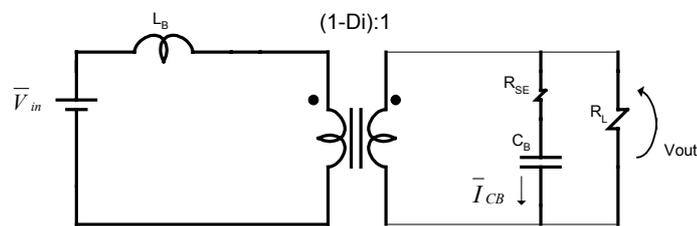


Figura 3.9. – Modelo CC do conversor retificador Boost.

Na análise CC é importante encontrar o ganho estático do conversor (G) e a corrente média sobre o indutor (I_{LB}). Para encontrar o ganho estático refere-se o circuito para o primário do “transformador” ideal, e, para a determinação da corrente média no indutor refere-se o circuito para o secundário. Para este caso, a fonte de tensão \bar{V}_{in} , representa o valor eficaz da tensão CA senoidal de alimentação. O ganho estático e a corrente média no indutor estão representadas em (3.29) e (3.30).

$$G = \frac{V_{out}}{\bar{V}_{in}} = \frac{1}{1-D} \quad (3.29)$$

$$I_{LB} = \frac{V_{out}}{(1-D)R_L} \quad (3.30)$$

3.4 – Obtenção das Funções de Transferência a Partir do Modelo CA para Pequenos Sinais do Conversor Retificador Boost

Com o modelo CA do conversor, qualquer função de transferência desejada pode ser obtida através de equacionamento matemático ou redução do circuito (referindo-se para o primário ou secundário). Na figura 3.10, tem-se novamente o modelo do conversor, e a partir

dele são escritas três equações fundamentais. Duas delas já foram apresentadas e fazem parte da construção do modelo.

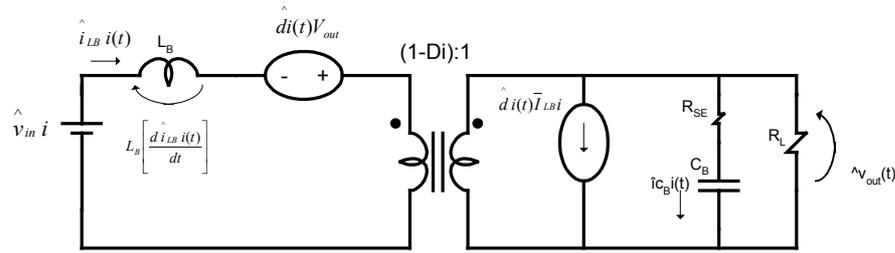


Figura 3.10. – Modelo CA para pequenos sinais para o circuito equivalente do conversor retificador Boost.

Com o modelo é possível escrever:

$$L_B \left[\frac{d \hat{i}_{LB} i(t)}{dt} \right] = + \hat{v}_{in} i - (1 - Di) \hat{v}_{out}(t) + \hat{d}i(t) V_{out} \quad (3.31)$$

$$C_B \left[\frac{d \hat{v}_{CB} i(t)}{dt} \right] = (1 - Di) \hat{i}_{LB} i(t) - \hat{d}i(t) \bar{I}_{LB} i - \frac{\hat{v}_{out}}{R_L} \quad (3.32)$$

$$\hat{v}_{out}(t) = \hat{v}_{CB} i(t) + R_{SE} C_B \left[\frac{d \hat{v}_{CB} i(t)}{dt} \right] \quad (3.33)$$

Aplicando a transformada de Laplace a estas equações:

$$s L_B \hat{i}_{LB} i(s) = \hat{v}_{in} i(s) - (1 - Di) \hat{v}_{out}(s) + \hat{d}i(s) V_{out} \quad (3.34)$$

$$s C_B \hat{v}_{CB} i(s) = (1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) \bar{I}_{LB} i - \frac{\hat{v}_{out}(s)}{R_L} \quad (3.35)$$

$$\hat{v}_{out}(s) = \hat{v}_{CB} i(s) + s R_{SE} C_B \hat{v}_{CB} i(s) \quad (3.36)$$

Isolando-se $\hat{v}_{CB}(s)$ na equação (3.36) obtém-se:

$$\hat{v}_{CB} i(s) = \frac{\hat{v}_{out}(s)}{1 + s R_{SE} C_B} \quad (3.37)$$

Substituindo a equação (3.37) na equação (3.35) tem-se:

$$s C_B \left[\frac{\hat{v}_{out}(s)}{1 + s R_{SE} C_B} \right] = (1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) \bar{I}_{LB} i - \frac{\hat{v}_{out}(s)}{R_L} \quad (3.38)$$

$$sC_B \left[\frac{\hat{v}_{out}(s)}{1 + sR_{SE}C_B} \right] + \frac{\hat{v}_{out}(s)}{R_L} = (1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) \bar{I}_{LB} i \quad (3.39)$$

$$\hat{v}_{out}(s) \left[\frac{sC_B}{1 + sR_{SE}C_B} + \frac{1}{R_L} \right] = (1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) \bar{I}_{LB} i \quad (3.40)$$

$$\hat{v}_{out}(s) \left[\frac{1 + sC_B(R_L + R_{SE})}{R_L(1 + sR_{SE}C_B)} \right] = (1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) \bar{I}_{LB} i \quad (3.41)$$

Isolando $\hat{v}_{out}(s)$ chega-se à:

$$\hat{v}_{out}(s) = \left[(1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) \bar{I}_{LB} i \right] \left[\frac{R_L(1 + sR_{SE}C_B)}{1 + sC_B(R_L + R_{SE})} \right] \quad (3.42)$$

A partir da equação (3.42), pode-se obter duas funções de transferência (FT) distintas, a $G_{vd}(s)$ que representa a FT das variações a pequenos sinais da tensão de saída pelas variações a pequenos sinais da razão cíclica, ou, a $G_{vi}(s)$ a qual representa a FT das variações a pequenos sinais da tensão de saída pelas variações a pequenos sinais da corrente no indutor.

Para projetar o controlador de tensão usar-se-á a FT $G_{vi}(s)$. Essa FT é obtida anulando-se todas as outras perturbações existentes no sistema, a menos da variação na corrente do indutor, e obtendo-se uma expressão matemática que representa as variações a pequenos sinais na tensão de saída quando existem variações a pequenos sinais na corrente do indutor. Desta forma, variações na tensão de saída podem ser corrigidas por variações realizadas na corrente no indutor.

$$G_{vi}(s) = \left. \frac{\hat{v}_{out}(s)}{\hat{i}_{LB} i(s)} \right|_{\hat{d}i(s)=0} = (1 - Di) R_L \left[\frac{1 + sR_{SE}C_B}{1 + sC_B(R_L + R_{SE})} \right] \quad (3.43)$$

A FT $G_{vi}(s)$ pode ser comparada com uma função de transferência de primeira ordem, possuindo um ganho CC, um zero na frequência ω_{z1} e um pólo na frequência ω_{p1} :

$$G_{vi}(s) = \text{Ganho}_{Gvi} \left[\frac{1 + \frac{s}{\omega_{z1}}}{1 + \frac{s}{\omega_{p1}}} \right] \quad (3.44)$$

Por comparação direta obtém-se:

$$\text{Ganho}_{Gvi} = R_L (1 - Di) \quad (3.45)$$

$$\omega_{z1} = \frac{1}{R_{SE}C_B} \quad (3.46)$$

$$\omega_{p1} = \frac{1}{C_B (R_L + R_{SE})} \quad (3.47)$$

Substituindo a equação (3.42) na equação (3.34) tem-se:

$$sL_B \hat{i}_{LB} i(s) = \hat{v}_{in} i(s) - (1 - Di) \left\{ (1 - Di) \hat{i}_{LB} i(s) - \hat{d}i(s) I_{LB} i \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] \right\} + \hat{d}i(s) V_{out} \quad (3.48)$$

$$sL_B \hat{i}_{LB} i(s) = \hat{v}_{in} i(s) - (1 - Di)^2 \hat{i}_{LB} i(s) \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] + (1 - Di) \hat{d}i(s) I_{LB} i \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] + \hat{d}i(s) V_{out} \quad (3.49)$$

$$sL_B \hat{i}_{LB} i(s) + (1 - Di)^2 \hat{i}_{LB} i(s) \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] = \hat{v}_{in} i(s) + (1 - Di) \hat{d}i(s) I_{LB} i \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] + \hat{d}i(s) V_{out} \quad (3.50)$$

Substituindo o valor médio da corrente representada pela equação (3.30), chega-se à:

$$sL_B \hat{i}_{LB} i(s) + (1 - Di)^2 \hat{i}_{LB} i(s) \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] = \hat{v}_{in} i(s) + (1 - Di) \hat{d}i(s) \frac{V_{out}}{(1 - Di) R_L} \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] + \hat{d}i(s) V_{out} \quad (3.51)$$

$$sL_B \hat{i}_{LB} i(s) + (1 - Di)^2 \hat{i}_{LB} i(s) \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] = \hat{v}_{in} i(s) + (1 - Di) \hat{d}i(s) \frac{V_{out}}{(1 - Di) R_L} \left[\frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] + \hat{d}i(s) V_{out} \quad (3.52)$$

$$\hat{i}_{LB} i(s) \left[sL_B + (1 - Di)^2 \frac{R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] = \hat{v}_{in} i(s) + \hat{d}i(s) V_{out} \left[\frac{1 + sR_{SE} C_B}{1 + sC_B (R_L + R_{SE})} \right] + \hat{d}i(s) V_{out} \quad (3.53)$$

$$\hat{i}_{LB} i(s) \left[\frac{sL_B + s^2 L_B C_B (R_L + R_{SE}) + (1 - Di)^2 R_L (1 + sR_{SE} C_B)}{1 + sC_B (R_L + R_{SE})} \right] = \hat{v}_{in} i(s) + \hat{d}i(s) V_{out} \left[\frac{1 + sR_{SE} C_B + 1 + sC_B (R_L + R_{SE})}{1 + sC_B (R_L + R_{SE})} \right] \quad (3.54)$$

A partir da equação (3.54) pode-se obter duas funções de transferência para a corrente no indutor, sendo elas: a $G_{iv}(s)$ que representa a função de transferência das variações a

pequenos sinais na corrente do indutor pelas variações a pequenos sinais na tensão de entrada, ou, a $G_{id}(s)$ a qual representa a função de transferência das variações a pequenos sinais na corrente do indutor pelas variações a pequenos sinais na razão cíclica (variável de controle).

Para projetar o controlador de corrente usar-se-á a FT $G_{id}(s)$. Essa FT é encontrada anulando-se todas as outras perturbações existentes no sistema a menos das variações a pequenos sinais da razão cíclica e obtendo-se uma expressão matemática que representa as variações a pequenos sinais na corrente do indutor quando existem variações a pequenos sinais na razão cíclica. Com isto, as variações presentes na corrente do indutor podem ser corrigidas pela variação da razão cíclica.

$$G_{id}(s) = \left. \frac{\hat{i}_{LB} \hat{i}(s)}{\hat{d} i(s)} \right|_{\hat{v}_{in} i(s)=0} = V_{out} \left[\frac{2 + 2sR_{SE}C_B + sR_L C_B}{s^2 L_B C_B (R_L + R_{SE}) + (1 - Di)^2 R_L (1 + sR_{SE}C_B) + sL_B} \right] \quad (3.55)$$

$$G_{id}(s) = 2V_{out} \left[\frac{1 + sC_B \left(\frac{R_L}{2} + R_{SE} \right)}{s^2 L_B C_B (R_L + R_{SE}) + sL_B + s(1 - Di)^2 R_L R_{SE} C_B + (1 - Di)^2 R_L} \right] \quad (3.56)$$

$$G_{id}(s) = 2V_{out} \left[\frac{1 + sC_B \left(\frac{R_L}{2} + R_{SE} \right)}{s^2 L_B C_B (R_L + R_{SE}) + s \left[L_B + (1 - Di)^2 R_L R_{SE} C_B \right] + (1 - Di)^2 R_L} \right] \quad (3.57)$$

$$G_{id}(s) = \frac{2V_{out}}{R_L (1 - D)^2} \left[\frac{1 + sC_B \left(\frac{R_L}{2} + R_{SE} \right)}{1 + s \left[\frac{L_B + (1 - Di)^2 R_L R_{SE} C_B}{R_L (1 - Di)^2} \right] + s^2 \frac{L_B C_B (R_L + R_{SE})}{R_L (1 - Di)^2}} \right] \quad (3.58)$$

$$G_{id}(s) = \frac{2V_{out}}{R_L (1 - Di)^2} \left[\frac{1 + sC_B \left(\frac{R_L}{2} + R_{SE} \right)}{1 + s \left[\frac{L_B}{R_L (1 - Di)^2} + R_{SE} C_B \right] + s^2 \frac{L_B C_B}{(1 - Di)^2} \left[1 + \frac{R_{SE}}{R_L} \right]} \right] \quad (3.59)$$

A FT $G_{id}(s)$, equação (3.59), pode ser comparada com a forma padrão de segunda ordem, possuindo um ganho CC, um zero na frequência ω_z e um par de pólos quadráticos na frequência de ressonância ω_0 , sendo a forma padrão representada em (3.60).

$$G_{id}(s) = \text{Ganho}_{Gid} \left[\frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{Q\omega_0} + \left(\frac{s}{\omega_0} \right)^2} \right] \quad (3.60)$$

Por comparação direta obtém-se:

$$Ganho_{Gid} = \frac{2V_{out}}{R_L(1-Di)^2} \quad (3.61)$$

$$\omega_z = \frac{1}{C_B \left(\frac{R_L}{2} + R_{SE} \right)} \quad (3.62)$$

$$\omega_0 = \frac{(1-Di)}{\sqrt{L_B C_B \left(1 + \frac{R_{SE}}{R_L} \right)}} \quad (3.63)$$

$$Q = \frac{R_L(1-Di)}{\left(L_B + R_L R_{SE} C_B (1-Di)^2 \right)} \left[\sqrt{L_B C_B \left(1 + \frac{R_{SE}}{R_L} \right)} \right] \quad (3.64)$$

A variável Q é denominada de fator de qualidade e está vinculada com o coeficiente de amortecimento do sistema (ξ) pela expressão (3.65).

$$Q = \frac{1}{2\xi} \quad (3.65)$$

3.5 – Conclusões

Através da modelação por valores médios, pôde-se encontrar um modelo a pequenos sinais para o circuito equivalente do conversor retificador Boost. De posse deste modelo, foi possível encontrar todas as funções de transferência pertinentes ao projeto dos controladores para o conversor, seja na forma de redução do circuito ou por análise matemática das principais equações dos elementos armazenadores de energia. Obtiveram-se duas funções de transferência fundamentais, a FT $G_{id}(s)$ e a FT $G_{vi}(s)$, as quais representam, respectivamente, as variações a pequenos sinais da corrente no indutor pelas variações a pequenos sinais da razão cíclica e as variações a pequenos sinais da tensão de saída pelas variações a pequenos sinais da corrente no indutor. Desta forma, altera-se a razão cíclica para controlar a corrente no indutor, e, por conseguinte, controlando a corrente controlar-se-á também a tensão de saída.

Capítulo 4

Considerações sobre o Controle Digital

4.1 – Introdução

Atualmente, verifica-se um rápido aumento no uso de controladores digitais em sistemas de controle, sendo que os controladores digitais são usados para atingir desempenho ótimo; seja na forma de máxima produtividade, máximo lucro, menores custos, ou menor gasto de energia. Mais recentemente, a aplicação do controle digital possibilitou a mobilidade inteligente dos robôs industriais, a otimização do consumo de combustíveis em automóveis e o refinamento na operação dos eletrodomésticos e de máquinas em geral, dentre várias outras. A capacidade de decisão e a flexibilidade no programa de controle são as maiores vantagens do uso de sistemas controlados digitalmente. A tendência atual em direção ao controle digital de sistemas dinâmicos está na disponibilidade cada vez maior de se adquirir dispositivos digitais de baixo custo e nas vantagens encontradas em se trabalhar com sinais digitais ao invés dos analógicos (OGATA, 2000).

Um controlador digital necessita de um conversor analógico para digital (A/D) a fim de ter acesso às informações do sistema a ser controlado, uma vez que é o conversor A/D que executa o procedimento de aquisição de um sinal.

A compensação é efetuada por um algoritmo numérico, em geral uma equação a diferenças, sendo que o resultado da equação representa a ação de controle que deve ser transferida para o sistema a ser controlado através de algum tipo de atuador.

No caso do controle digital de conversores estáticos, o atuador é, em geral, o estado lógico de um pino de entrada e saída (I/O) de um modulador PWM digital. O estado lógico deste pino é o comando de um *driver* que comanda um ou mais interruptores. Além disto, uma vez projetado o controle digital, este não sofre mais influências paramétricas como no caso do controle contínuo.

Uma representação em diagrama de blocos de um conversor com comando e controle digital está representado na figura 4.1.

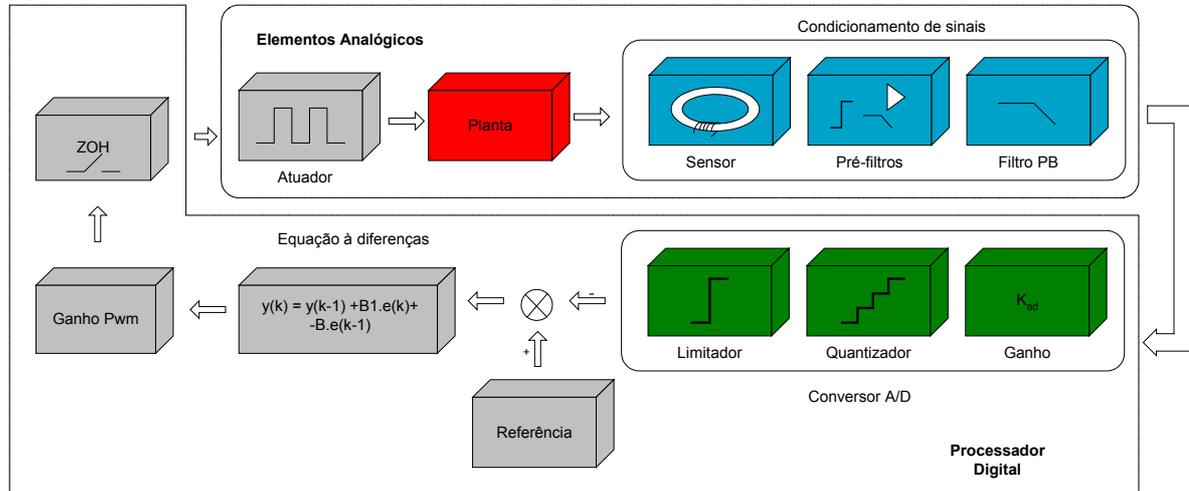


Figura 4.1. Diagrama de blocos de um conversor controlado digitalmente.

Onde:

Planta: Função de transferência do conversor. É um modelo que representa o seu comportamento.

Sensor: Um sensor analógico para possibilitar a amostragem do sinal.

Pré-filtros: São circuitos de condicionamento de sinais. Servem para adequar os sinais dentro dos níveis exigidos para a conversão A/D.

Filtro passa-baixa (PB): Filtro *Anti-aliasing*.

Blocos do conversor A/D: Representa o conversor A/D matematicamente, através do limitador, quantizador e ganho.

Controlador Digital: É a rotina matemática que atua como compensador (controlador).

Ganho PWM: É o ganho do modulador PWM digital.

ZOH: É a representação matemática do retentor de ordem zero existente em sistemas amostrados.

Atuador: Um *driver* de comando com sinal proveniente de uma porta de I/O do processador.

Em seguida apresentar-se-ão algumas características relevantes ao uso de controladores digitais aplicados a conversores estáticos e alguns conceitos importantes sobre a teoria de processamento digital de sinais.

4.2 – Amostragem e Aquisição de Sinais

Para que um processador digital possa tratar sinais do sistema a ser controlado, é necessário algum meio de aquisição deste sinal contínuo, de forma a construir seqüências que o represente. Este processo é realizado obtendo-se amostras deste sinal em intervalos constantes de tempo T_a , onde T_a representa o intervalo entre cada amostra. O sinal obtido é chamado de sinal amostrado. Um exemplo de sinal amostrado pode ser visto na figura 4.2.

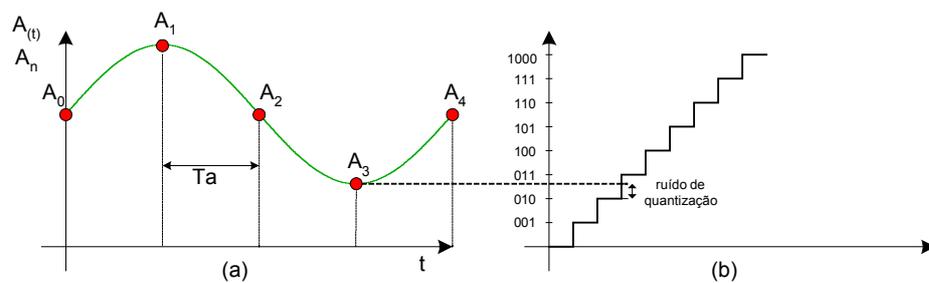


Figura 4.2. (a) Sinal contínuo $A(t)$, com sinal amostrado A_n . (b) Ruído de quantização.

Como já apresentado, os processadores digitais realizam a aquisição dos dados através do uso de conversores analógicos para digitais ou A/Ds. Estes conversores fornecem uma representação digital de n bits para o sinal adquirido. Este processo introduz um erro na amostragem, uma vez que o conversor arredonda o valor sempre que não for possível representá-lo. Este erro chama-se ruído de quantização e pode ser verificado na figura 4.2(b).

Para minimizar o ruído ou erro de quantização, a tensão amostrada pelo conversor A/D deve excursionar o máximo possível o valor da tensão limite de conversão do dispositivo e os valores numéricos armazenados nos registradores do processador digital de sinais devem estar num formato adequado. Além disto, pode-se recorrer a conversores A/D de maior precisão de bits, fazendo com que a diferença entre cada valor quantizado pelo conversor seja minimizada.

Outro fator relevante na amostragem é a frequência com a qual o sinal é adquirido pelo conversor A/D. Observando a figura 4.2 pode-se perceber intuitivamente que, quanto

maior a frequência de amostragem, melhor é a representação do sinal amostrado dentro de um sistema digital.

4.3 – O Efeito de *Aliasing*

Outro fenômeno que ocorre na amostragem de sinais é o efeito de *aliasing*. Este efeito ocorre quando frequências acima da metade da frequência de amostragem são adquiridas pelo conversor A/D, fazendo com que um sinal de alta frequência ($a_1(t)$) seja interpretado pelo processador como se fosse um sinal de menor frequência ($a(t)$). Na figura 4.3 pode-se verificar este efeito.

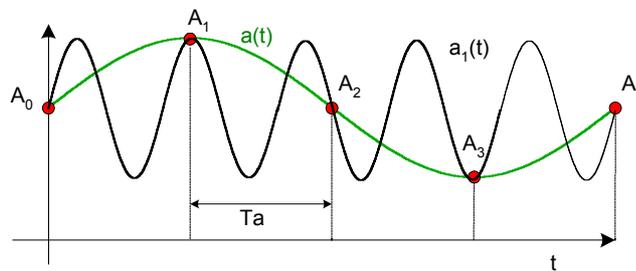


Figura 4.3. - Efeito de *aliasing*.

De acordo com a Lei de Nyquist, um sinal cuja largura de banda apresenta uma frequência máxima f_m deve ser amostrado a uma frequência mínima de $2f_m$, para que o mesmo possa ser recuperado. Mesmo adquirindo sinais respeitando a frequência de Nyquist, sinais espúrios podem ser adquiridos pelo sistema de aquisição de dados. Portanto, para evitar este problema, são inseridos filtros *anti-aliasing* sintonizados na metade da frequência de amostragem, em todos os sinais adquiridos pelos conversores A/D. Para o caso específico de fontes de alimentação chaveadas, a ocorrência de ruídos de comutação e de ripple de comutação são fenômenos comuns. Desta forma, é necessário evitar o efeito de *aliasing* a fim de garantir desempenho e confiabilidade para os controladores.

4.4 – O Efeito do Retentor de Ordem Zero

Para que o sinal de saída de um sistema amostrado possa interagir com o sistema a ser controlado é necessário que este sinal discreto seja representado de modo contínuo. Uma das formas de representar um sinal discreto na forma contínua é através do uso de um retentor de ordem zero.

De acordo com Ogata (2000) e Lindeke (2003), o uso do retentor de ordem zero causa um efeito na planta que pode ser representado pela expressão 4.1.

$$ZOH(s) = \frac{1 - e^{-T_a s}}{s} \quad (4.1)$$

Na figura 4.4, apresenta-se a fase do retentor de ordem zero para uma frequência de amostragem de 100kHz.

É importante perceber que o retentor de ordem zero diminui a fase do sistema nas frequências até duas décadas abaixo da frequência de amostragem, onde a fase é representada em graus e a frequência em hertz.

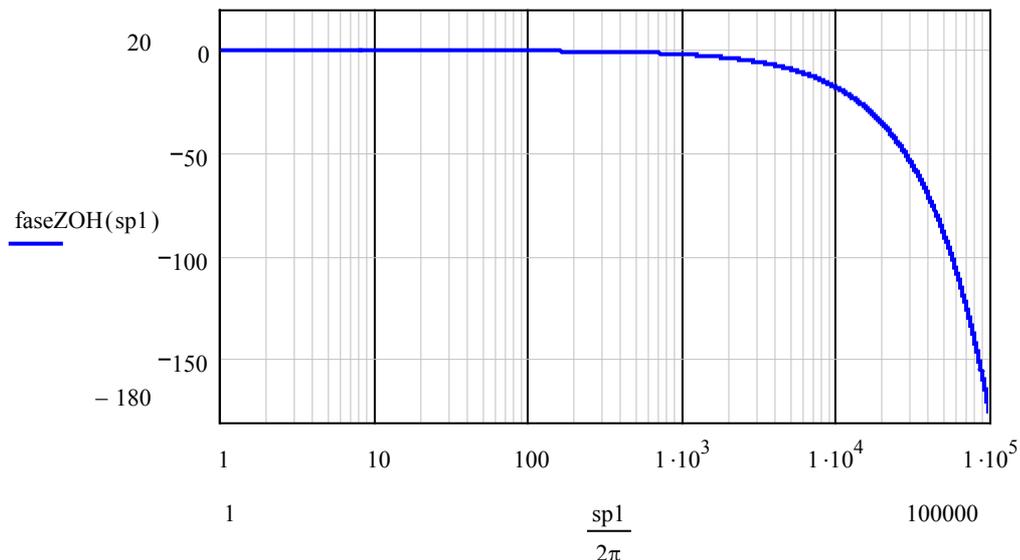


Figura 4.4. - Diagrama de fase do retentor de ordem zero.

O efeito do retentor de ordem zero é levado em consideração no projeto ao se aplicar a transformada Z, considerando o conversor digital para analógico (D/A) do processo como um interpolador de ordem zero.

4.5 – O Efeito do Atraso de Transporte

O atraso de transporte representa o tempo que o processador digital depende entre a amostragem e atuação do modulador PWM. De acordo com Lindeke (2003), o atraso de transporte pode ser representado por:

$$A_T(s) = e^{-Ta} \quad (4.2)$$

Um gráfico da fase da expressão (4.2) para um atraso de $\frac{1}{4}$ do período de amostragem, para uma frequência de 100kHz, pode ser visto na figura 4.5, onde a fase é representada em graus e a frequência em hertz.

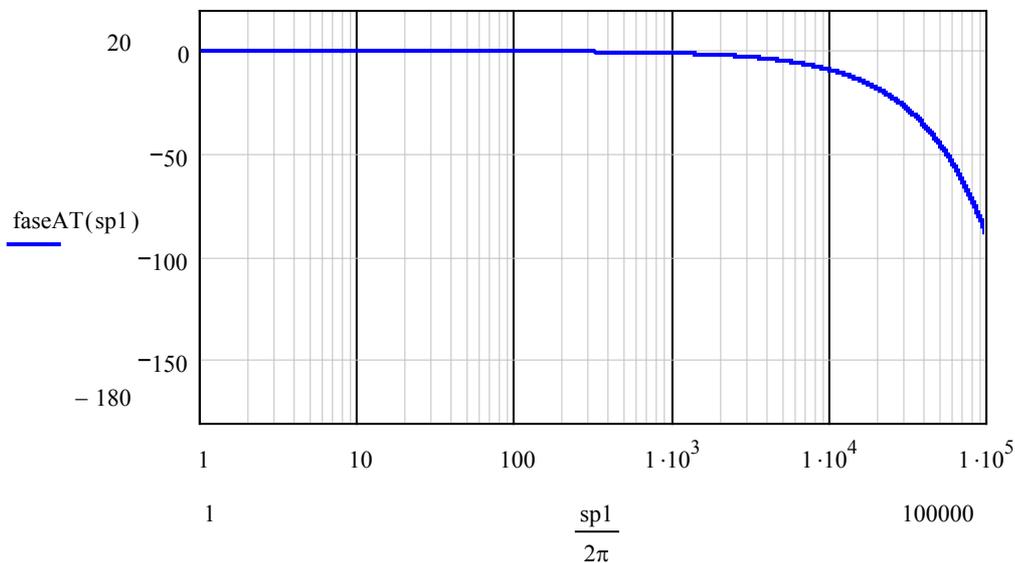


Figura 4.5 - Diagrama de fase do atraso de transporte.

Nota-se que o atraso de transporte, assim como o retentor de ordem zero, também diminui a fase do sistema nas frequências até duas décadas abaixo da frequência de amostragem. Ao se diminuir a fase de um sistema estar-se-á aproximando o mesmo da instabilidade, portanto, o processador digital de sinais deve ser rápido o suficiente para minimizar o atraso de transporte. Entretanto, devido à alta velocidade de processamento do FPGA e que o mesmo pode realizar operações concorrentes com facilidade, o atraso de transporte não precisa ser levado em consideração no projeto. Isto se deve a taxa de amostragem para o controle deste conversor situar-se na casa dos quilohertz, significando tempos de aquisição baseados em microsegundos; contudo, quando se implementam funções nos FPGAs, elas se baseiam no *clock* do dispositivo, que é da ordem de megahertz, levando a tempos de atraso da ordem de nanosegundos.

4.6 – Metodologias de Projeto

O projeto de um controlador digital consiste, resumidamente, em encontrar os coeficientes da equação a diferenças que representa o compensador digital. Existem algumas formas de se projetar controladores digitais, onde a diferença mais significativa entre elas é a maneira de projeto e a necessidade ou não do uso da transformada Z. Nos itens 4.6.1 até 4.6.3 são apresentados alguns exemplos de métodos para exemplificação.

4.6.1 – Projeto por Emulação

Neste tipo de projeto, primeiramente efetua-se o projeto do controlador no plano S, utilizando-se de técnicas de controle linear, e então, utilizando o mapeamento de pólos e zeros do plano S para o plano Z, o qual é representado por $Z = e^{sT_a}$, encontra-se o controlador discreto equivalente ao controlador contínuo. Esta metodologia de projeto dispensa o uso da transformada Z, o que pode ser visto como uma vantagem para projetistas acostumados com projetos no tempo contínuo. A desvantagem que este método apresenta, é que o mesmo ignora totalmente a presença dos conversores A/D, D/A e do processador digital de sinais, fazendo com que o tempo de amostragem T_a tenha que ser o menor possível a fim de que se obtenham resultados satisfatórios, encarecendo, ou até inviabilizando o projeto. Caso este período não possa ser pequeno o suficiente, discrepâncias serão observadas quando do uso desta técnica para o controle de processos digitais.

4.6.2 – Projeto Usando a Transformada Bilinear (w)

Este método é baseado na resposta em frequência do sistema, da mesma forma que o projeto é realizado no plano S. Contudo, este método é aplicado diretamente na função de transferência discretizada, o que leva a um desempenho maior do que quando comparado ao método de aproximação por emulação. Como este método envolve os conversores A/D, D/A e o processador digital, tempos de amostragem relativamente grandes podem ser empregados.

O método de resposta em frequência consiste em inserir um compensador na malha de controle do sistema a ser controlado, com o intuito de alterar a sua resposta em frequência. Sendo portanto, o compensador um filtro, que deve ser projetado a fim de garantir a resposta desejada da planta.

A desvantagem deste método, no entanto, é que ao se trabalhar no domínio Z , perde-se a simplicidade oferecida pelo diagrama de Bode, pois a frequência aparece como um termo exponencial, representado pela equação 4.3.

$$Z = e^{j\omega T_a} \quad (4.3)$$

De acordo com Ogata (2000), para contornar esta situação, é realizado um remapeamento da variável complexa em um novo plano, através da transformada w ou bilinear, representada na equação (4.4),

$$Z = \frac{1 + \frac{T_a}{2} w}{1 - \frac{T_a}{2} w} \quad (4.4)$$

onde a variável T_a representa o período de amostragem do sistema. Convertendo uma função de transferência no plano Z em uma função racional no plano w , os métodos de resposta em frequência podem ser aplicados para sistemas de controle discretos. Isolando a variável w , na equação (4.4), pode-se obter a relação inversa, a qual está representada abaixo.

$$w = \frac{2}{T_a} \frac{z - 1}{z + 1} \quad (4.5)$$

Através da transformada Z e posteriormente através da transformada w , a banda primária (compreendida entre $j\omega_s/2$ e $-j\omega_s/2$, onde ω_s representa a frequência de amostragem em radianos por segundo (rad/s)) do semiplano esquerdo do plano S é primeiro mapeada dentro do círculo unitário no plano Z , e então remapeada em todo o semiplano esquerdo do plano w . Estes processos estão descritos na figura 4.5.

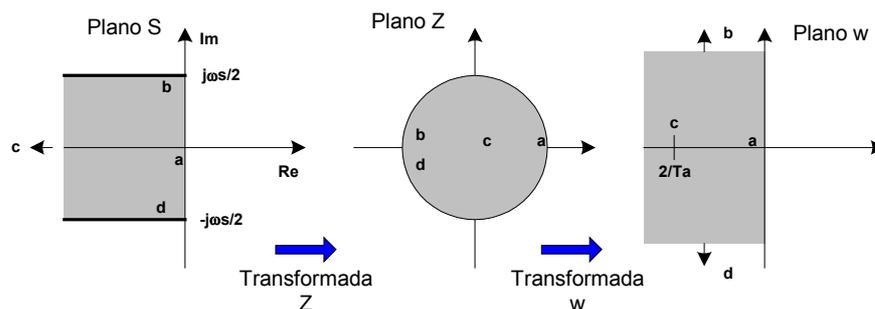


Figura 4.5. - Mapeamento do plano S no plano Z e mapeamento do plano Z no plano w.

Embora o plano w reconstrua o plano S geometricamente, o eixo de frequências no plano w é distorcido. O que ocorre é que o intervalo de frequências $-1/2\omega_s < \omega < 1/2\omega_s$, é mapeado no intervalo $-\infty < v < +\infty$, onde v é uma frequência fictícia.

A frequência fictícia v e a frequência atual ω são relacionadas como segue:

$$v = \frac{2}{T} \tan\left(\frac{\omega T a}{2}\right) \quad (4.6)$$

De acordo com a equação (4.6), pode-se perceber que a frequência fictícia se aproxima muito bem da real, quando o coeficiente $\omega T a$ é pequeno, ou seja, quando a frequência de amostragem é suficientemente grande.

Procedimento de projeto:

- Primeiro é necessário obter a função de transferência discretizada da planta ($G(z)$), através da transformada Z . Em seguida, aplica-se a transformada w a fim de se obter a função de transferência da planta no domínio $G(w)$;
- Substituir $w = jv$ em $G(w)$ e traçar os diagramas de módulo e de fase;
- Ler no diagrama de Bode as constantes de erro estático, a margem de fase e a margem de ganho;
- Alocam-se os pólos e zeros da função de transferência do compensador a fim de garantir a margem de fase e de ganho desejados. Em seguida, verifica-se o incremento de ganho necessário, a fim de que o gráfico do módulo da função de transferência de malha aberta do sistema, com o controlador inserido, mas com ganho unitário, apresente a frequência de cruzamento necessária;
- Finalmente, obtém-se a equação a diferenças do controlador digital que será implementada através do processador digital de sinais (OGATA, 2000).

4.6.3 – Projeto Usando o Lugar das Raízes no Plano Z

O projeto utilizando a lugar das raízes (*root locus*) permite a obtenção do controlador discreto diretamente no plano Z. A função de transferência da planta contínua é transformada em uma equivalente discreta utilizando a transformada Z. Como este método leva em consideração as dinâmicas dos conversores A/D e D/A, a natureza de aproximação do método de emulação é eliminado. Desta maneira, pode-se projetar controladores digitais de ótimo desempenho mesmo que o tempo de amostragem seja relativamente grande. Uma desvantagem deste método é a necessidade do desenho do lugar das raízes no plano Z. Contudo, existem softwares dedicados que traçam este diagrama com muita facilidade, tornando muito simples esta metodologia de projeto.

Procedimento de projeto:

- Determina-se um modelo para a planta obtendo-se a função de transferência do conversor no plano S;
- Obtém-se a transformada Z da função de transferência do conversor em S;
- Traça-se o lugar das raízes do sistema em malha fechada e com auxílio de um software dedicado, faz-se a alocação dos pólos e zeros dentro do círculo unitário e obtém-se o ganho necessário para o compensador;
- Avalia-se a robustez da planta através da resposta ao degrau e ou rampa;
- Os parâmetros como pólos, zeros e ganho estáticos são reajustados caso necessário (OGATA, 2000).

4.7 – Conceitos Associados ao Controle de Conversores Estáticos

Na figura 4.6 está representado um diagrama de blocos de uma malha de controle digital de um conversor estático arbitrário, e a seguir, são detalhados alguns conceitos importantes sobre o controle.

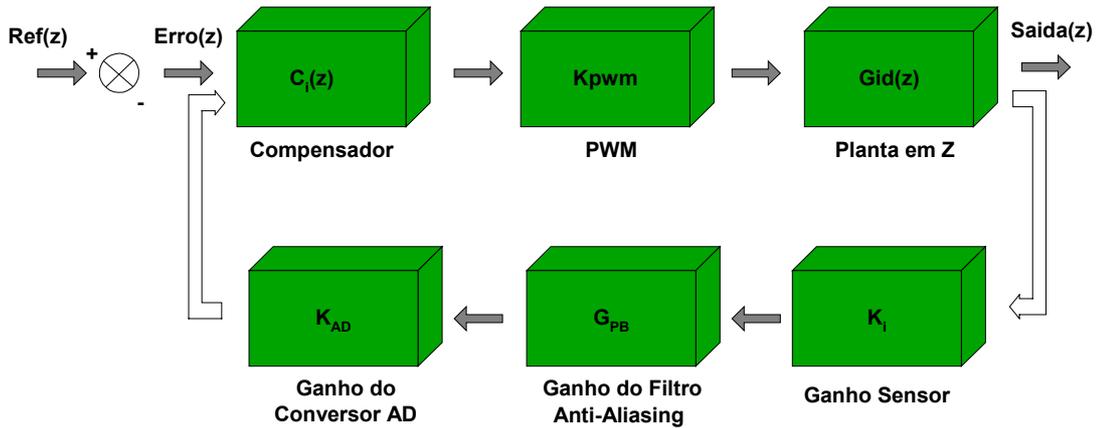


Figura 4.6. – Diagrama de blocos da malha de controle digital.

Função de Transferência de Laço Aberto (FTLA): é a composição de todos os blocos que representam a malha de controle em laço aberto; isto é, a multiplicação de todos os blocos envolvidos no diagrama sem que se realmente a malha. Assim como na figura 4.7.

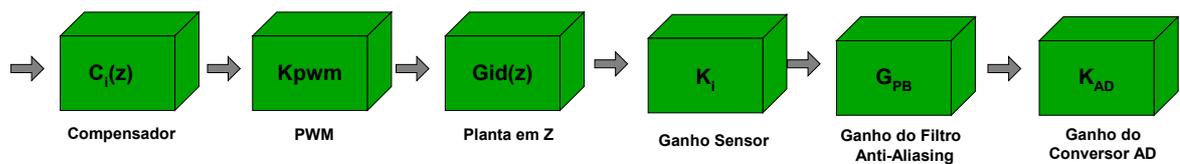


Figura 4.7. – Função de Transferência de Laço Aberto (FTLA).

$$FTLA(z) = K_{AD} \cdot K_i \cdot G_{PB} \cdot K_{pwm} \cdot C_i(z) \cdot G_{id}(z) \quad (4.7)$$

Frequência de cruzamento de ganho (f_c): é a frequência na qual o módulo da FTLA cruza o eixo da frequência, ou seja, iguala-se à zero dB. Quanto maior for a frequência de cruzamento, mais rápida será a resposta em frequência do conversor.

Margem de Fase (MF): A margem de fase é definida como o deslocamento de fase necessário para tornar o sistema instável. Ela também informa a tolerância do sistema ao

atraso. Matematicamente pode ser determinada pela diferença entre a curva de fase (ϕ) e -180° no ponto correspondente à frequência de cruzamento de ganho.

Margem de ganho (MG): É definida como uma mudança no ganho em malha aberta necessária para tornar o sistema instável. Matematicamente é a diferença entre a curva de magnitude e zero dB no ponto onde a curva de fase cruza -180° .

Função de transferência de malha fechada (FTMF): é a composição de todos os blocos que representam a malha de controle em malha fechada (fig. 4.6), ou seja, admite-se a realimentação.

$$FTMF(z) = \frac{K_{pwm} \cdot C_i(z) \cdot G_{id}(z)}{1 + K_{AD} \cdot K_i \cdot G_{PB} \cdot K_{pwm} \cdot C_i(z) \cdot G_{id}(z)} \quad (4.8)$$

Ganho do Conversor A/D: Para o cálculo do ganho do conversor A/D é necessário saber como a palavra binária será interpretada pelo processador digital de sinais (se a palavra é inteira ou fracionária) e o intervalo máximo da tensão de entrada do mesmo, além da resolução do conversor (n). Para este projeto, escolheu-se o conversor A/D 7810YN da Analog Devices, sendo que a tensão de entrada varia de 0 até 5 volts e o mesmo possui 10 *bits* de resolução. Além disto, a palavra adquirida pelo processador será interpretada como um número inteiro. Com isto, o ganho que este conversor apresenta é determinado por:

$$Ganho_{AD} = \frac{2^n - 1}{5} \quad (4.9)$$

Ganho do PWM: É o ganho do PWM digital. Este ganho é determinado pelo inverso do valor de pico da forma de onda de dente-de-serra criada no processador digital de sinais. Para o projeto em questão, o valor de pico da dente-de-serra é 1.000. Isto ocorre porque a frequência do FPGA utilizado é de 50MHz e a frequência do conversor é de 50kHz. Para criar esta dente-de-serra é necessário criar um contador e o mesmo ser incrementado 1.000 vezes na frequência do FPGA.

$$K_{PWM} = \frac{1}{V_{pico}} \quad (4.10)$$

Ganho do Filtro *Anti-Aliasing*: Conforme discutido anteriormente, o uso de um filtro *anti-aliasing* faz-se necessário em todos os sinais adquiridos em sistemas amostrados. O filtro *anti-aliasing* pode ser construído por um filtro passa-baixa sintonizado na metade da frequência de amostragem. Como o filtro passa-baixa influencia na resposta em frequência do conversor e será equacionado na malha de corrente, foi escolhido um filtro passa-baixa de primeira ordem e de ganho unitário. Além disto, os sinais que servem para a conversão A/D devem apresentar baixa impedância, portanto, o filtro com amplificador operacional foi adotado. Este filtro bem como a sua função de transferência, no plano S, estão representados na figura 4.8 e equação (4.11).

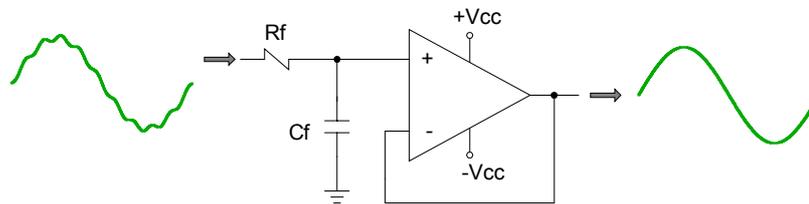


Figura 4.8. Filtro *Anti-aliasing*.

$$F_{PB}(s) = \frac{\omega c}{s + \omega c} \quad (4.11)$$

4.8 – Conclusões

Para se realizar um projeto adequado de um controlador digital é necessário não só conhecer todos os blocos que compõem a sua malha de controle mas também garantir a fidelidade dos sinais que serão amostrados. Isto é possível através de um estudo prévio da malha a ser controlada e do uso de filtros *anti-aliasing* na entrada de cada conversor analógico para digital. Além disso, a escolha de uma metodologia de projeto que contemple os conversores A/D, D/A e o processador digital de sinais, é fundamental para que o compensador projetado atinja os níveis de especificação exigidos, sem que sejam necessários elevadas taxas de amostragem.

Capítulo 5

Projeto dos Controladores Digitais Para o Pré-Regulador Retificador Boost

5.1 – Introdução

O projeto dos controladores de tensão e de corrente para o Pré-Regulador Retificador Boost será realizado através da metodologia da resposta em frequência no plano w , uma vez que os conceitos relativos à margem de fase e à frequência de cruzamento de ganho podem ser utilizados do mesmo modo que se projetaria tais compensadores no plano contínuo. Além disso, como a resposta em frequência no plano w leva em consideração a função de transferência discretizada, não são necessárias elevadas taxas de aquisição (Ta muito reduzido) para que o compensador apresente os índices especificados em projeto.

Neste capítulo, apresentar-se-á o projeto dos compensadores para as malhas de corrente e de tensão, onde os conceitos introduzidos no capítulo anterior serão utilizados, bem como a concepção de controle envolvendo a malha *feedforward*.

5.2 – Concepção do Controle Digital por Valores Médios

Algumas adaptações serão realizadas, devido a facilidade que o controle digital apresenta, para efetuar o controle do conversor Boost. Basicamente, duas alterações em relação a forma de como se controlar o conversor, a qual foi apresentada no capítulo 2, item 2.5, serão aplicadas. A primeira é relacionada ao formato senoidal da corrente de referência, que é representada pelo sinal A . No caso do controle digital, será criada uma tabela de valores internos que representará uma senóide de amplitude unitária. Este detalhe fará com que a corrente de referência não receba a influência de uma possível distorção na tensão de alimentação e também excluirá a necessidade de se elevar o sinal proporcional ao valor eficaz

da tensão de entrada (sinal C) ao quadrado, pois, para uma variação da tensão de entrada, o sinal A não se alterará. Esta análise, usando a tabela de referência, por um lado exige um sincronismo com a frequência da rede, mas por outro apresenta as vantagens descritas acima. A outra alteração será em relação ao controle da tensão de saída, onde será controlado o valor médio ao invés de seu valor instantâneo, com o intuito de minimizar a influência da ondulação da tensão de saída no formato da corrente de referência. Isto será obtido usando um filtro *notch* na frequência de 120Hz para eliminar a ondulação presente na tensão. Os filtros digitais, necessários para o controle do conversor, serão desenvolvidos utilizando a ferramenta de projeto FIDAtool, presente no ambiente MatLab/Simulink. Desta forma, o novo diagrama de controle para o conversor se resume ao da figura 5.1. Cabe salientar que todo o projeto e simulação do estágio Pré-Regulador Boost contemplará a malha de controle *feedforward*, entretanto, devido à aplicação se restringir a uma faixa de variação de tensão de mais ou menos 15%, esta malha não será implementada na prática.

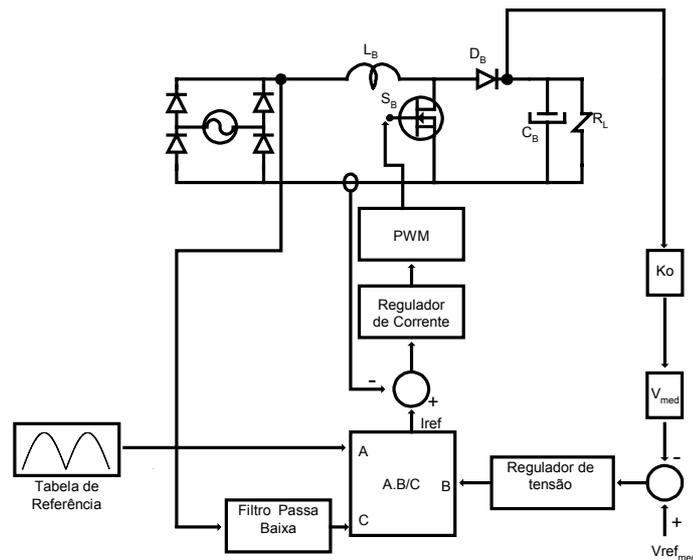


Figura 5.1. - Diagrama esquemático simplificado do controle por valores médios na forma digital.

5.3 – Projeto do Controlador de Corrente

Na figura 5.2 apresenta-se o diagrama de blocos da malha de corrente a ser controlada.

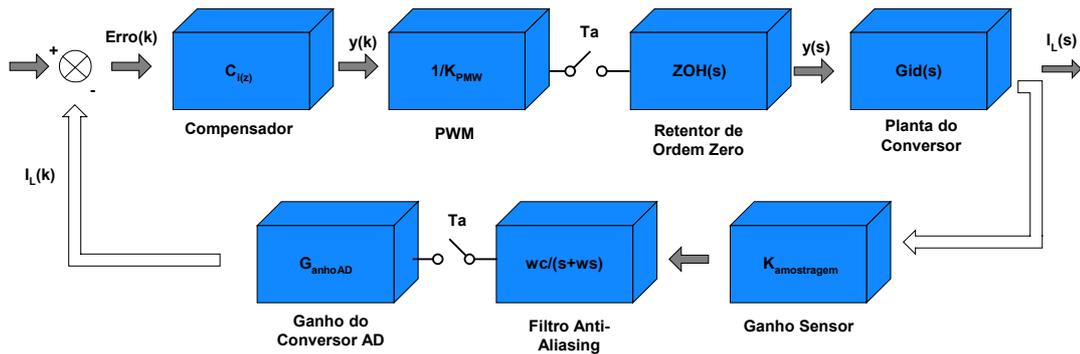


Figura 5.2. - Modelo em diagrama de blocos da malha de corrente.

No item 3.4, foi obtida a função de transferência $G_{id}(s)$, que representa as variações da corrente no indutor pelas variações na razão cíclica. Esta função de transferência é uma função de segunda ordem e que ainda apresenta a não linearidade da resistência série do capacitor. Antes de obter a discretização desta função (representação no plano Z), torna-se necessário explicitar que uma aproximação desta função pode ser obtida fazendo $s = j\omega$ para ω suficientemente grande e desconsiderar o efeito da resistência série do capacitor, sem prejuízos para a análise e posterior projeto do compensador, sendo considerada uma aproximação para altas frequências (XIE, 2003).

Desta forma a função $G_{id}(s)$ pode ser representada por (5.5), sendo que:

$$G_{id}(s) \Big|_{s=j\omega \rightarrow \infty} = \frac{2V_{out}}{R_L(1-Di)^2} \left[\frac{1 + sC_B \left(\frac{R_L}{2} + R_{SE} \right)}{1 + s \left[\frac{L_B}{R_L(1-Di)^2} + R_{SE}C_B \right] + s^2 \frac{L_B C_B}{(1-Di)^2} \left[1 + \frac{R_{SE}}{R_L} \right]} \right] \Big|_{s=j\omega \rightarrow \infty} \quad (5.1)$$

$$G_{id}(s) \Big|_{s=j\omega \rightarrow \infty} = \frac{2V_{out}}{R_L(1-Di)^2} \left[\frac{1 + sC_B \left(\frac{R_L}{2} \right)}{1 + s \left[\frac{L_B}{R_L(1-Di)^2} \right] + s^2 \frac{L_B C_B}{(1-Di)^2}} \right] \Big|_{s=j\omega \rightarrow \infty} \quad (5.2)$$

$$G_{id}(s) \Big|_{s=j\omega \rightarrow \infty} = \frac{2V_{out}}{R_L(1-Di)^2} \left[\frac{\frac{2 + sC_B R_L}{2}}{\frac{R_L(1-Di)^2 + sL_B + s^2 L_B C_B}{R_L(1-Di)^2}} \right] \Big|_{s=j\omega \rightarrow \infty} \quad (5.3)$$

$$G_{id}(s) \Big|_{s=j\omega \rightarrow \infty} = V_{out} \left(\frac{sC_B R_L}{s^2 L_B C_B R_L} \right) \quad (5.4)$$

$$G_{id}(s)' = \frac{V_{out}}{sL_B} \quad (5.5)$$

Para verificar a qualidade desta aproximação, são apresentados nas figuras 5.3 e 5.4, os diagramas de módulo e de fase da função de transferência completa e da função de transferência simplificada. Como o conversor Pré-Regulador Boost opera com uma faixa razoável de variação de sua razão cíclica, variou-se a razão cíclica para o desenho dos diagramas de Bode da função completa.

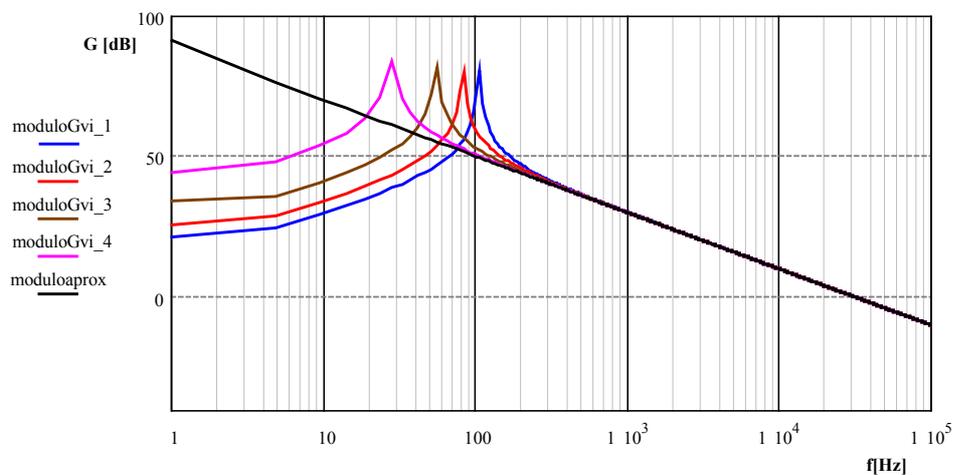


Figura 5.3 - Comparação do módulo entre a FT simplificada e as FTs completas.

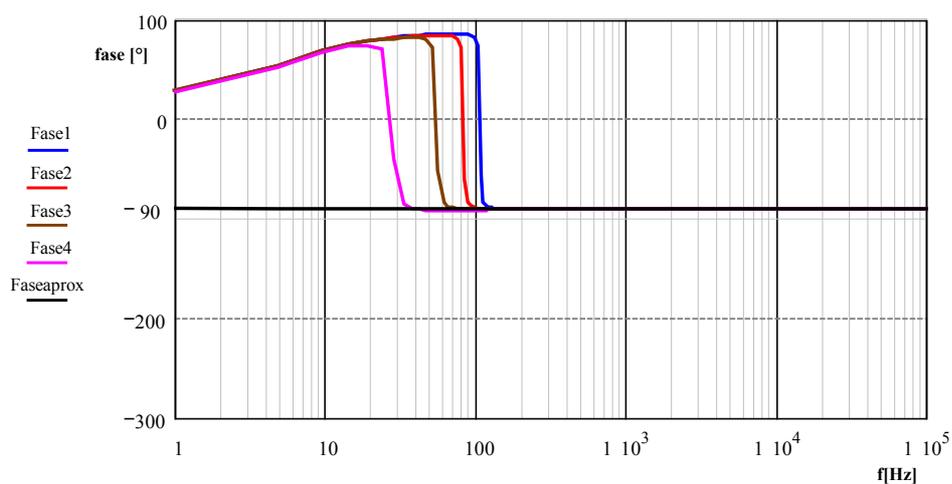


Figura 5.4 - Comparação da fase entre a FT simplificada e as FTs completas.

Como a frequência de cruzamento de ganho da malha de corrente para o conversor pré-regulador boost está na faixa dos kHz, verifica-se claramente que esta aproximação é

eficaz para o projeto do compensador, uma vez que a partir de 300Hz, a resposta em frequência das funções são idênticas.

Em face ao exposto, utilizar-se-á a FT simplificada para encontrar o equivalente discreto. Para isto, aplica-se a transformada Z na função de transferência com um retentor de ordem zero precedendo-a.

Ao se aplicar a transformada Z, a FT descrita pela equação (5.5) torna-se:

$$Gid(z)' = \frac{V_{out}}{L_B} \frac{Ta}{(z-1)} \quad (5.6)$$

Contudo, ao se utilizar esta função, estar-se-á ignorando a influência do filtro *anti-aliasing* no projeto do compensador. Para inserir esta influência, basta multiplicar a FT simplificada pela FT do filtro.

Com isto, a FT $Gid(s)'$ torna-se:

$$Gid(s)' = \left(\frac{\omega_c}{s + \omega_c} \right) \left(\frac{V_{out}}{sL_B} \right) \quad (5.7)$$

Para o projeto do compensador é necessário obter a função de transferência de malha aberta de corrente (FTMAc), considerando o ganho do compensador como unitário. A FTMAc é obtida inserindo-se os ganhos do A/D, do amostrador de corrente e do modulador PWM na função de transferência do conversor mais filtro. Desta forma, a FTMAc é dada por (5.8).

$$FTMAc(s) = \left(\frac{1}{K_{PWM}} \right) \left(\frac{\omega_c}{s + \omega_c} \right) \left(\frac{V_{out}}{sL_B} \right) (G_{anhoAD}) (K_{amostragem}) \quad (5.8)$$

Aplicando-se a transformada Z com o circuito retentor de ordem zero precedendo a FTMAc, obtém-se:

$$FTMAc(z) = K_a \left(\frac{z + K_b}{(z-1)(z - K_c)} \right) \quad (5.9)$$

onde:

$$K_a = \frac{K(\omega_c Ta - 1 + e^{-\omega_c Ta})}{\omega_c^2} \quad (5.10)$$

$$K_b = \frac{(1 - e^{-\omega_c Ta} - \omega_c Ta e^{-\omega_c Ta})}{\omega_c Ta - 1 + e^{-\omega_c Ta}} \quad (5.11)$$

$$K_c = e^{-\omega_c Ta} \quad (5.12)$$

$$K = \left(\frac{G_{anhoAD} \cdot K_{amostragem} \cdot V_{out} \cdot \omega_c}{L_B \cdot K_{PWM}} \right) \quad (5.13)$$

Aplicando-se a transformada w na equação (5.9) obtém-se:

$$FTMAc(w) = \frac{K_a (K_b - 1)}{2(1 + K_c)} \frac{\left[\left(w - \frac{2(1 + K_b)}{Ta(K_b - 1)} \right) \left(w - \frac{2}{Ta} \right) \right]}{\left(w + \frac{2(1 - K_c)}{Ta(1 + K_c)} \right) \cdot w} \quad (5.14)$$

Nas figuras 5.5 e 5.6, respectivamente, plotam-se os diagramas de bode de módulo e de fase da FT de malha aberta do laço de corrente (FTMAc(w)). A frequência de amostragem escolhida para a malha de corrente é de 50kHz, que é a mesma frequência de comutação do conversor, e o ganho da amostragem estipulado para a corrente no indutor é de 0,5.

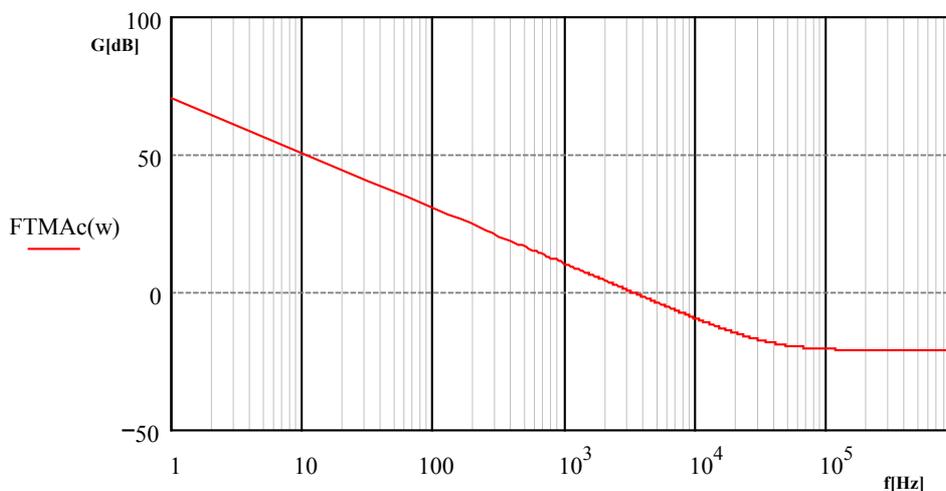


Figura 5.5 - Diagrama de Bode do módulo da função de transferência de malha aberta de corrente.

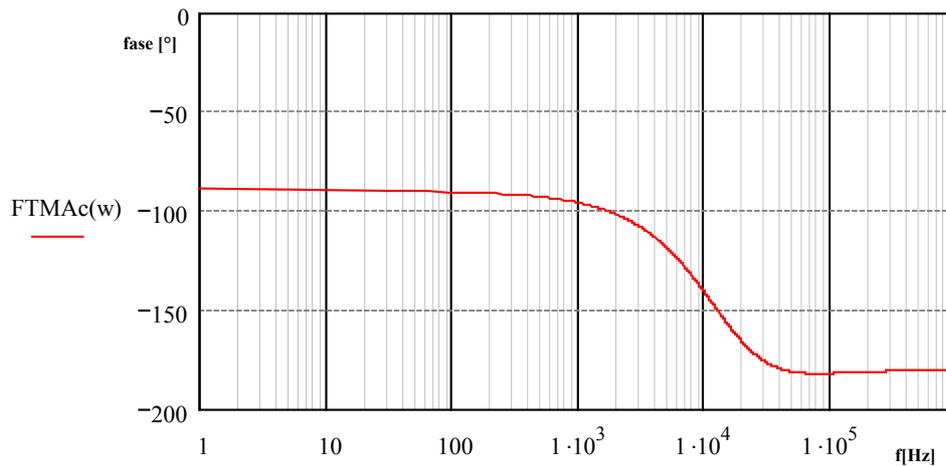


Figura 5.6. Diagrama de Bode da fase da função de transferência de malha aberta de corrente.

Para realizar o projeto da malha de corrente, de forma eficaz e simples, é necessário que a frequência de cruzamento de ganho seja menor do que 4 vezes a frequência de comutação, uma margem de fase adequada se situa entre 45° até 65° , e se possível, o gráfico de módulo deve cruzar o eixo em zero dB com uma inclinação de -20dB/década e o erro estático deve ser nulo.

De acordo com os gráficos pode-se ter a má impressão de que apenas um ganho K (proporcional) seja suficiente para estabilizar a malha de corrente, uma vez que se pode situar a frequência de cruzamento entre 1kHz e 10kHz e manter a fase longe de -180° (instabilidade). Contudo, deve-se lembrar que esta função é uma aproximação e para baixas frequências, o ganho da malha é pequeno e a margem de fase se situaria longe dos desejáveis 45° até 65° . De acordo com Huliehel et al. (1992), o compensador mais utilizado para a malha de corrente do conversor boost é um compensador que possui dois pólos e um zero, onde um pólo é situado na origem e o outro é situado acima da metade da frequência de comutação a fim de atenuar ruídos de alta frequência. Entretanto, como o filtro passa-baixa escolhido insere um pólo na FTMAc, um compensador com um pólo na origem, associado a um filtro passa-baixa, terá o mesmo efeito que um compensador com estas características, só que a posição do pólo é definida pelo filtro. Desta forma, opta-se por utilizar um compensador PI, o qual apresenta grande ganho em baixas frequências (devido ao pólo na origem), minimizando o erro de regime permanente, e possibilitando a obtenção de margem de fase adequada. Assim, o compensador PI associado ao filtro, apresentará as mesmas características do compensador de dois pólos e um zero. A função de transferência deste controlador, no plano w , é dada por:

$$PI_{corrente}(w) = K_{PI} \frac{(w + \omega_{zero})}{w} \quad (5.15)$$

Escolheu-se a frequência de cruzamento de ganho do conversor como sendo 5kHz, para que o conversor apresentasse resposta rápida, mas garantindo uma pequena influência da amostragem na malha de corrente. Isto pode ser obtido uma vez que a frequência escolhida é um décimo da frequência de amostragem, minimizando a influência do retentor de ordem zero.

Além disto, para que o zero do compensador influenciasse pouco a resposta da malha de corrente, posicionou-se o mesmo abaixo da frequência de cruzamento e a uma década da mesma (TOMASELLI, 2001).

Com isto, tem-se:

$$fc = 5kHz \quad (5.16)$$

$$\omega_{zero} = \frac{2\pi \cdot fc}{10} \quad (5.17)$$

Todavia, como há uma distorção entre os eixos de frequência no plano w e no plano S , é necessário corrigir estas distorções. Aplicando-se a equação (4.6) e reorganizando, tem-se:

$$fc = \frac{fa}{\pi} \tan\left(\frac{\pi \cdot fc}{fa}\right) \quad (5.18)$$

$$\omega_{zero} = 2 \cdot fa \cdot \tan\left(\frac{\pi \cdot fc}{10 \cdot fa}\right) \quad (5.19)$$

Alocando-se o pólo na origem e o zero do controlador, obtêm-se os novos diagramas de Bode, de módulo e de fase, apresentados nas figuras 5.7 e 5.8, respectivamente.

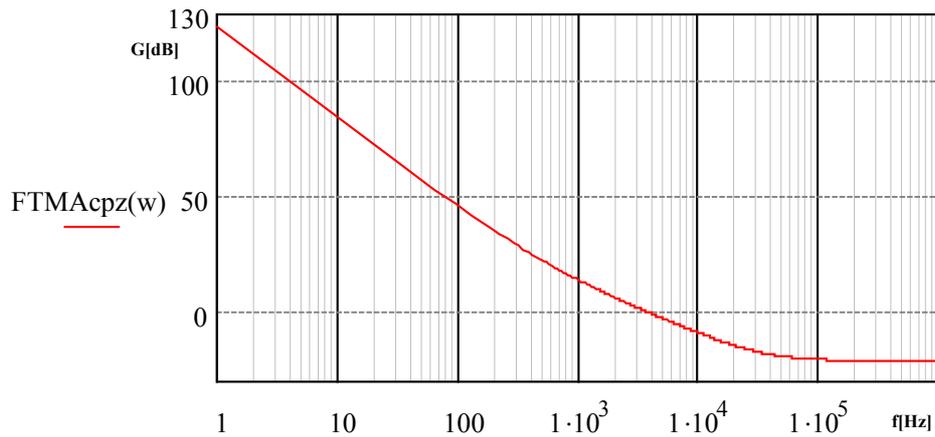


Figura 5.7. Diagrama de Bode do módulo da função de transferência de malha aberta de corrente, com inserção do pólo e do zero do controlador.

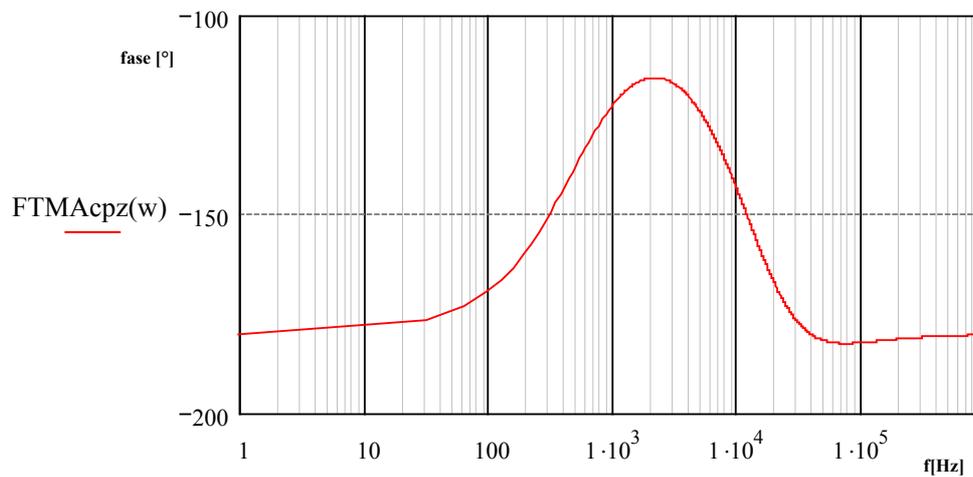


Figura 5.8. - Diagrama de Bode da fase da função de transferência de malha aberta de corrente, após a inserção do pólo e do zero do controlador.

Em seguida insere-se o ganho K , a fim de que o gráfico do módulo da FT passe na frequência de cruzamento desejada em zero dB. Desta forma, o novo gráfico de módulo da FT é apresentado na figura 5.9.

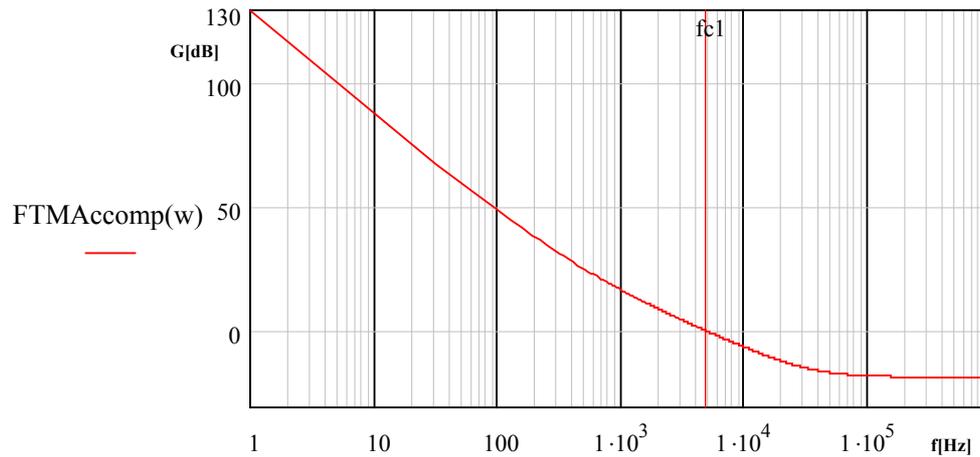


Figura 5.9. - Diagrama de Bode do módulo da função de transferência de malha aberta de corrente, com inserção do controlador PI.

Na figura 5.10, plota-se a fase do sistema, que é a mesma do gráfico 5.7, uma vez que o ganho K não altera a fase.

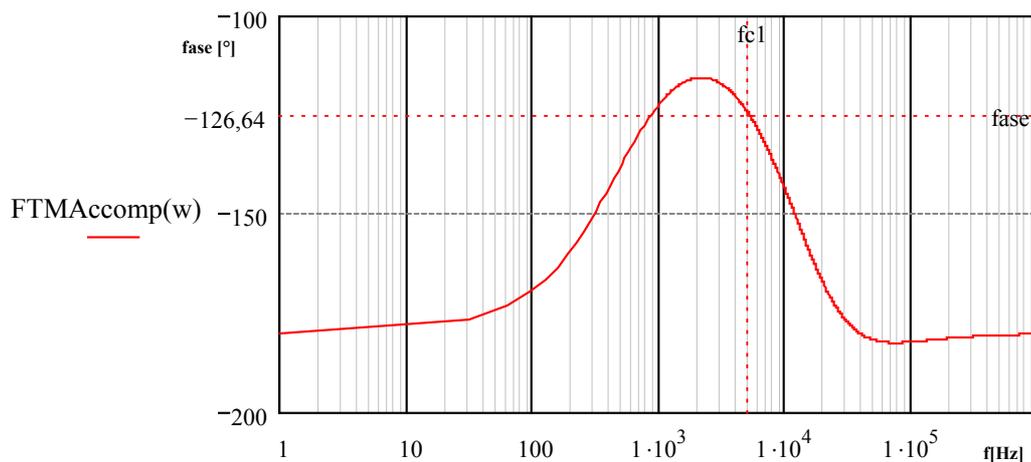


Figura 5.10. - Diagrama de Bode da fase da função de transferência de malha aberta de corrente, com inserção do controlador PI.

A fase do sistema é de $-124,64^\circ$ garantindo uma margem de fase de $55,36^\circ$.

O controlador projetado no plano w é dado por (5.20).

$$PI_{\text{corrente}}(w) = 1,445 \frac{(w + 3142,6)}{w} \quad (5.20)$$

Para obter o equivalente no plano z é necessário aplicar a anti-transformada, representada pela equação (4.5), obtendo-se:

$$PI_{corrente}(z) = \frac{1,49z - 1,40}{z - 1} \quad (5.21)$$

A equação a diferenças que descreve este compensador é expressa em (5.22).

$$y(k) = y(k - 1) + 1,49u(k) - 1,40u(k - 1) \quad (5.22)$$

onde $y(k)$ representa a saída no instante atual, $y(k-1)$ a saída armazenada em um instante anterior, $u(k)$ representa a entrada e $u(k-1)$ a entrada em um instante anterior.

5.4 – Projeto do Controlador de Tensão

De modo análogo ao realizado para a malha de corrente, para se projetar o compensador da malha de tensão é necessário obter a função de transferência de malha aberta de tensão (FTMAT). A malha de tensão está representada na figura 5.11.

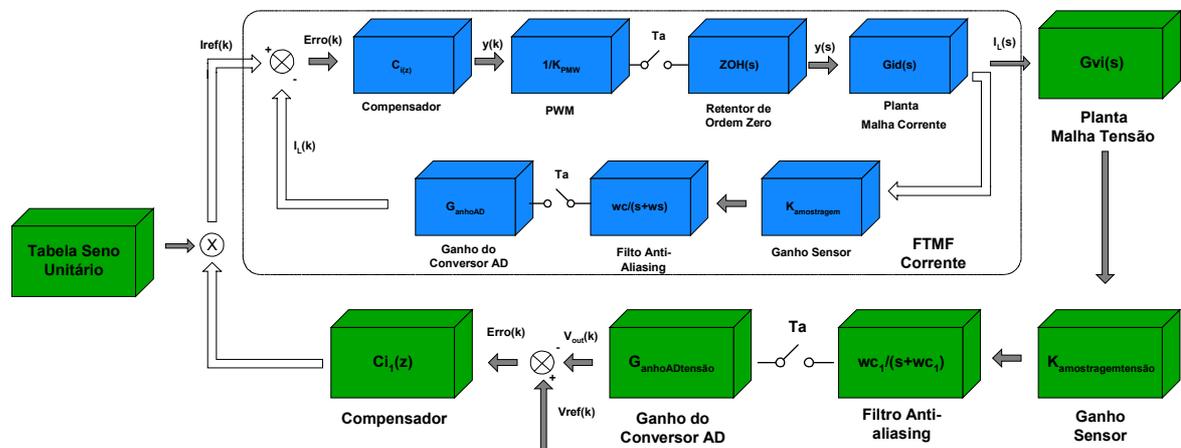


Figura 5.11. Representação em diagrama de blocos da malha de tensão.

Verifica-se claramente, que a malha de tensão engloba a função de transferência de malha fechada de corrente. Como a banda passante da malha de tensão é muito menor do que a banda passante da malha de corrente, isto é, a malha de tensão possui uma frequência de cruzamento de ganho muito menor, pode-se substituir a função de transferência de malha fechada de corrente por seu ganho equivalente em baixas frequências a fim de simplificar o projeto. Desta forma, a malha de tensão se resume ao diagrama da figura 5.12.

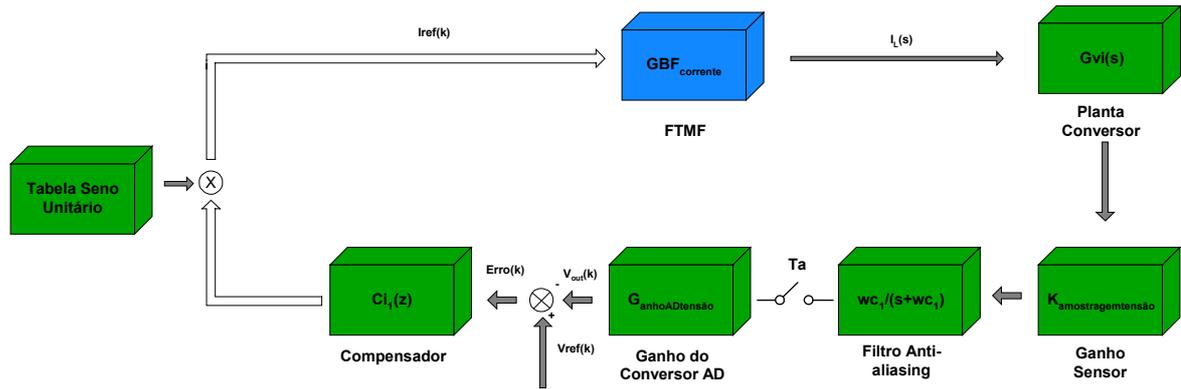


Figura 5.12. Representação em diagrama de blocos da malha de tensão simplificada.

O ganho em baixas frequências da malha de corrente é obtido substituindo $s = j\omega$, para ω suficientemente pequeno (tendendo a zero), na função de transferência de malha fechada de corrente (FTMFC), desta forma:

$$GBF_{corrente} = \lim_{s \rightarrow 0} |FTMFC| \quad (5.23)$$

$$GBF_{corrente} = \lim_{s \rightarrow 0} \left| \frac{\left(\frac{1}{K_{PWM}} \right) \left(\frac{\omega c}{s + \omega c} \right) \left(\frac{V_{out}}{sL_B} \right) (C_{compensadorCorrente})}{\left(\frac{1}{K_{PWM}} \right) \left(\frac{\omega c}{s + \omega c} \right) \left(\frac{V_{out}}{sL_B} \right) (C_{compensadorCorrente}) (G_{anhoAD} \cdot K_{amostragem}) + 1} \right| \quad (5.24)$$

$$GBF_{corrente} = \lim_{s \rightarrow 0} \left| \frac{(V_{out} \cdot \omega c) (C_{compensadorCorrente})}{(V_{out} \cdot \omega c) (C_{compensadorCorrente}) (G_{anhoAD} \cdot K_{amostragem}) + K_{PWM} (s + \omega c) (sL_B)} \right| \quad (5.25)$$

$$GBF_{corrente} = \frac{1}{K_{amostragem} \cdot G_{anhoAD}} \quad (5.26)$$

Ademais, como é necessário escolher um ponto de operação para o projeto do compensador, a corrente de referência (senóide unitária) bem como a razão cíclica são substituídos por seus valores médios. A razão cíclica é aproximada pela razão cíclica complementar média (TOMASELLI, 2001).

Desta forma, tem-se:

$$I_{refmedio} = \frac{2}{\pi} \quad (5.27)$$

$$Di = D_{medio} = \frac{2}{\pi} \cdot \frac{V_{inpico}}{V_{out}} \quad (5.28)$$

Antes de iniciar o projeto propriamente dito, é necessário explicitar que a frequência de cruzamento da malha de tensão para o pré-regulador Boost deve ser menor do que 4 vezes a frequência da rede, ou seja, menor do que 15Hz (HULIEHEL et al., 1992, TOMASELLI, 2001, TODD, 1995, XIE, 2003). Esta escolha está baseada na necessidade de minimizar a influência da ondulação de 120Hz e de garantir que a malha de tensão não distorça a corrente de referência. Desta forma, escolhe-se a frequência de cruzamento como sendo de 10Hz e plotam-se os gráficos do módulo e da fase da FT $G_{vi}(s)$, tensão de saída versus corrente no indutor, com e sem a presença da resistência série do capacitor, conforme figuras 5.13 e 5.14. O ganho escolhido para a amostragem da tensão é de 0,01.

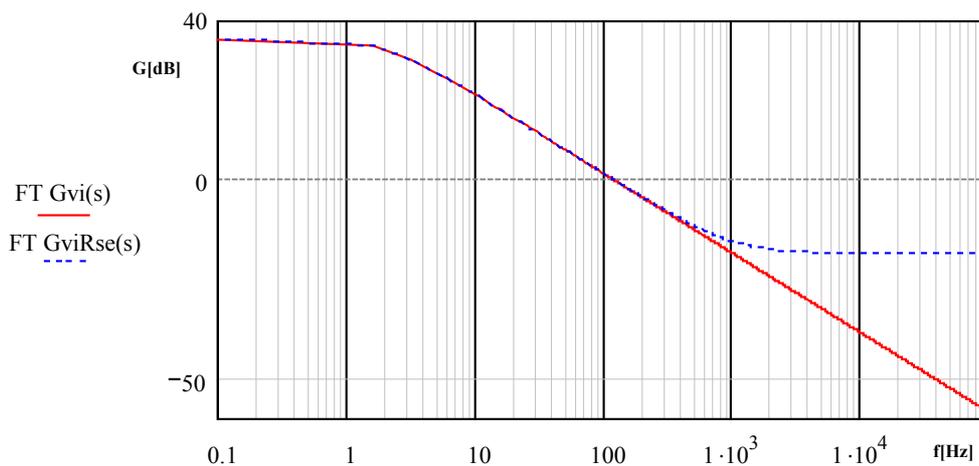


Figura 5.13. - Diagrama de módulo das FTs de tensão, sem e com a presença da Rse.

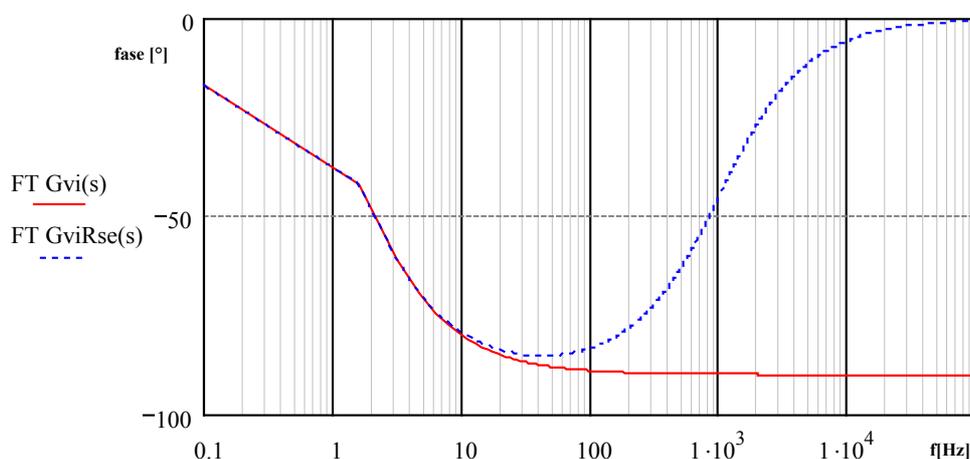


Figura 5.14. - Diagrama de fase das FTs de tensão, sem e com a presença da Rse.

De acordo com as figuras 5.13 e 5.14 verifica-se que, nas imediações da frequência de cruzamento escolhida, as duas funções apresentam praticamente a mesma resposta. Assim, escolhe-se a FT sem a resistência série para o projeto do compensador.

Como a frequência de cruzamento da malha de tensão é muito pequena, pode-se escolher uma frequência de amostragem para a aquisição da tensão de saída menor do que a frequência de aquisição escolhida para a malha de corrente. Portanto, fixou-se a taxa de amostragem como sendo 10kHz. Desta forma, a frequência de corte do filtro *anti-aliasing* está sintonizada em torno de 5kHz, sendo muito maior do que a frequência de cruzamento da malha de tensão, fazendo com que não seja necessário incluir a influência do pólo deste filtro na análise da malha de tensão. Além disto, como a taxa de amostragem é muito maior do que a frequência de cruzamento da malha de tensão, o efeito de diminuição da fase que o retentor de ordem zero apresenta é praticamente inexistente.

Do mesmo modo que para o projeto do compensador de corrente, é necessário obter a função de transferência de malha aberta de tensão, considerando o ganho do compensador de tensão unitário, e obter o seu equivalente no plano w. Assim:

$$FTMA_t(s) = \left(\frac{G_{\text{anhoADtensao}} \cdot K_{\text{amostragem}_{\text{tensao}}}}{G_{\text{anhoADcorrente}} \cdot K_{\text{amostragem}_{\text{corrente}}}} \right) \cdot \left(\frac{2}{\pi} \right) \cdot \frac{(1 - D_{\text{med}}) R_L}{(1 + s \cdot C_B \cdot R_L)} \quad (5.29)$$

A palavra adquirida pelo conversor AD será interpretada da mesma forma, portanto:

$$FTMA_t(s) = \left(\frac{K_{\text{amostragem}_{\text{tensao}}}}{K_{\text{amostragem}_{\text{corrente}}}} \right) \cdot \left(\frac{2}{\pi} \right) \cdot \frac{(1 - D_{\text{med}}) R_L}{(1 + s \cdot C_B \cdot R_L)} \quad (5.30)$$

Aplicando-se a transformada Z com um retentor de ordem zero precedendo a função, obtém-se:

$$FTMA_t(z) = \left(\frac{K_{\text{amostragem}_{\text{tensao}}}}{K_{\text{amostragem}_{\text{corrente}}}} \right) \cdot \left(\frac{2}{\pi} \right) \cdot (1 - D_{\text{med}}) R_L \cdot \frac{\left(1 - e^{-\frac{Ta}{R_L \cdot C_B}} \right)}{\left(z - e^{-\frac{Ta}{R_L \cdot C_B}} \right)} \quad (5.31)$$

Do mesmo modo que o efetuado para a malha de corrente, passa-se a função (5.31) para o plano w, a fim de que se possa projetar o compensador da mesma forma que se projetaria utilizando o plano S, resultando na expressão (5.32).

$$FTMA_t(w) = \left(\frac{K_{amostragem\ tensão}}{K_{amostragem\ corrente}} \right) \cdot \left(\frac{2}{\pi} \right) \cdot (1 - D_{med}) R_L \cdot \frac{\left(1 - e^{-\frac{Ta}{R_L \cdot C_B}} \right) \cdot \left(1 - \frac{Ta}{2} \cdot w \right)}{\left(\frac{Ta}{2} \cdot w \right) \cdot \left(1 + e^{-\frac{Ta}{R_L \cdot C_B}} \right) + \left(1 - e^{-\frac{Ta}{R_L \cdot C_B}} \right)} \quad (5.32)$$

Nas figuras 5.15 e 5.16 estão representados os diagramas de bode de módulo e de fase da FTMA de tensão, respectivamente.

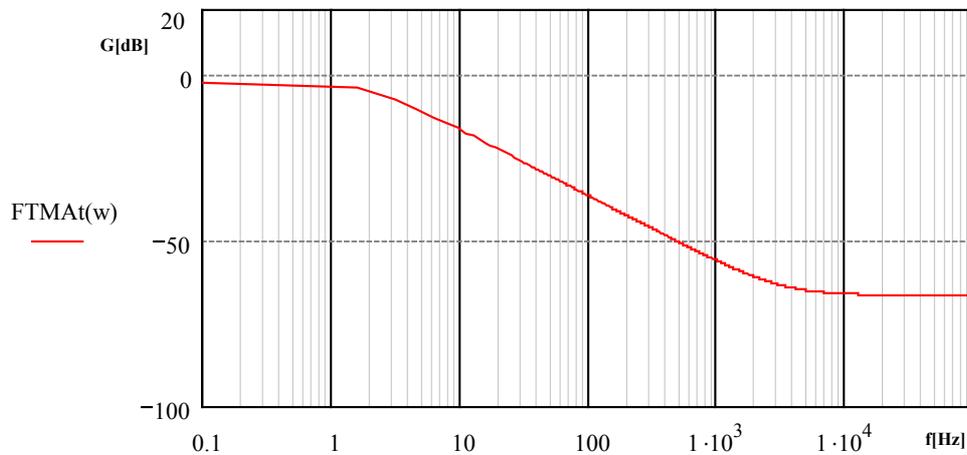


Figura 5.15. - Diagrama de módulo da FTMA de tensão.

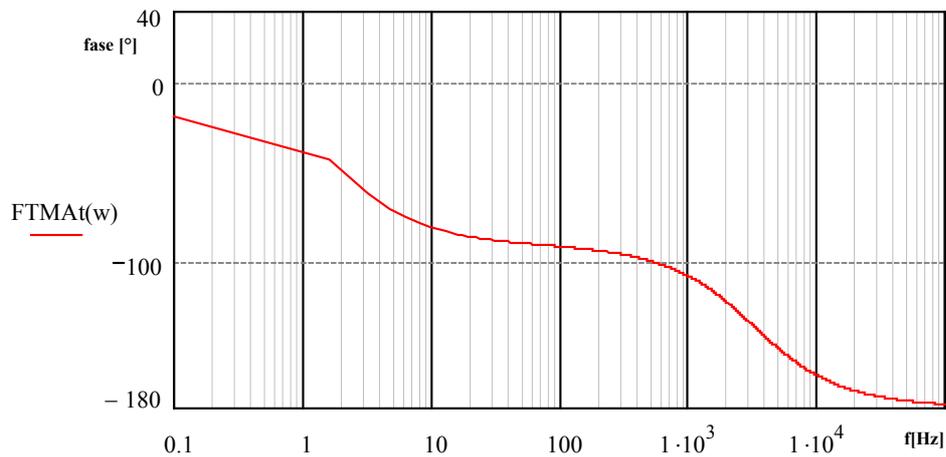


Figura 5.16. Diagrama de fase da FTMA de tensão.

Do mesmo modo que para o compensador de corrente, o controlador adotado para a malha de tensão é o compensador PI, cuja FT é dada por (5.33).

$$PI_{tensão}(w) = K_{PI} \frac{(w + \omega_{zero})}{w} \quad (5.33)$$

A frequência de cruzamento de ganho foi determinada como sendo 10Hz, mas como há uma distorção em frequência no plano w , recalcula-se a frequência de cruzamento e posiciona-se o zero do compensador uma década abaixo da mesma, a fim de haver pouca influência deste zero na malha de tensão (TOMASELLI, 2001). Assim,

$$fc = \frac{fa}{\pi} \tan\left(\frac{\pi \cdot fc}{fa}\right) \quad (5.34)$$

$$\omega_{zero} = 2 \cdot fa \cdot \tan\left(\frac{\pi \cdot fc}{10 \cdot fa}\right) \quad (5.35)$$

Alocando-se o pólo na origem e o zero do controlador, obtém-se os novos diagramas de Bode, de módulo e de fase, representados nas figuras 5.17 e 5.18.

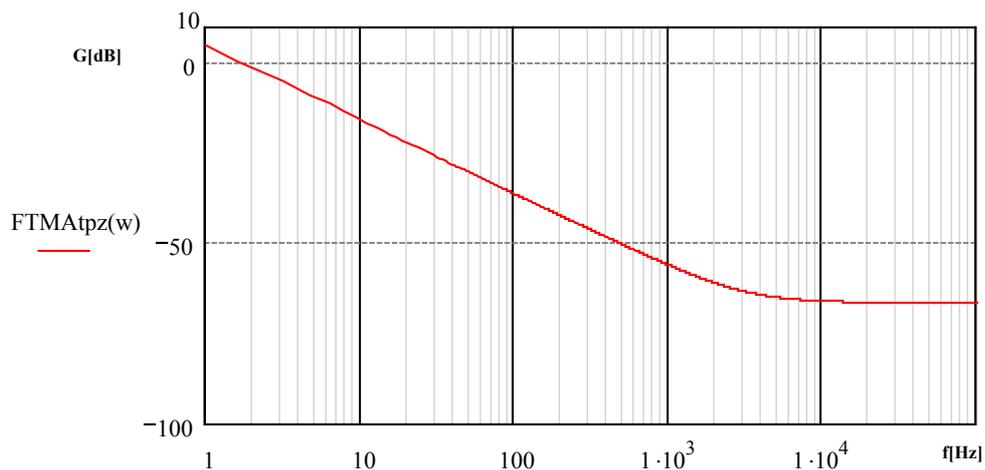


Figura 5.17. Diagrama de Bode do módulo da função de transferência de malha aberta de tensão, com inserção do zero e do pólo na origem.

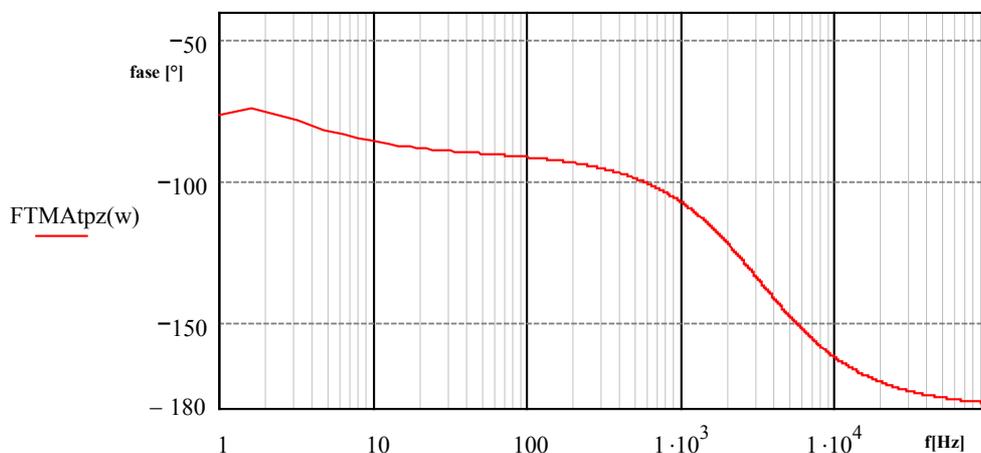


Figura 5.18. Diagrama de Bode da fase da Função de transferência de malha aberta de tensão.

Em seguida insere-se o ganho K a fim de que o gráfico do módulo da FT passe na frequência de cruzamento em zero dB. Desta forma, o novo gráfico de módulo da FT é apresentado na figura 5.19.

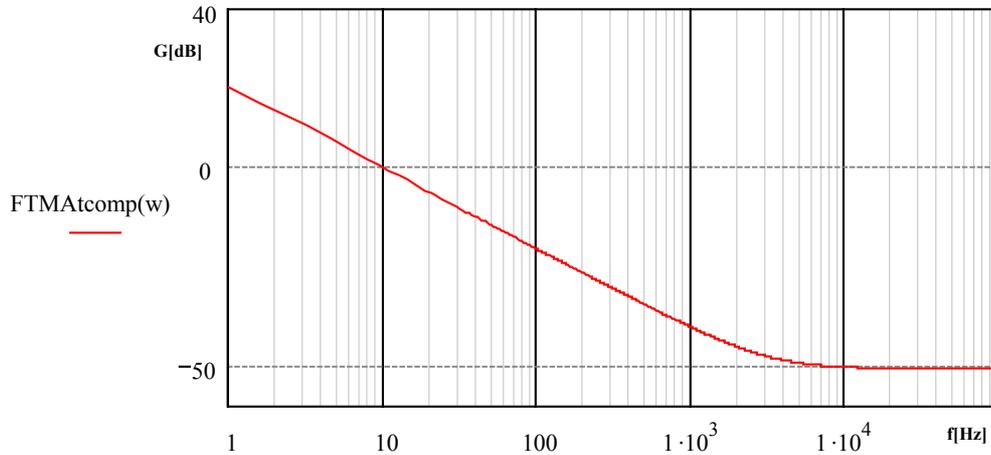


Figura 5.19. Diagrama de Bode do módulo da função de transferência de malha aberta de tensão, com inserção do PI.

Na figura 5.20 plota-se a fase do sistema evidenciando a frequência de cruzamento e a fase do mesmo.

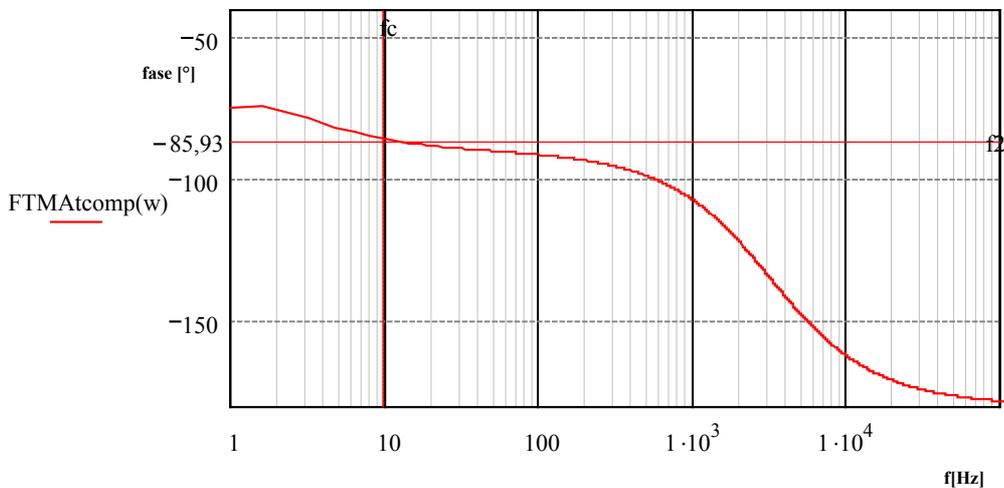


Figura 5.20. Diagrama de Bode da fase da função de transferência de malha aberta de tensão, com inserção do PI.

A fase do sistema é de $-85,93^\circ$ garantindo uma margem de fase de $94,07^\circ$.

O controlador projetado no plano w é dado por (5.36).

$$PI_{tensão}(w) = 6,135 \frac{(w + 6,283)}{w} \quad (5.36)$$

Para obter o equivalente no plano z é necessário aplicar a anti-transformada, representada pela equação (4.6), obtendo-se:

$$PI_{tensão}(z) = \frac{6,14z - 6,134}{z - 1} \quad (5.37)$$

A equação a diferenças que descreve este compensador é dada por (5.38).

$$y(k) = y(k - 1) + 6,14(k) - 6,143u(k - 1) \quad (5.38)$$

onde $y(k)$ representa a saída no instante atual, $y(k-1)$ a saída armazenada em um instante anterior, $u(k)$ representa a entrada e $u(k-1)$ a entrada em um instante anterior.

Para demonstrar que o pólo inserido pelo filtro *anti-aliasing*, bem como a não utilização da resistência série do capacitor, não influenciaram na resposta da malha de tensão, plotou-se o lugar das raízes (*root locus*) e o diagrama de Bode do sistema completo (com resistência série e filtro), utilizando-se do programa MatLab, os quais podem ser verificados nas figuras 5.21 e 5.22, respectivamente.

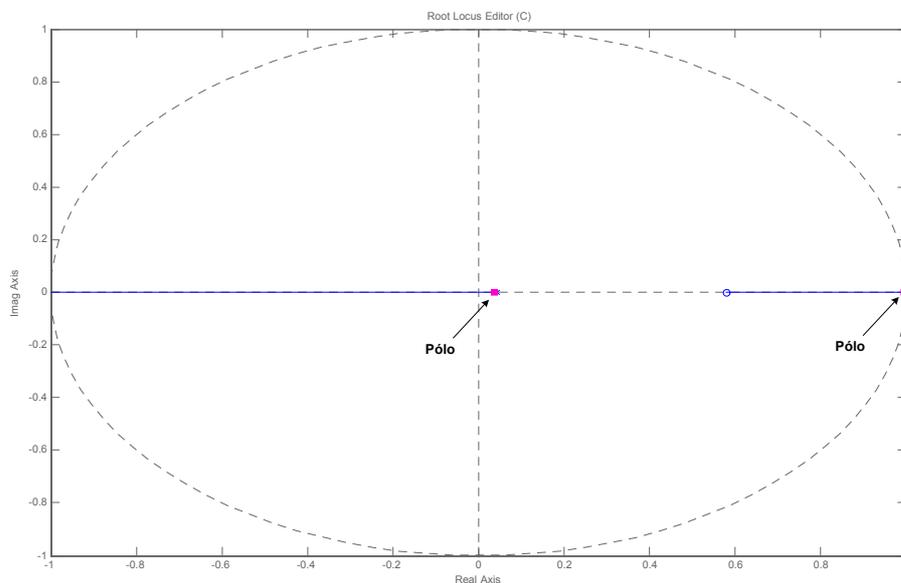


Figura 5.21. – *Root locus* do sistema em malha fechada, considerando a Rse e o filtro *anti-aliasing*.

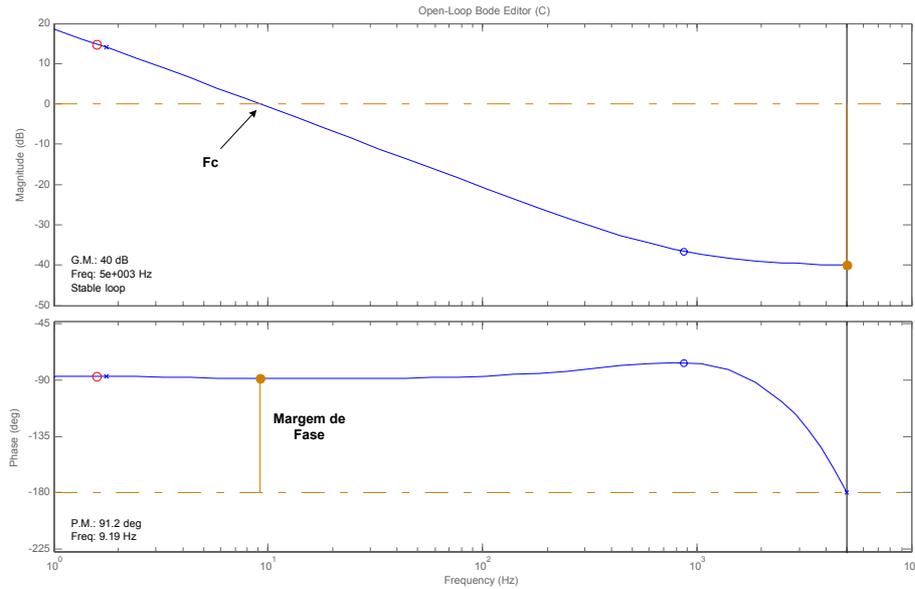


Figura 5.22. – Diagramas de Bode de módulo e de fase da FTMA de tensão, considerando a Rse e o filtro anti-aliasing.

Um dos critérios de estabilidade, quando se projetam controladores através do *root locus*, é que os pólos da função de transferência de malha fechada devem estar contidos dentro do círculo unitário e para que não ocorram sobresinais oscilatórios, estes pólos devem estar sobre o eixo real, fatos estes que podem ser observados pela figura 5.21. Neste caso, o compensador em questão, além de tornar o sistema estável, não apresentará sobresinais oscilatórios quando em transitórios.

Após a inserção da resistência série do capacitor e do filtro *anti-aliasing*, a margem de fase ficou em torno de $91,2^\circ$ e a frequência de cruzamento de ganho está em torno de 9,2 Hz, fatos estes, que demonstram as afirmativas anteriores.

Na figura 5.23 apresenta-se a resposta ao degrau para o sistema de malha fechada de tensão, ou seja, com as influências do compensador projetado, do filtro *anti-aliasing* e da resistência série do capacitor.

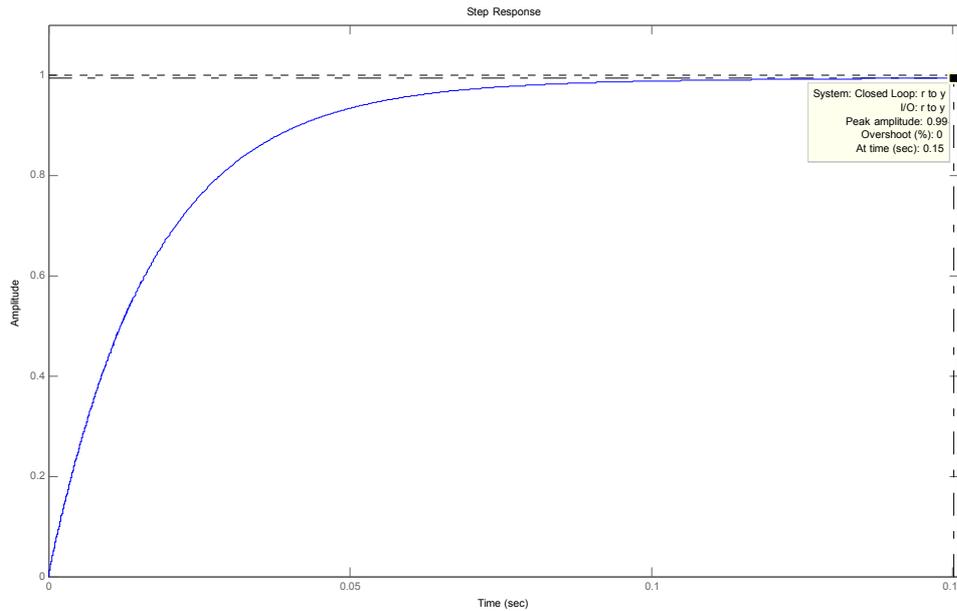


Figura 5.23. – Degrau unitário de tensão aplicado na FTMF de tensão.

Conforme explicitado, o sistema realmente não apresenta sobressinais oscilatórios.

5.5 – Malha de Controle *Feedforward*

Como a referência de corrente é imposta por uma tabela senoidal, constante e de valor unitário, não é necessário elevar o valor médio da tensão de entrada ao quadrado. No caso do controle contínuo, a referência *feedforward* é normalmente obtida através de um filtro passa-baixa de segunda ordem, a fim de minimizar a influência da ondulação da tensão de entrada na forma de onda da corrente de referência. Para este projeto, devido à facilidade que a ferramenta FIDAtool proporciona, escolheu-se implementar um filtro passa-baixa do tipo Butterworth de 3ª ordem, a fim de diminuir ainda mais a influência da oscilação da tensão de entrada na formação da corrente de referência. A corrente de referência, formada pelo sinal de saída do compensador de tensão e multiplicada pela tabela senoidal interna, deve ser dividida pelo valor médio da tensão de entrada retificada, uma vez que se a tensão de entrada aumentar, a corrente de referência deve ter o seu valor diminuído, ou se a tensão de entrada diminuir, a corrente de referência deve ter seu valor aumentado, com o intuito de manter a potência na carga constante.

Para este projeto, calculou-se o valor médio para a tensão nominal mínima e este valor foi tomado como referência, sendo o dividendo da divisão que será efetuada no processador

digital, enquanto que a saída do filtro será o divisor. Além disto, quando o valor médio da tensão de entrada retificada estiver em seu valor mínimo ou um valor menor, o resultado da divisão será 1. Com o aumento da tensão, o valor médio aumentará proporcionalmente e a ação *feedforward* também diminuirá proporcionalmente, garantindo a potência na carga constante. Desta forma, a equação que rege o comportamento *feedforward* é:

$$F_{feedforward} = \frac{V_{med_{V_{min}}}}{V_{med_{V_{atual}}}} \quad (5.39)$$

onde:

$V_{med_{V_{min}}}$: Valor médio calculado para a tensão mínima,

$V_{med_{V_{atual}}}$: Valor médio atual.

Para a aquisição da tensão de entrada será utilizado um ganho de 0,01 e uma taxa de amostragem de 10kHz.

5.6 – Conclusões

Realizou-se o projeto dos controladores digitais para o conversor Boost através da transformada w , conseguindo-se com isto, utilizar os diagramas de módulo e de fase das funções de transferência de malha aberta de tensão e de corrente, da mesma forma que se projetaria um controlador no modo contínuo. Ademais, algumas simplificações foram adotadas, as quais facilitaram o projeto dos controladores, sendo elas, a utilização dos valores médios da senóide unitária e da razão cíclica, além da substituição da malha fechada de controle de corrente por seu correlativo ganho para baixas frequências, isto para o projeto do compensador de tensão. Em relação ao projeto da malha de corrente, a simplificação que merece destaque foi a substituição da função de transferência, que representa as variações da corrente no indutor pelas variações na razão cíclica, por sua correspondente para altas frequências. Apesar das simplificações, pôde-se realizar um projeto adequado, para ambas as malhas de controle, incluindo também a influência do pólo inserido pelo filtro *anti-aliasing*.

Capítulo 6

Resultados de Simulação para o Controle Digital Projetado

6.1 – Introdução

De posse do projeto dos controladores digitais necessários ao controle do conversor, é imprescindível que se realizem simulações computacionais a fim de se verificar a validade da proposta e se a mesma atende a requisitos de qualidade, tais como: tempo de estabelecimento da tensão de saída; porcentagem de sobresinal; se a tensão de saída se mantém regulada em torno da tensão nominal de carga; se a corrente de entrada mantém o formato senoidal, mesmo na presença de variações de carga e se a malha *feedforward* é capaz de minimizar o impacto de uma alteração da tensão de entrada na tensão de saída. Além disso, as simplificações utilizadas na concepção do controle digital, como a adoção de uma referência de tensão senoidal interna e o controle da tensão média ao invés da instantânea também devem ser verificados.

Neste contexto, a fim de validar os cálculos teóricos acerca do projeto dos compensadores, simulações computacionais foram realizadas. Os distúrbios aplicados foram degraus tanto de carga quanto da tensão de alimentação a fim de se observar o comportamento do conversor.

O programa computacional utilizado para as simulações foi o programa Simulink, presente no ambiente MatLab, no qual é possível modelar e analisar a dinâmica de sistemas, possibilitando a integração de projetos no tempo contínuo com projetos no tempo discreto. Além disso, também é possível projetar e verificar a resposta de filtros contínuos e ou discretos de forma simples e eficaz.

6.2 – Modelos para Simulação

6.2.1 – Modelo via Espaço de Estados

Primeiramente, optou-se por simular o conversor na forma de equações por espaço de estados, em virtude de uma maior rapidez para o processamento via computador.

As variáveis de estado escolhidas, para a montagem do modelo, são a corrente no indutor e a tensão sobre o capacitor de saída.

Da mesma forma que apresentado no item 2.2, o conversor é considerado operando no modo de condução contínua, não são considerados parâmetros intrínsecos dos componentes e os interruptores são considerados ideais. Para as duas etapas de funcionamento, são calculadas a tensão no capacitor de saída e a corrente no indutor de entrada. Cria-se uma função de chaveamento $f_q(t)$, que assume dois valores distintos, ora zero (0) quando o transistor está bloqueado e um (1) quando em condução. O valor médio de $f_q(t)$ sobre um período de comutação é denominado de razão cíclica (D).

Para a primeira etapa de funcionamento, conforme capítulo 2, item 2.2, tem-se:

$$V(t) = \frac{L dI_{LB}(t)}{dt} \Rightarrow \frac{dI_{LB}(t)}{dt} = \frac{V_{in}(t)}{L_B} \quad (6.1)$$

$$I_C(t) = C \frac{dV_{CB}(t)}{dt} \Rightarrow \frac{dV_{CB}(t)}{dt} = -\frac{V_C(t)}{R_L \cdot C_B} \quad (6.2)$$

Para a segunda etapa de funcionamento, conforme capítulo 2, item 2.2, obtém-se:

$$V(t) = \frac{L dI_{LB}(t)}{dt} \Rightarrow \frac{dI_{LB}(t)}{dt} = \frac{V_{in}(t) - V_C(t)}{L_B} \quad (6.3)$$

$$I_C(t) = C \frac{dV_{CB}(t)}{dt} \Rightarrow \frac{dV_{CB}(t)}{dt} = \frac{I_{LB}(t)}{C_B} - \frac{V_C(t)}{R_L \cdot C_B} \quad (6.4)$$

Somando-se a equação (6.1) com a equação (6.3), a equação (6.2) com a equação (6.4) e inserindo a função $f_q(t)$, obtêm-se as equações de números (6.5) e (6.6).

$$\frac{dI_{LB}(t)}{dt} = \frac{V_{in}(t)}{L_B} f_q(t) + \left[\frac{V_{in}(t) - V_{CB}(t)}{L_B} \right] (1 - f_q(t)) \quad (6.5)$$

$$\frac{dV_{CB}(t)}{dt} = \frac{-V_{CB}(t)}{R_L \cdot C_B} f_q(t) - \left[\frac{I_L(t)}{C_B} - \frac{-V_{CB}(t)}{R_L \cdot C_B} \right] (1 - f_q(t)) \quad (6.6)$$

Simplificando as expressões (6.5) e (6.6), obtêm-se as expressões (6.7) e (6.8).

$$\frac{dI_{LB}(t)}{dt} = \frac{1}{L_B} [V_{in}(t) - (V_{CB}(t))(1 - f_q(t))] \quad (6.7)$$

$$\frac{dV_{CB}(t)}{dt} = \frac{1}{C_B} \left[(I_L(t))(1 - f_q(t)) + \frac{-V_{CB}(t)}{R_L} \right] \quad (6.8)$$

A tensão de saída é a mesma do capacitor, assim tem-se a equação (6.9).

$$V_{out}(t) = V_{CB}(t) \quad (6.9)$$

Na figura 6.1 apresenta-se o controle em diagrama de blocos para o conversor Boost, contemplando as malhas de tensão, corrente e *feedforward*, para a simulação no ambiente MatLab/Simulink.

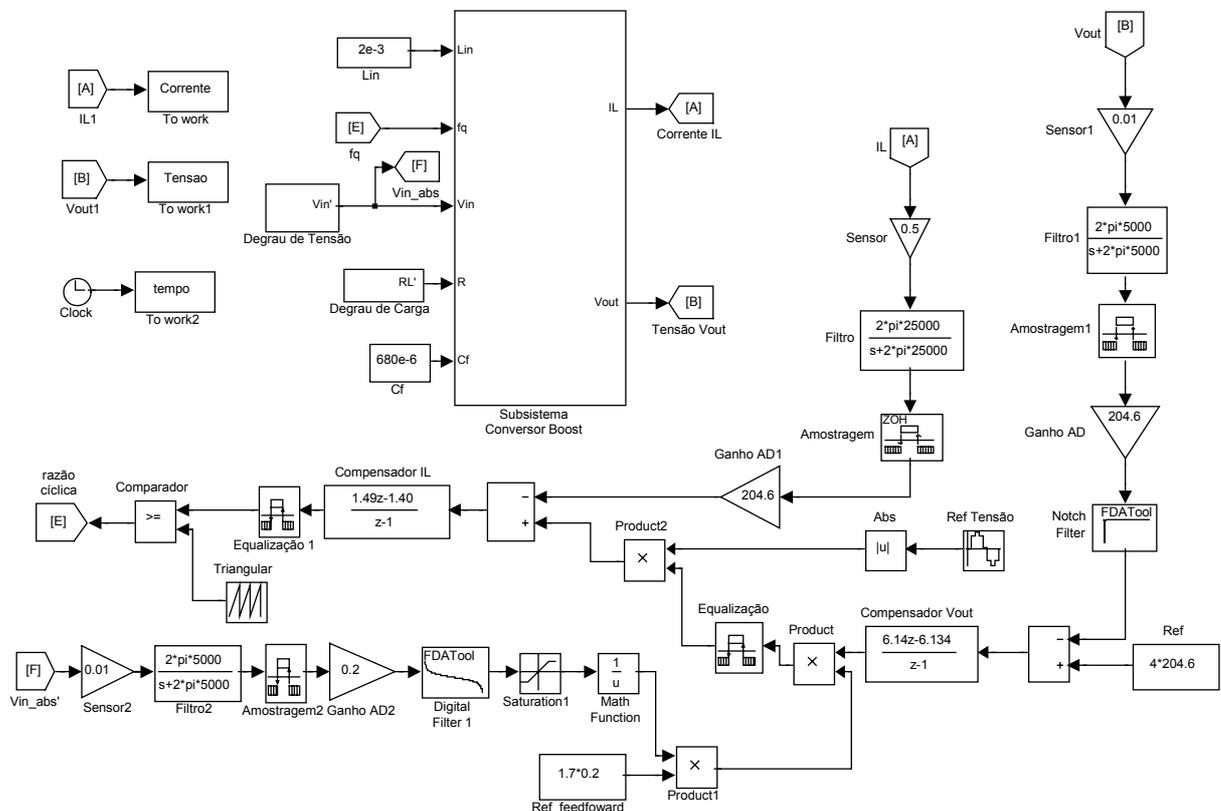


Figura 6.1. – Diagrama de blocos para a simulação do conversor Boost.

O subsistema em questão é o conversor Boost, modelado a partir de (6.7) até (6.9) e está representado na figura 6.2.

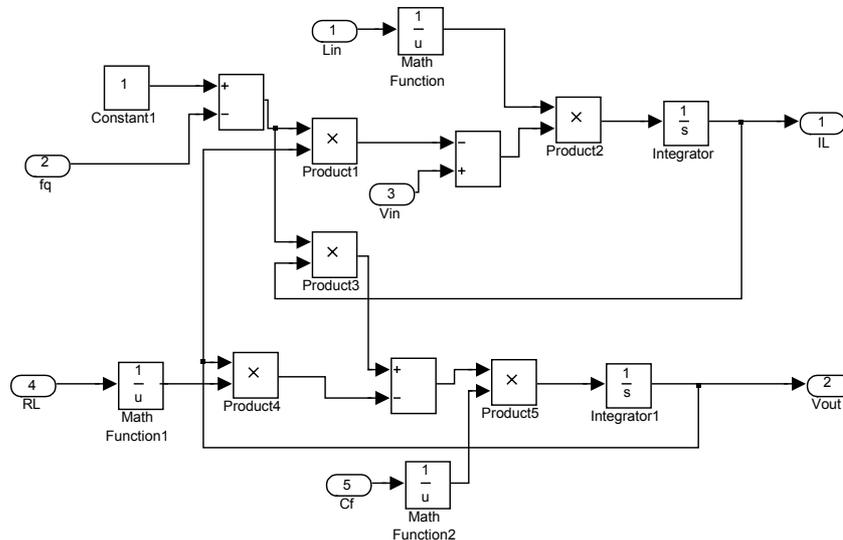


Figura 6.2. – Modelo do conversor Boost.

Na malha de controle da tensão de saída, estão contemplados os seguintes parâmetros: o ganho do sensor de tensão, que é de 0,01; a função de transferência do filtro *anti-aliasing*, que está sintonizado na metade da frequência de amostragem especificada para a aquisição da tensão de saída, sendo portanto sintonizado em 5kHz; o sistema de amostragem, que realiza esta função a uma taxa de aquisição fixa de 10kHz; o ganho do conversor A/D, o qual será interpretado pelo processador digital como sendo uma palavra inteira de 10 *bits*; o filtro *notch*, sintonizado na frequência de 120Hz; o cálculo do erro entre a tensão média de saída e a referência de tensão interna; o compensador de tensão e a referência senoidal unitária. Esta malha está representada na figura 6.3.

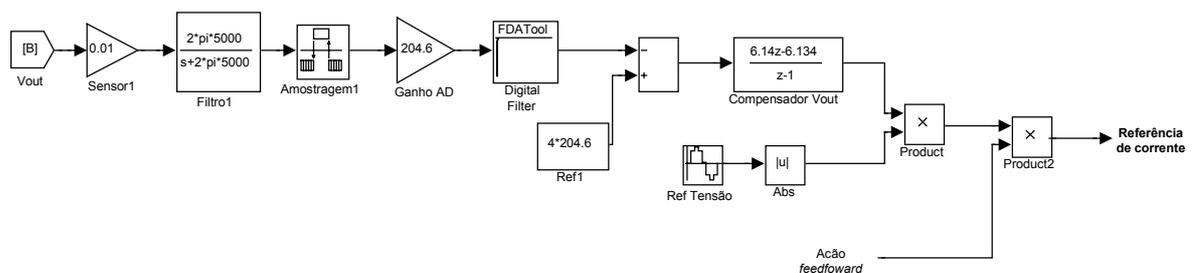


Figura 6.3. – Diagrama de blocos para a malha de tensão.

Para a malha de controle *feedforward*, estão contemplados os seguintes blocos: o ganho do sensor de tensão, que é de 0,01; a função de transferência do filtro *anti-aliasing*, que está sintonizado em 5kHz; o sistema de amostragem, que realiza esta função a uma taxa de aquisição fixa de 10kHz; o ganho do conversor A/D, o qual será interpretado pelo processador digital como unitário, a fim de diminuir os recursos necessários relativos à divisão para o cálculo *feedforward*; o filtro passa-baixa digital, com frequência de corte sintonizada em 15Hz e com taxa de aquisição configurada como sendo 10kHz; além da lógica de divisão e saturação para a implementação da lógica matemática necessária ao controle *feedforward*, descrito no capítulo 5, item 5.5. A concepção desta malha está representada na figura 6.4.

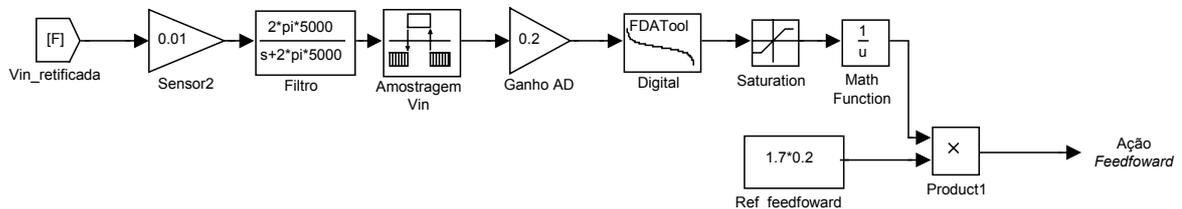


Figura 6.4. – Diagrama de blocos para a malha *feedforward*.

Já a malha de controle de corrente, engloba os seguintes parâmetros: o ganho do sensor de corrente, que é de 0,5; a função de transferência do filtro *anti-aliasing*, que está sintonizado na metade da frequência de amostragem especificada para a aquisição da corrente no indutor, sendo portanto sintonizado em 25kHz; o sistema de amostragem, que realiza esta função a uma taxa de aquisição fixa de 50kHz; o ganho do conversor A/D, o qual será interpretado pelo processador digital como sendo uma palavra inteira de 10 *bits*; o cálculo do erro entre a corrente no indutor e a corrente de referência; o compensador de corrente e a geração da modulação PWM. Esta malha está representada na figura 6.5.

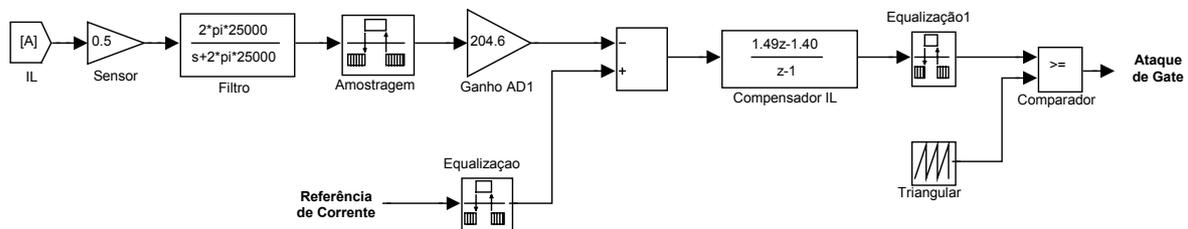


Figura 6.5. – Diagrama de blocos para a malha de corrente.

6.2.2 – Modelo para o Conversor Chaveado

A fim de obter resultados mais precisos, substituiu-se o bloco do conversor, modelado através das equações de espaço de estados, pelo conversor chaveado. Para este fim foi utilizada a biblioteca *SymPowerSystems* do Simulink. O modelo utilizado está representado na figura 6.6.

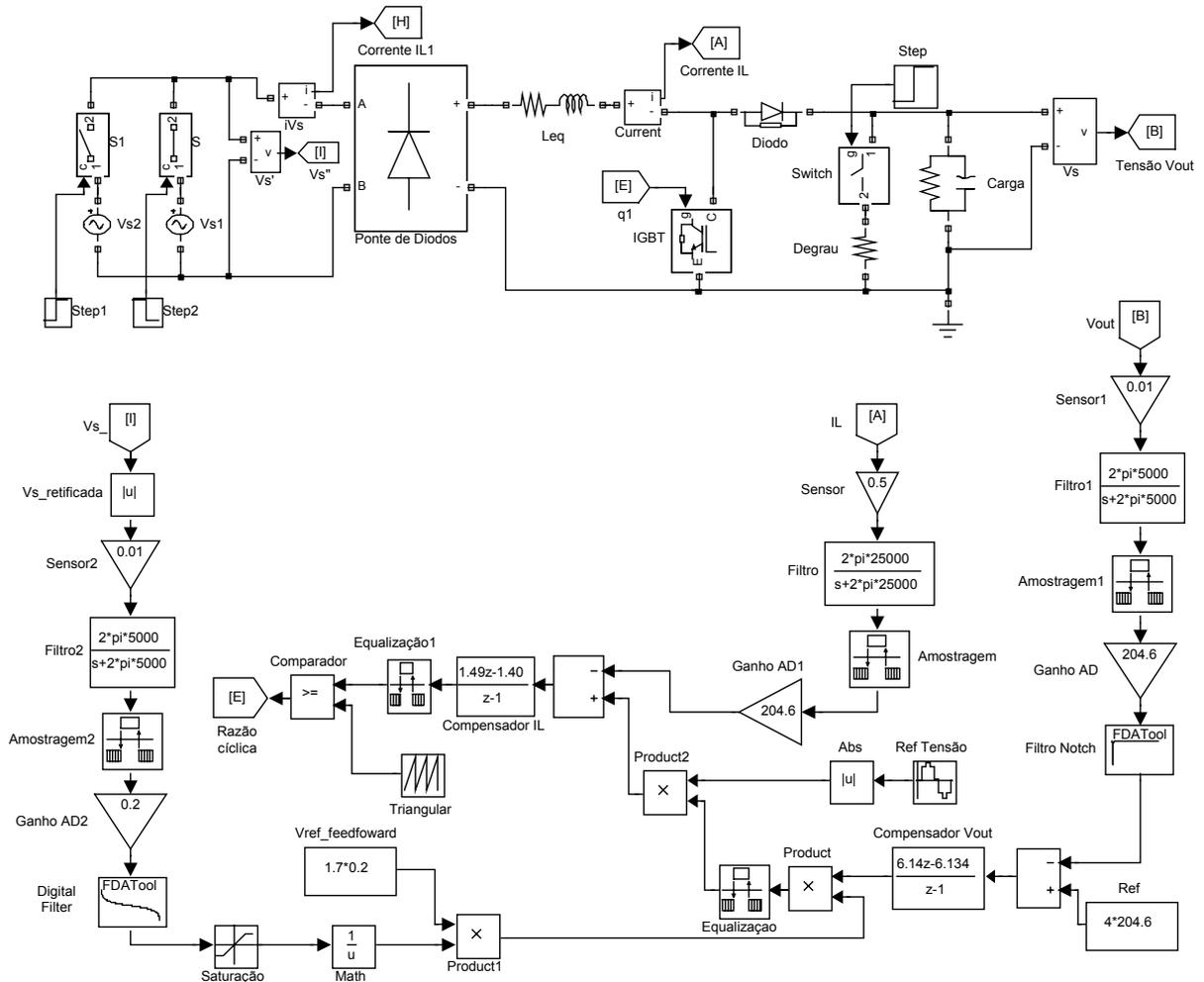


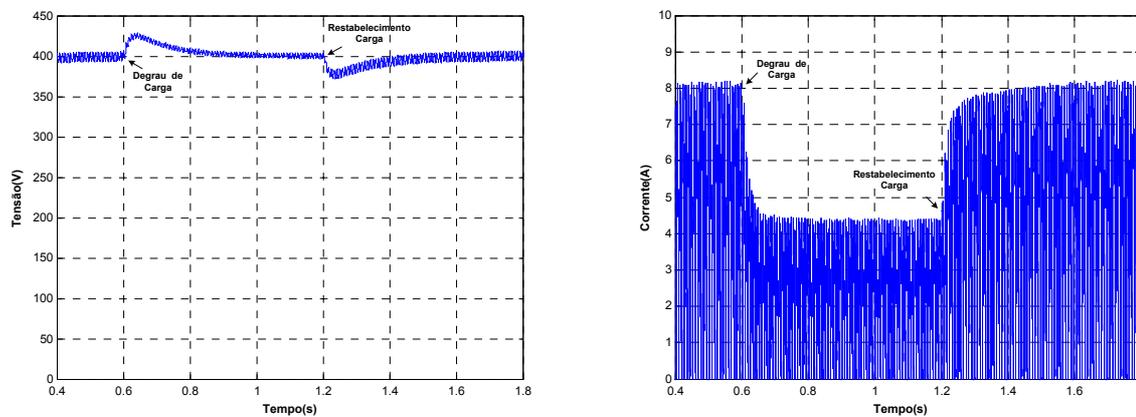
Figura 6.6. – Modelo utilizado para simular o conversor chaveado.

Da mesma forma que no modelo via espaço de estados, o controle do conversor chaveado engloba as malhas de controle da tensão de saída, da corrente no indutor e a malha *feedforward*.

6.3 – Resultados de Simulação

6.3.1 – Espaço de Estados

A seguir apresentam-se as principais formas de onda relativas ao estudo do comportamento do conversor Boost. Isto é obtido realizando-se degraus de carga e de tensão. Na figura 6.7 é apresentada a resposta do conversor, através da tensão de saída e da corrente no indutor, para uma variação de carga de menos 50% e para o restabelecimento da carga.

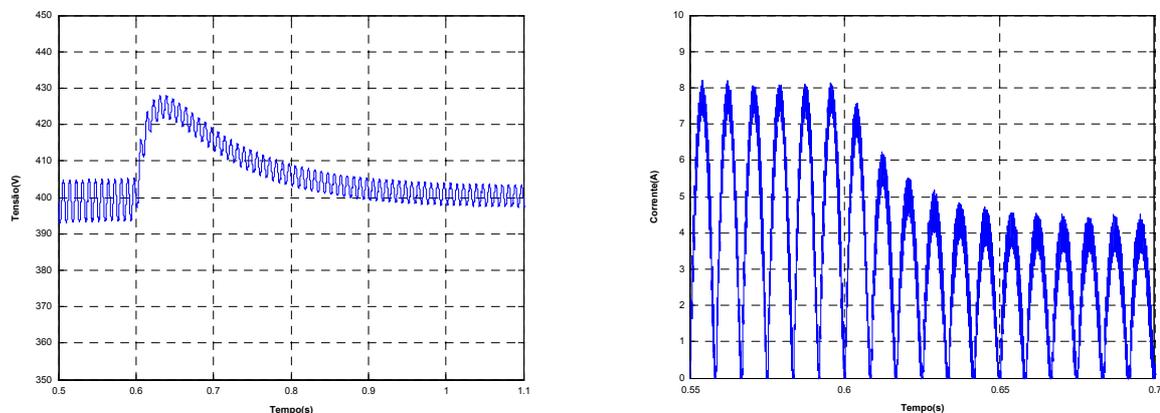


(a) Tensão: 50V/div; Tempo: 200ms/div.

(b) Corrente: 1A/div; Tempo: 200ms/div.

Figura 6.7. – (a) Forma de onda da tensão de saída para o degrau de carga de menos 50% e para o restabelecimento da carga nominal; (b) Forma de onda da corrente no indutor para o degrau de carga de menos 50% e para o restabelecimento da carga nominal.

Verifica-se que o conversor boost apresenta bom comportamento frente aos degraus de carga aplicados. A seguir apresentam-se detalhes da retirada de carga.



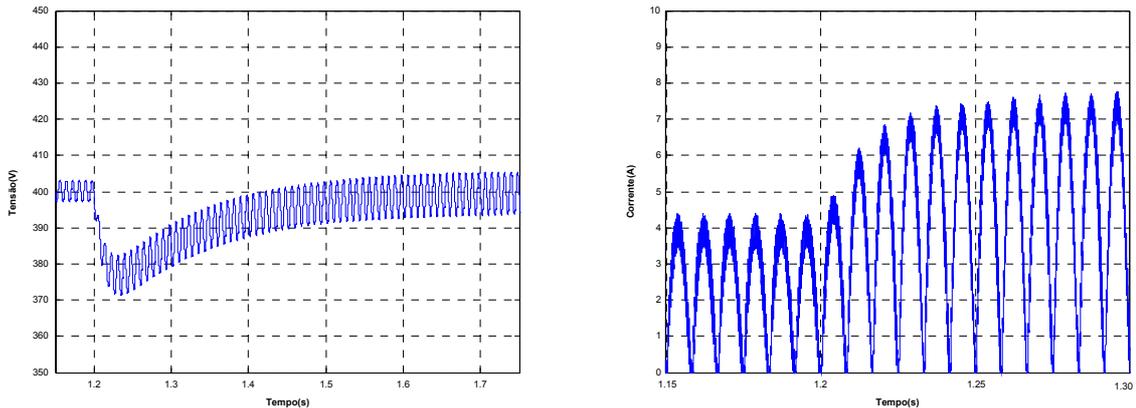
(a) Tensão: 50V/div; Tempo: 100ms/div.

(b) Corrente: 1A/div; Tempo: 50ms/div.

Figura 6.8. – (a) Forma de onda da tensão de saída para o degrau de carga de menos 50%; (b) Forma de onda da corrente no indutor para o degrau de carga de menos 50%.

Conforme se verifica pela figura 6.8(a), a variação de tensão resultante do degrau de carga é de 7% e o tempo de estabelecimento é da ordem de 400ms. Em relação à forma de onda da corrente no indutor (fig. 6.8(b)), verifica-se que é mantido o formato da corrente e a mesma se estabiliza antes dos 50ms, demonstrando a eficácia do controle do conversor.

Na figura 6.9 apresentam-se detalhes do restabelecimento da carga nominal.



(a) Tensão: 50V/div; Tempo: 100ms/div.

(b) Corrente: 1A/div; Tempo: 50ms/div.

Figura 6.9. – (a) Forma de onda da tensão de saída para o restabelecimento da carga nominal; (b) Forma de onda da corrente no indutor para o restabelecimento da carga nominal.

Do mesmo modo que para o degrau de carga de menos 50%, para o restabelecimento da carga nominal, os índices de qualidade foram os mesmos. Na figura 6.10 apresenta-se um detalhe da corrente no indutor para a carga nominal.

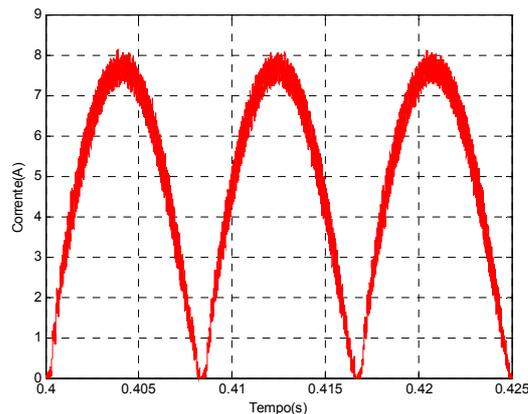
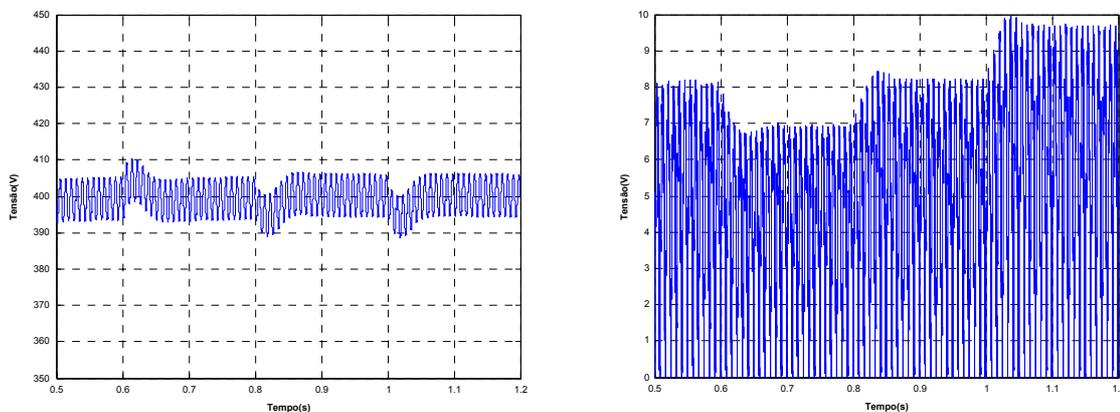


Figura 6.10. – (a) Forma de onda da corrente no indutor para carga nominal.

Verifica-se na figura 6.10 que a corrente no indutor apresenta o formato senoidal esperado.

Na figura 6.11 são apresentados resultados para variações da tensão de entrada. Primeiramente varia-se da tensão nominal para mais 15%, restabelece-se a tensão nominal e em seguida, varia-se novamente para -15% da nominal.

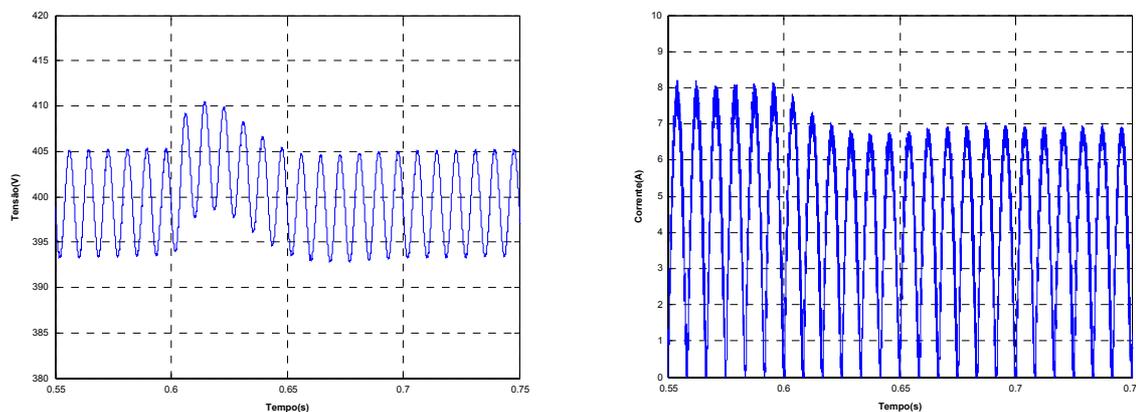


(a) Tensão: 50V/div; Tempo: 100ms/div.

(b) Corrente: 1A/div; Tempo: 100ms/div.

Figura 6.11. – (a) Forma de onda da tensão de saída para os degraus aplicados na tensão de alimentação; (b) Forma de onda da corrente no indutor para os degraus aplicados na tensão de alimentação.

Verifica-se que o conversor Boost também apresenta bom comportamento frente aos degraus de tensão aplicados. Nas figuras 6.12 até 6.14 são apresentados detalhes destes degraus de tensão.

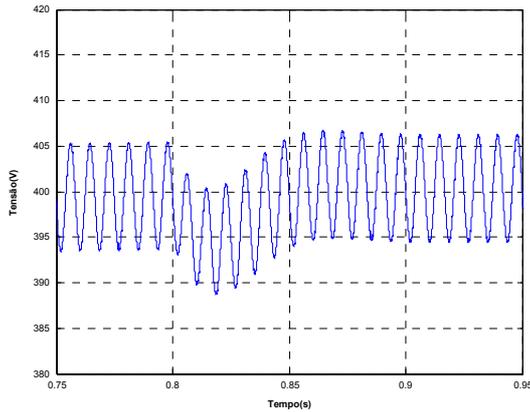


(a) Tensão: 50V/div; Tempo: 0.1s/div.

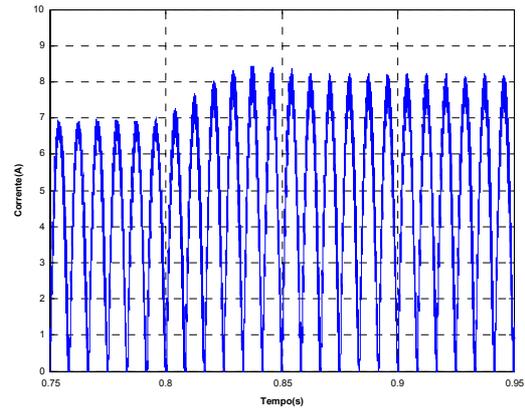
(b) Corrente: 1A/div; Tempo: 0.05s/div.

Figura 6.12. – (a) Forma de onda da tensão de saída para o degrau de tensão de mais 15%; (b) Forma de onda da corrente no indutor para o degrau de tensão de mais 15%.

Para o degrau de tensão de mais 15%, observa-se que o tempo de estabelecimento da tensão de saída é bem menor do que 100ms e apresenta sobresinal menor do que 3%. Em relação à forma de onda da corrente no indutor, a mesma apresenta o formato senoidal e com tempo de estabelecimento menor do que 50ms.



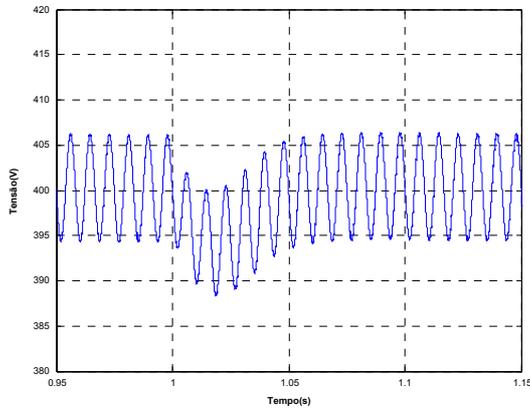
(a) Tensão: 50V/div; Tempo: 100ms/div.



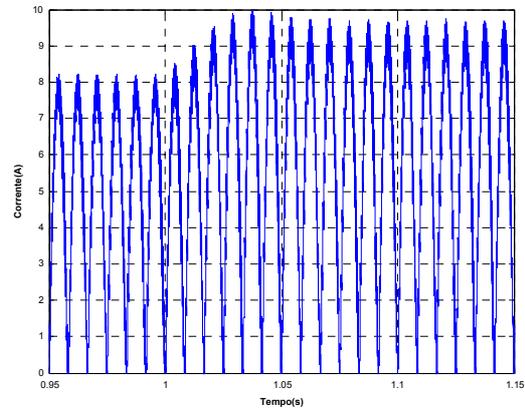
(b) Corrente: 1A/div; Tempo: 50ms/div.

Figura 6.13. – (a) Forma de onda da tensão de saída para o restabelecimento da tensão de entrada; (b) Forma de onda da corrente no indutor para o restabelecimento da tensão de entrada.

Para o restabelecimento da tensão nominal de entrada, a tensão de saída apresenta sobresinal menor do que 3,5% e um tempo de estabelecimento bem menor do que 100ms, a corrente no indutor também mantém o formato desejado, apresentando um pequeno sobresinal e tempo de estabelecimento menor do 50ms.



(a) Tensão: 50V/div; Tempo: 100ms/div.



(b) Corrente: 1A/div; Tempo: 100ms/div.

Figura 6.14. – (a) Forma de onda da tensão de saída para o degrau de tensão de -15%;(b) Forma de onda da corrente no indutor para o degrau de tensão de -15%.

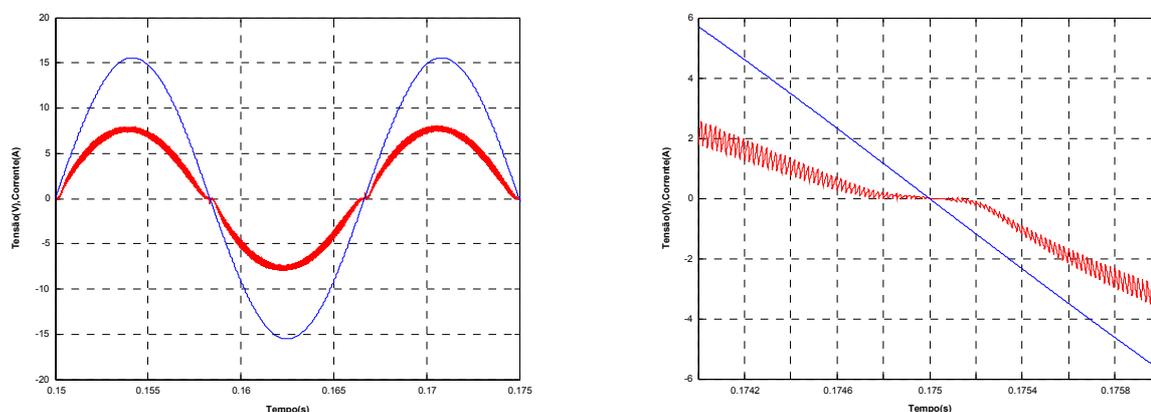
Para o degrau de tensão de menos 15%, a tensão de saída e a corrente no indutor apresentaram os mesmos índices de qualidade do que para o restabelecimento da tensão nominal.

De acordo com os resultados apresentados, o conversor consegue operar com tensão de saída regulada em torno de 400V e manter o formato senoidal da corrente no indutor, mesmo na presença de variações de carga.

6.3.2 – Conversor Chaveado

A fim de se obter resultados mais precisos, substituiu-se o bloco do conversor modelado pelo conversor chaveado, e refizeram-se as simulações aplicando os mesmos degraus de carga e da tensão de entrada.

A resposta do conversor chaveado se aproximou muito da resposta obtida com a modelação via espaço de estados, uma vez que os valores de amplitude e os tempos de acomodação foram praticamente os mesmos. Contudo, a forma de onda da corrente no indutor apresentou um formato mais coerente, por isto, escolheu-se plotar as formas de onda de tensão e da corrente de entrada a fim de demonstrar a qualidade obtida para o fator de potência, bem como um detalhe da distorção de *crossover*, os quais estão representados na figura 6.15. É necessário frisar que o tempo computacional despendido para esta simulação é muitas vezes maior do que o tempo computacional gasto para a simulação via espaço de estados. Isto ocorreu em virtude da utilização de elementos não lineares reais, já que para a utilização da biblioteca *SymPowerSystems*, presente no ambiente Simulink, é necessário especificar todas as características dos elementos presentes no circuito, a fim de que a simulação apresente resultados coerentes.



(a) Tensão: 5V/div, Corrente: 5A/div; Tempo: 50ms/div.

(a) Tensão: 2V/div, Corrente: 2A/div; Tempo: 200us/div.

Figura 6.15. – (a) Forma de onda da tensão de entrada dividida por 20 (em azul) e da corrente de entrada (em vermelho) para a carga nominal; (b) Detalhe da distorção de crossover.

De acordo com o *software* utilizado, a corrente de entrada, para a carga nominal, apresenta uma taxa de distorção DHT de 5% e um ângulo de deslocamento entre as componentes fundamentais de tensão e de corrente ϕ de -3° , levando a um fator de potência de 0,996.

6.4 – Conclusões

A partir das simulações apresentadas, pôde-se verificar que o projeto dos compensadores, tanto da malha de corrente como da malha de tensão, além da malha de controle *feedforward*, foram eficazes para o correto funcionamento do conversor.

Na presença dos degraus de carga aplicados ao conversor, a tensão de saída apresentou sobresinais menores do que 7,5% e tempos de estabelecimento da ordem de 400ms. Em relação aos degraus da tensão de entrada, observaram-se tempos de estabelecimento bem menores do que 100ms e sobresinais menores do que 3,5%, demonstrando a eficácia do controle antecipativo da malha *feedforward*. Em relação à forma de onda da corrente no indutor, esta se manteve sempre com formato senoidal, mesmo na presença de variações de carga e da tensão de entrada, apresentando tempos de acomodação menores do que 50ms.

Desta forma, pôde-se verificar a validade do projeto desenvolvido para as malhas de controle do conversor Retificador Boost.

Capítulo 7

Estratégia de Controle usando Dispositivo FPGA e VHDL

7.1 – Introdução

A complexidade dos sistemas digitais vem crescendo de maneira muito rápida, onde a melhoria nos processos de fabricação, do mercado eletro-eletrônico em contínua expansão, de consumidores mais exigente, necessidade de diminuição do tempo e custo final do produto, fazem com que os processos de desenvolvimento e as ferramentas de automação de projetos de forma eletrônica (EDA – *Electronic Design Automation*) também se desenvolvam em ritmo acelerado. Desta forma, os esforços de pesquisa voltaram-se para o desenvolvimento de dispositivos que proporcionassem um baixo custo inicial de operação, em conjunto com um elevado grau de flexibilidade e que envolvessem um processo rápido de fabricação do produto. Desta forma, surgiu uma nova concepção de projeto baseado na computação reconfigurável utilizando FPGAs (*Field Programmable Gate Arrays*), os quais estão se consolidando como um dos principais dispositivos configuráveis que permitem uma rápida prototipagem, reconfigurabilidade e baixo custo de desenvolvimento. Projetar circuitos e sistemas digitais usando-se desta tecnologia é possível através de diversas maneiras, sendo uma delas através da linguagem VHDL (*VHSIC HDL - Very High Speed Integrated Circuit Hardware Description Language*), que é uma linguagem flexível e de elevado desempenho (ORDONEZ et al., 2003).

Neste capítulo apresenta-se uma breve introdução acerca dos dispositivos FPGAs e da linguagem VHDL. Além disso, mostra-se o controle a ser implementado em linguagem de descrição de *hardware*, onde se mesclam componentes criados com descrição do tipo comportamental em VHDL, com outros componentes desenvolvidos através de núcleos parametrizáveis para a formação da lógica aritmética. A ferramenta de programação dos componentes .vhds é a Xilinx ISE 6.3i, enquanto que a ferramenta de programação dos núcleos parametrizáveis, ferramenta EDA utilizada, é o System Generator 6.3 da Xilinx. Para a simulação dos arquivos .vhds é utilizada a ferramenta ModelSim Xe II/Starter 5.8c, e para a

simulação dos componentes desenvolvidos através dos núcleos parametrizáveis é utilizada a plataforma MatLab/Simulink.

7.2 –Dispositivos FPGAs e a Linguagem VHDL

FPGAs são circuitos programáveis compostos por um conjunto de células lógicas ou blocos lógicos alocados em forma de uma matriz. Os blocos lógicos podem ser utilizados como blocos de construção para se implementar qualquer tipo de funcionalidade desejada, desde máquinas de estado de baixa complexidade até microprocessadores completos. Em geral, a funcionalidade e o roteamento destes blocos são configuráveis via *software*. Os FPGAs, além de proporcionarem um ambiente de trabalho simplificado e de baixo custo, possibilitam a operação com um grande número de circuitos, através da configuração do próprio dispositivo.

A estrutura básica de um FPGA pode variar de fabricante para fabricante, de família para família ou até em uma mesma família podem existir variações, contudo alguns elementos fundamentais são mantidos. Dentro destes elementos, pode-se destacar três fundamentais, que são: CLB (*Configurable Logic Block*), que é o bloco lógico configurável que representa a unidade lógica de um FPGA; IOB (*In/Out Block*), que são os blocos de entrada e saída, se localizam na periferia do dispositivo e fazem a interface com o ambiente externo; SB (*Switch Box*), que são as caixas de conexão responsáveis pela interconexão entre os CLBs, através dos canais de roteamento. Esta estrutura pode ser visualizada na figura 7.1.

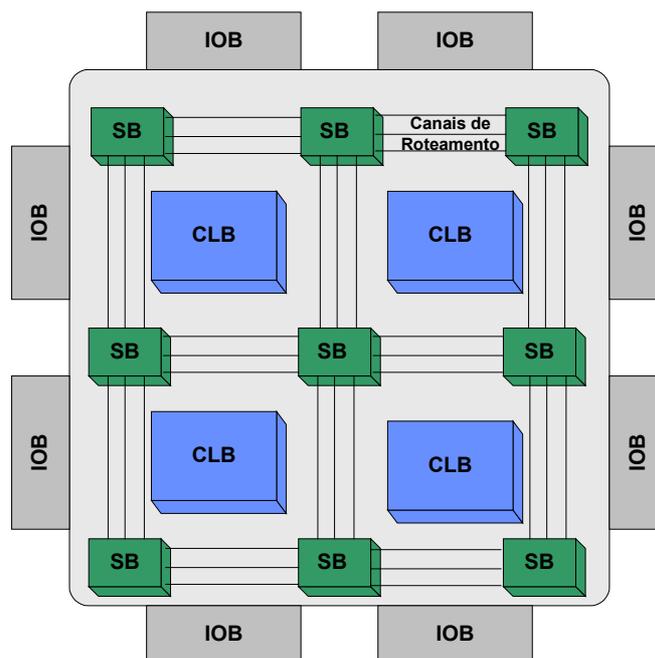


Figura 7.1. – Representação dos elementos básicos de um FPGA.

Nos últimos anos a quantidade de portas lógicas disponíveis num FPGA tem crescido num ritmo muitíssimo acelerado, possibilitando a implementação de arquiteturas cada vez mais complexas. Adicionalmente, alguns dispositivos FPGAs, de acordo com a sua evolução, podem possuir recursos lógicos adicionais, tais como: unidades lógicas aritméticas, blocos de memórias, blocos de codificadores/decodificadores de padrões de sinais, blocos otimizados de multiplicadores, e até mesmo processadores.

Alguns exemplos de aplicações utilizando FPGAs incluem: Previsão de tempo: HDTV e CATV; Consumo: Decodificador de áudio, vídeo games e sistemas de karaokê; Transportes: Sistemas de Estrada de Ferro; Industrial: Equipamentos de teste e medidas, equipamentos médicos, controle remoto, robótica; Comunicação de Dados: Multiplexadores, roteadores, modems, vídeo conferência; Telecomunicação: Interfaces, compressor de dados, controlador de *voice-mail*; Militar: Sistemas de Computadores, comunicação e controle de fogo; Computadores: Interfaces de Memórias, controladores, co-processadores, multimídias e gráficos; Periféricos: Controladores de disco, vídeo, FAX, máquinas registradoras, modems terminais, impressoras, *scanners*, dentre outros. Atualmente, o uso de FPGAs se destaca na área de processos embarcados, onde um processador é interligado a um sistema maior com o objetivo de auxiliar no controle e execução de tarefas. É necessário salientar, que a utilização de FPGAs é uma tecnologia relativamente nova, portanto a cada dia novas aplicações são implementadas.

Há vários parâmetros para se medir o desempenho de circuitos digitais em FPGAs, sendo que os principais são: a ocupação espacial, que determina quantos componentes são necessários para implementar o circuito e o desempenho temporal, que determina o tempo de atraso do sinal (informação) através do circuito. Ao implementar um circuito digital deseja-se que o espaço utilizado e o tempo de execução sejam os menores possíveis. Isto é, o circuito projetado deve ser rápido e ocupar pouco espaço na pastilha. Contudo, satisfazer simultaneamente estes dois critérios nem sempre é possível, seja qual for a tecnologia de projeto para circuitos digitais empregada.

Para a programação e posterior implementação da tecnologia via FPGA, é necessário utilizar alguma linguagem que seja capaz de modelar a estrutura e/ou o comportamento de um *hardware*, sendo esta linguagem, denominada de linguagem de descrição de *hardware* (HDL). Existem dois aspectos importantes para a descrição de um *hardware* que uma HDL pode facilitar: o verdadeiro comportamento abstrato e a estrutura do *hardware*. O comportamento abstrato significa que uma linguagem de descrição de *hardware* é estruturada de maneira a facilitar a descrição abstrata do comportamento do *hardware* para propósitos de especificação, sendo o comportamento modelado e representado em vários níveis de abstração durante o projeto. Já a estrutura de *hardware*, possibilita o modelamento de uma estrutura de *hardware* em uma linguagem de descrição independente do comportamento do circuito. Desta forma, pode-se programar em HDL, o comportamento do circuito ou os seus elementos e interligações que o mesmo deve conter.

As linguagens de descrição de *hardware* proporcionam uma interface comum entre as equipes de desenvolvimento de sistemas e entre ferramentas de desenvolvimento, permitindo uma forma de intercâmbio de informações comum em todos os níveis de desenvolvimento do projeto. Além disso, a implantação de um sistema em HDL possibilita a incorporação de melhorias em projetos de longa vida útil. Alguns exemplos de linguagens HDL são: VHDL, VERILOG, AHDL, Handel-C, SDL, ISP, dentre outras.

A linguagem VHDL é uma linguagem padronizada para descrever componentes digitais, permitindo a transferência de componentes ou projetos para qualquer tecnologia em construção de *hardware* existente ou que ainda será desenvolvida. A linguagem VHDL firmou-se como padrão internacional, e desta forma, toda ferramenta comercial de síntese de circuitos aceita ao menos um subconjunto do VHDL. A utilização desta linguagem manifesta-se em diversos aspectos do projeto, desde a documentação do sistema, simulação em diversos níveis, simplifica a migração tecnológica até a reutilização de recursos já programados.

O surgimento da VHDL se fez necessário devido ao rápido avanço tecnológico alcançado pelas indústrias de circuito integrado, tendo como ápice a tecnologia de alta velocidade VHSIC (*Very High Speed Integrated Circuit*), o que permitia uma maior integração e conseqüentemente uma maior complexidade de circuitos contidos numa mesma pastilha. Algumas vantagens da utilização desta linguagem estão na redução do tempo e custo de desenvolvimento; maior nível de abstração; projetos independentes da tecnologia e na facilidade de atualização dos projetos. Além disso, o VHDL foi adotado como uma linguagem padrão IEEE (*Institute of Electrical and Electronics Engineers*), facilitando a migração de código entre diversas ferramentas comerciais de simulação e assegurando o sucesso da linguagem.

Em VHDL existem duas formas para descrição de circuitos digitais: a estrutural e a comportamental. A forma estrutural, que remete à estrutura do *hardware*, indica os diferentes componentes que constituem o circuito e suas respectivas interconexões. Já a forma comportamental, a qual remete ao comportamento abstrato, consiste em descrever o circuito pensando no seu comportamento e funcionamento e não em sua estrutura. Esta metodologia facilita a descrição de circuitos onde a estrutura interna não está disponível, mas o seu funcionamento e comportamento podem ser interpretados. No entanto, é comum a utilização de ambas as maneiras para o projeto de um sistema mais complexo.

Em relação à programação via comportamento, tem-se a vantagem da redução do número de elementos que o projetista deve gerenciar e que o projeto pode ser desenvolvido sem levar em consideração informações sobre a estrutura final, a tecnologia alvo e os detalhes de implementação.

Além disso, VHDL foi desenvolvida para modelar todos os níveis de um projeto, podendo descrever desde transistores de baixo-nível até sistemas altamente complexos. Esta linguagem pode suportar rotinas matemáticas extremamente complexas e permite a descrição da estrutura de um sistema através de subsistemas e como os mesmos estão interconectados.

Dentro do VHDL, se destacam as metodologias de projeto do tipo *bottom-up* ou *top-down*. A metodologia é denominada de *bottom-up* quando o projetista implementa o sistema a partir de componentes básicos, como por exemplo, portas lógicas e transistores, ou através de componentes primitivos presentes em bibliotecas. Esta metodologia usualmente requer uma fase anterior de projeto onde o sistema é subdividido em pequenos blocos. A metodologia de projeto *top-down* pode ser considerada como a metodologia de projeto mais tradicional, onde o projetista implementa o sistema a partir de sua especificação funcional e somente depois é utilizado algum processo de síntese para obter os detalhes finais de implementação.

A descrição do projeto *top-down* codificada, utilizando VHDL, pode ser simulada utilizando um determinado conjunto de estímulos. Uma vez constatada a funcionalidade do projeto, a descrição em VHDL pode ser sintetizada para a tecnologia alvo e este circuito também pode ser simulado a fim de verificar a validade do modelo em *hardware* .

Um dos principais benefícios da utilização de metodologias de projeto do tipo *top-down*, em conjunto com códigos de descrição de hardware, está no fato de que todo o processo de desenvolvimento pode ser efetuado em um formato comum, num nível de abstração elevado e possibilita a utilização de ferramentas EDA desenvolvidas por outros fabricantes, no intuito de facilitar a concepção e implementação do projeto (PERRY, 2002, ORDONEZ et al., 2003).

7.3 – Concepção do Controle Utilizando a Linguagem VHDL

Para o controle do conversor foram criadas 9 entidades, sendo 8 descritas em linguagem de descrição de hardware e 1 entidade formada através dos núcleos parametrizáveis. Estas entidades se intercomunicam a fim de compor a estratégia de controle. Para gerenciar as entradas, saídas e as interconexões, foi criada uma outra entidade (Componente Gerenciador) que faz as conexões como mostrado na figura 7.2. Esta entidade é formada pelos arquivos AD7810_ILs.vhd, AD7810_Vin_Vout.vhd, Gerasenoide.vhd, BinBCD.vhd, Sel_ILs_Vin_Vout.vhd, Proteções_Referência.vhd e pelo Controle “Black Box”.ngc, onde cada componente será detalhado no item 7.4. Detalhes de cada código .vhd encontram-se no Apêndice B.

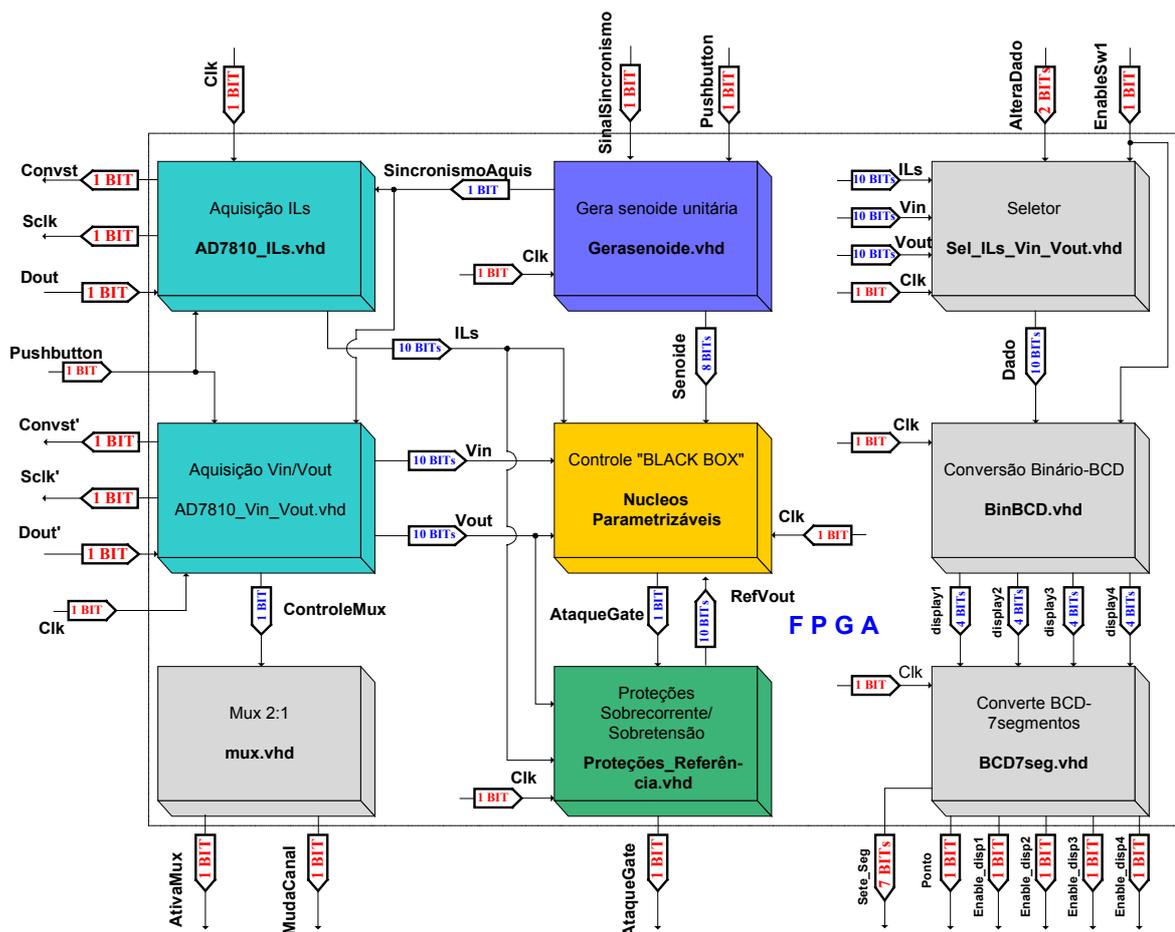


Figura 7.2 – Diagrama de blocos envolvendo todas as lógicas para o controle do conversor.

7.4 – Partes Integrantes do controle

7.4.1 – Componente AD7810_ILs

Utilizou-se o conversor AD7810 da Analog Devices para a aquisição do sinal da corrente no indutor, configurado a uma taxa de aquisição de 50kHz, sendo a mesma frequência de operação do conversor boost.

Este conversor apresenta dois modos de operação que podem ser escolhidos pelo projetista. O primeiro é o modo de economia de energia, onde o conversor é desligado após uma conversão e religado ao se iniciar outra. Neste modo de operação, o conversor apresenta um tempo de conversão de 3,8 μ s. O segundo é o modo de operação em alta velocidade de aquisição, onde o conversor permanece sempre ligado e o tempo de conversão da palavra é de 2,3 μ s. Após a conversão, a palavra binária deve ser lida pelo sistema de aquisição e, portanto, a frequência de aquisição depende da frequência de operação do sistema de aquisição.

Os principais sinais lógicos envolvidos nos processos de conversão são:

CONVST – sinal lógico de controle para início da conversão. A borda de descida deste sinal habilita o início da conversão e a borda de subida habilita a porta de interface serial de dados do conversor.

SCLK – Clock serial. Sinal lógico de controle referente ao trem de pulsos que ao ser aplicado ao conversor disponibiliza os dados na porta serial. Este sinal determina a frequência de leitura da palavra binária.

DOUT – Barramento de saída serial de dados (porta serial). Os *bits* da palavra são coletados neste pino, após transições do sinal SCLK.

Preferiu-se não desligar o conversor AD entre as conversões e projetou-se uma máquina de estados para a leitura da corrente no indutor. Esta máquina de estados é do tipo Moore, uma vez que a saída depende só do estado atual, e apresenta 5 estados distintos onde no estado 4, o qual possui 10 estados internos, é ativada a leitura dos *bits* da palavra digital.

O diagrama de sinais para a interface FPGA e AD7810 está representado na figura 7.3, bem como a máquina de estados para a leitura da corrente no indutor está representada na figura 7.4.

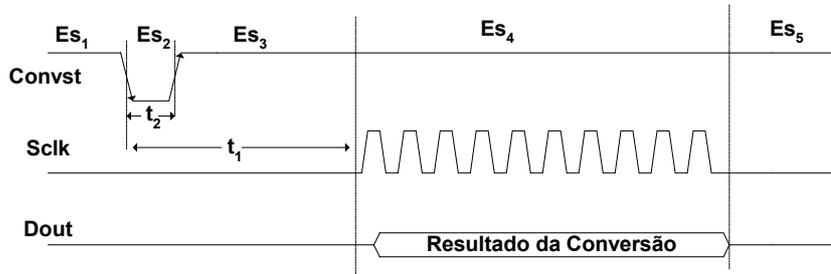


Figura 7.3. – Diagrama de sinais para a interface FPGA/AD7810.

A máquina de estados implementada leva em consideração o diagrama de sinais para a interface AD7810/FPGA, onde os tempos envolvidos em cada estado foram extraídos da folha de dados do fabricante (ANALOG DEVICES, 2000).

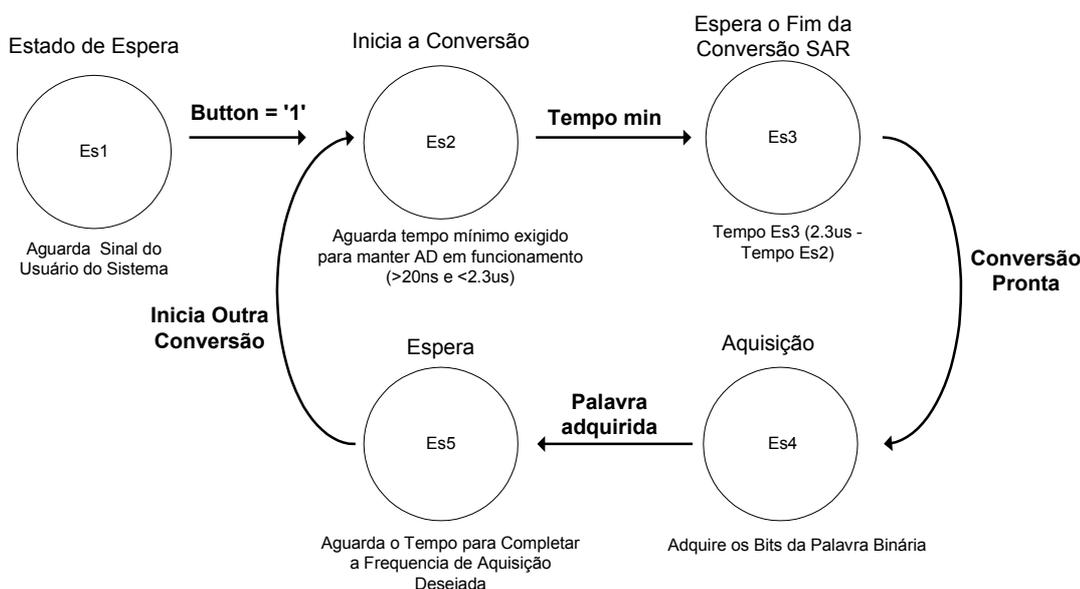


Figura 7.4. – Máquina de estados para a leitura da corrente no indutor.

Inicialmente a máquina de estados está no Estado Es1, aguardando um sinal externo de habilitação. Quando for habilitada, a máquina muda para o estado Es2 e cria os sinais Convst e Sclk de acordo com o diagrama de sinais da figura 7.4. Passado o tempo mínimo exigido, ela transita para o estado Es3 e fica aguardando o final da conversão. Quando a conversão estiver pronta, a máquina transita para o estado Es4, e envia pulsos Sclk para adquirir cada *bit* da palavra. Estes *bits* são adquiridos quando o sinal Sclk transita de nível alto para nível

baixo. Após adquirir os 10 *bits*, a máquina vai para o estado Es5 para completar a frequência de aquisição desejada e reiniciar outra conversão AD. A palavra quantizada é utilizada como entrada para o componente Controle “Black Box”, para os componentes proteção e sinalização.

7.4.2 – Componente AD7810_Vin_Vout

Para a aquisição das tensões fez-se uma máquina de estados semelhante à máquina de estados para a leitura da corrente, só que configurada para adquirir em um instante a tensão de entrada e em outro instante a tensão de saída. A taxa de aquisição de cada tensão está configurada para 10kHz, sendo a máquina configurada para uma taxa de 20kHz. Além disso, esta máquina gera um sinal de comando, que serve para informar ao controle qual tensão foi adquirida, sendo também responsável por informar a um outro código VHD (componente MUX) qual entrada do multiplexador deve ser selecionada para garantir a correta leitura dos dados. Estas palavras quantizadas são entrada para o componente Controle “Black Box”, para os componentes Proteções_Referência e Seletor.

7.4.3 – Componente MUX

Esta entidade tem a função de gerar os sinais de controle para um multiplexador analógico, gerando um sinal de ativação para o multiplexador e outro sinal para o *bit* de endereçamento. Estes sinais são criados de acordo com um sinal recebido da máquina de estados de leitura das tensões, a fim de garantir a correta aquisição dos dados.

7.4.4 – Componente BinBCD

A entidade BinBCD tem a finalidade de converter um número binário em BDC, para que este possa ser representado pelo display de 7 segmentos da placa de desenvolvimento.

Com o conversor AD utilizado pode-se escrever números de 0 à 1023 (decimal). Para que cada dígito seja representado no display de 7 segmentos é necessário que seja criado, a partir do número binário de 10 *bits*, um código BCD para cada dígito decimal, o qual pode variar de 0 à 9, e para conseguir representar estes números é necessário um código de 4 *bits*.

Para resolver este problema, a lógica de controle foi baseada em contadores, que identificam as unidades, dezenas, centenas e o milhar do número binário em questão. Este código, então, é enviado para a entidade BCD7seg.

7.4.5 – Componente BCD7Seg

Esta entidade recebe o código BCD vindo da entidade BinBCD e converte cada código BCD para 7 segmentos, a fim de que a palavra possa ser representada no display de sete segmentos da placa de desenvolvimento. Ademais, este bloco é responsável por realizar a tarefa de distribuir cada dígito em seu respectivo *display*, já que a entrada para a formação do dígito é única para todo o bloco de *displays*. Isto requer uma ativação seqüencial de cada *display* em uma frequência na qual o olho humano não identifique o apagar e acender de cada *display*. Isto é obtido fazendo com que cada *display* receba a informação em uma frequência superior à 60Hz.

7.4.6 – Componente Seletor

Seleciona qual canal deve ser visualizado no display de sete segmentos através de interruptores alocados na placa de desenvolvimento. De acordo com o posicionamento das chaves, podem ser lidos no display os valores da corrente no indutor I_{Ls} e das tensões de entrada V_{in} e de saída V_{out} .

7.4.7 – Componente GeraSenóide

O componente GeraSenóide é um arquivo .vhd responsável pela geração da senóide unitária para o controle do conversor. Esta senóide possui resolução de 8 *bits*, sendo todos fracionários, e apresenta frequência de atualização de 50kHz. Neste arquivo foi criada uma tabela interna, onde a cada múltiplo de 20 μ s, o programa atualiza o apontador da tabela, buscando e atualizando o valor da senóide.

A saída deste arquivo é a entrada do componente multiplica_senóide, que é um subcomponente do componente Controle “Black Box”.

7.4.8 – Componente Controle “Black Box”

Este componente foi inteiramente desenvolvido com os núcleos parametrizáveis presentes na biblioteca *SystemGenerator* e apresenta vários sub-componentes. Todos os sub-componentes criados foram desenvolvidos utilizando lógica aritmética de ponto fixo, com núcleos parametrizáveis de somadores, registradores e multiplicadores. Os filtros digitais, bem como os compensadores, foram implementados utilizando-se da forma direta de realização, ou seja, da mesma forma que se interpreta a equação a diferenças que representa um filtro digital. Um exemplo de representação de uma equação a diferenças na forma direta (equação 7.2), obtida a partir de uma função de transferência de um compensador genérico (equação 7.1), pode ser visualizado na figura 7.5.

$$G(Z) = \frac{Y(Z)}{X(Z)} = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2} \dots + b_m z^{-m}}{1 + a_1 z^{-1} + a_2 z^{-2} \dots + a_n z^{-n}}, n \geq m \quad (7.1)$$

$$Y(Z) = -a_1 z^{-1} Y(Z) - a_2 z^{-2} Y(Z) - \dots - a_n z^{-n} Y(Z) + b_0 X(Z) + b_1 z^{-1} X(Z) + b_2 z^{-2} X(Z) + \dots + b_m z^{-m} X(Z) \quad (7.2)$$

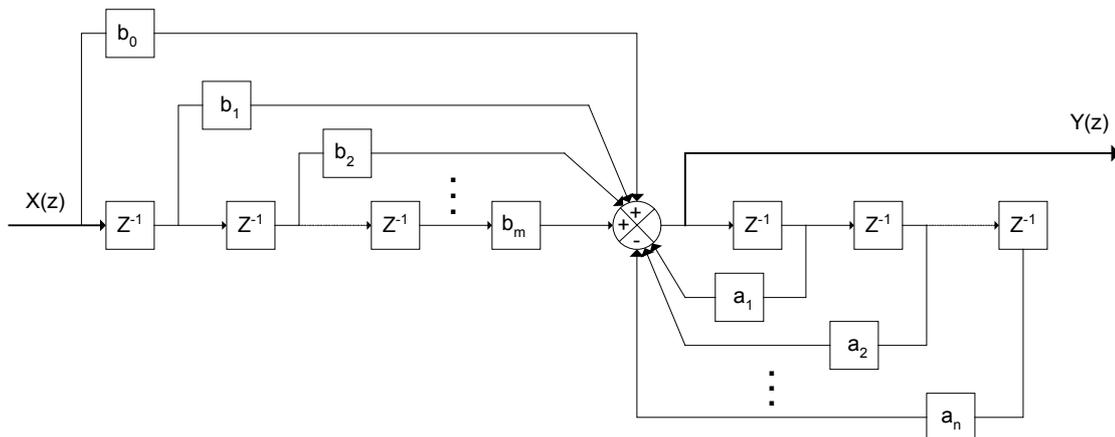


Figura 7.5. – Diagrama de blocos da realização direta do filtro digital genérico.

Na representação direta, os numeradores e denominadores da função de transferência são realizados usando quantidades separadas de elementos de atraso, onde os elementos de atraso são representados por z^{-1} e representam o atraso relativo a um período de amostragem. Estes elementos são implementados usando-se estruturas de memória, usualmente registradores.

Desta forma, na figura 7.6 é possível visualizar cada sub-componente do controle “Black Box” e como eles estão interligados.

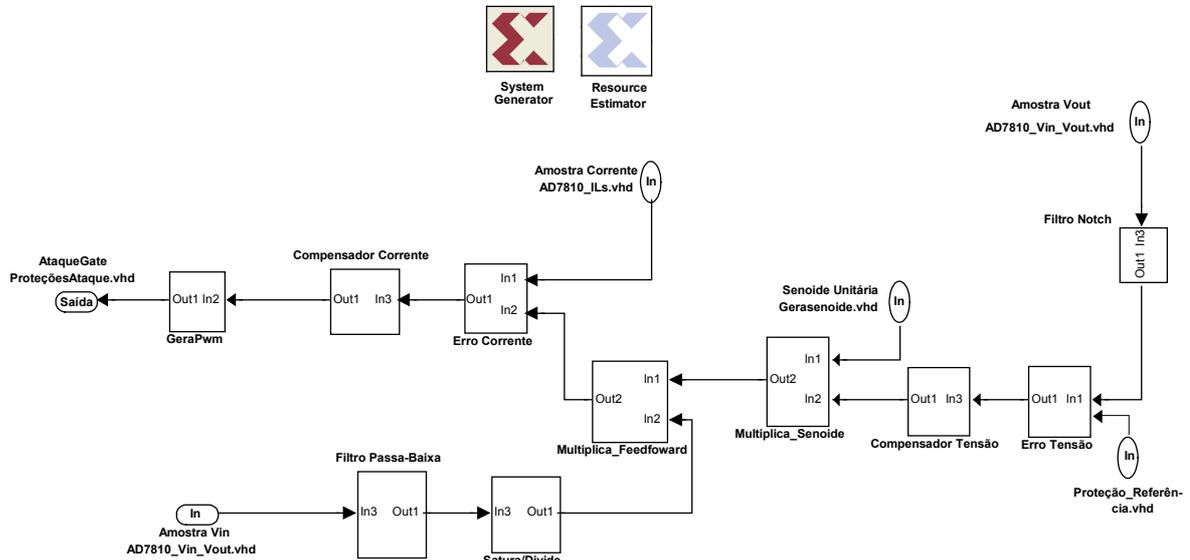


Figura 7.6. – Interconexão dos sub-componentes da entidade Controle “Black Box”.

A fim de detalhar o funcionamento deste componente, apresentam-se cada sub-componente desta entidade, no itens 7.4.8.1 até 7.4.8.8.

7.4.8.1 – Componente Filtro Notch

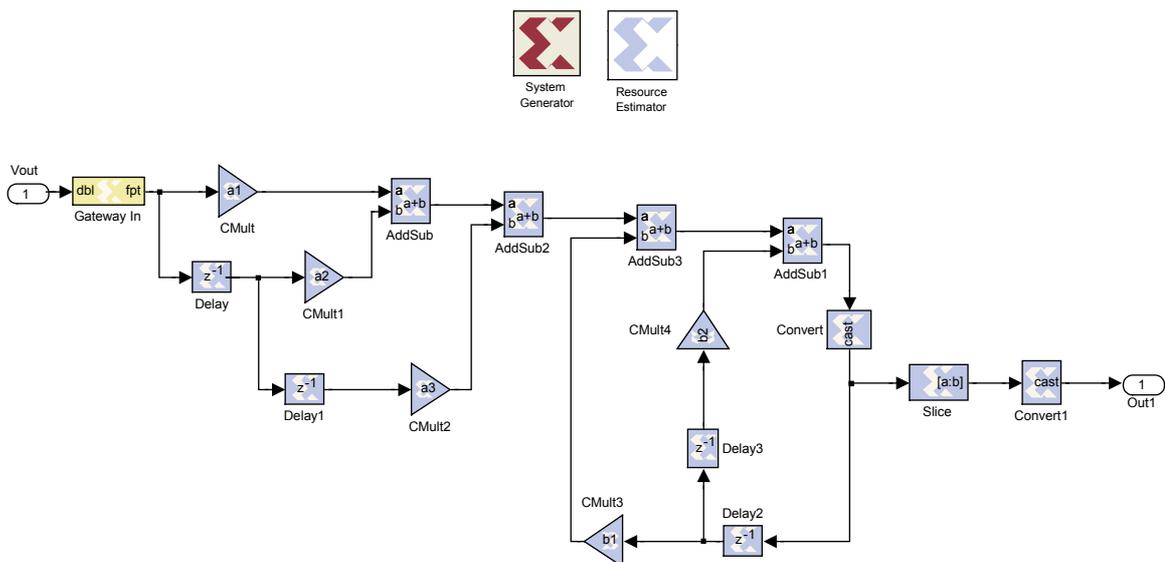


Figura 7.7. – Filtro notch com implementação direta através dos núcleos parametrizáveis.

O filtro *notch* foi desenvolvido diretamente no plano discreto usando a ferramenta de projeto de filtros digitais FDatool, presente no ambiente MatLaB/Simulink. A frequência deste filtro é de 120Hz com a taxa de amostragem configurada como sendo 10kHz. Para a realização deste filtro foram utilizados 5 multiplicadores, 4 somadores, 3 registradores e 3 estruturas de conversão de dados. As estruturas de conversão de dados são importantes para que o laço de realimentação não cause a instabilidade do filtro. A tabela 7.1 mostra os coeficientes do filtro e a sua configuração aritmética em ponto fixo.

Tabela 7.1: Coeficientes do filtro *notch* e sua configuração em ponto fixo.

Coeficientes	Valor	Nº de Bits	Posição Ponto Fracionário	Padrão
a_1	0,98426052692957455	18	18	<i>Unsigned</i>
a_2	-1,9629282891983166	20	18	<i>Signed</i>
a_3	0,98426052692957455	18	18	<i>Unsigned</i>
b_1	1,9629282891983166	19	18	<i>Unsigned</i>
b_2	-0,96852105385187315	19	18	<i>Signed</i>

7.4.8.2 – Componente Erro Tensão

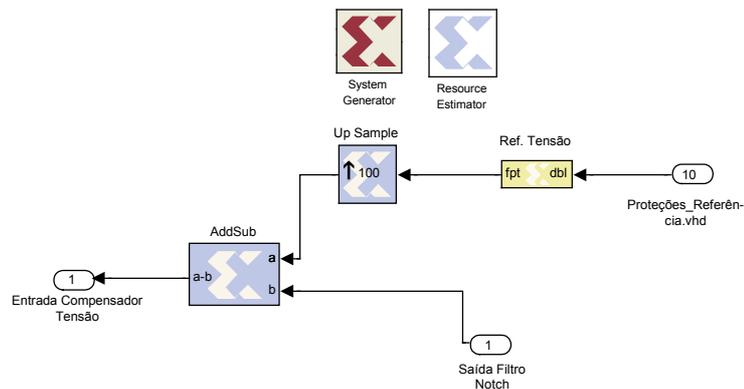


Figura 7.8. – Cálculo de erro da tensão de saída utilizando os núcleos parametrizáveis.

Este componente é responsável pelo cálculo do erro entre a saída do filtro *notch* e a referência vinda do componente referência.vhd. É composto por um subtrator e um bloco de equalização, onde os valores de entrada são representados por palavras de 10bits, sem sinal e sem ponto fracionário, enquanto que o resultado da subtração é representado por uma palavra de 11 bits, com sinal e sem ponto fracionário.

7.4.8.3 – Componente Compensador Tensão

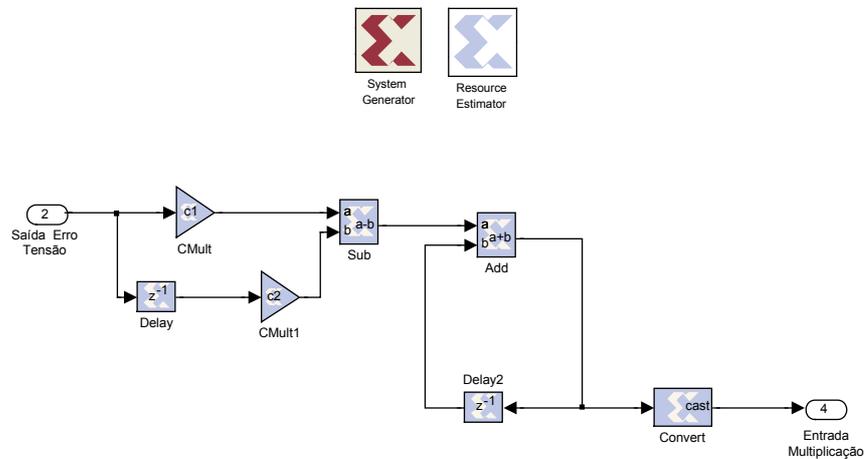


Figura 7.9. – Compensador de tensão com implementação direta utilizando os núcleos parametrizáveis.

O compensador de tensão foi implementado através da representação direta de sua equação a diferenças, a qual foi obtida no capítulo 5, item 5.4. Para a realização deste filtro foram utilizados 2 multiplicadores, 2 somadores, 2 registradores e 1 estrutura de conversão de dados. A saída deste componente está representada por uma palavra de 12 *bits*, com sinal e sem ponto fracionário. Na tabela 7.2 constam os coeficientes do filtro e a sua configuração aritmética em ponto fixo.

Tabela 7.2: Coeficientes do compensador de tensão e sua configuração em ponto fixo.

Coeficientes	Valor	Nº de Bits	Posição Ponto Fracionário	Padrão
c_1	6,14	22	19	<i>Unsigned</i>
c_2	6,134	22	19	<i>Unsigned</i>

7.4.8.4 – Componente Multiplica_Senóide

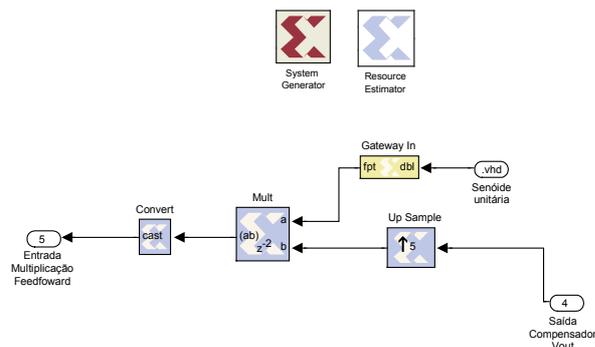


Figura 7.10. – Criação do formato senoidal da corrente de referência.

Este componente dá o formato senoidal desejado à corrente de referência. Ele recebe um sinal de 8 *bits*, todos fracionários, que representa a senóide interna, e multiplica este valor pelo sinal de saída do compensador de tensão. Como o sinal senoidal é atualizado a uma taxa de 50kHz, é necessário equalizar a saída do compensador de tensão, através do bloco *Up Sample*, já que a saída do compensador é atualizada a uma taxa de 10kHz e sua taxa de atualização deve ser a mesma dos outros blocos, para que seja possível a criação de um circuito em *hardware* que realize esta função.

7.4.8.5 – Componente *Feedforward*

O componente *Feedforward* é composto por mais duas lógicas, sendo elas, o filtro passa-baixa e a lógica de saturação/divisão. O componente recebe o valor amostrado da tensão de entrada, no formato de 10 *bits* e os interpreta como sendo uma palavra de 10 *bits* com 9 fracionários, uma vez que não é necessário utilizar o ganho do AD e pode-se melhorar a precisão fracionária da lógica. Estes componentes estão representados a seguir.

7.4.8.5.1 – Componente Filtro Passa-Baixa

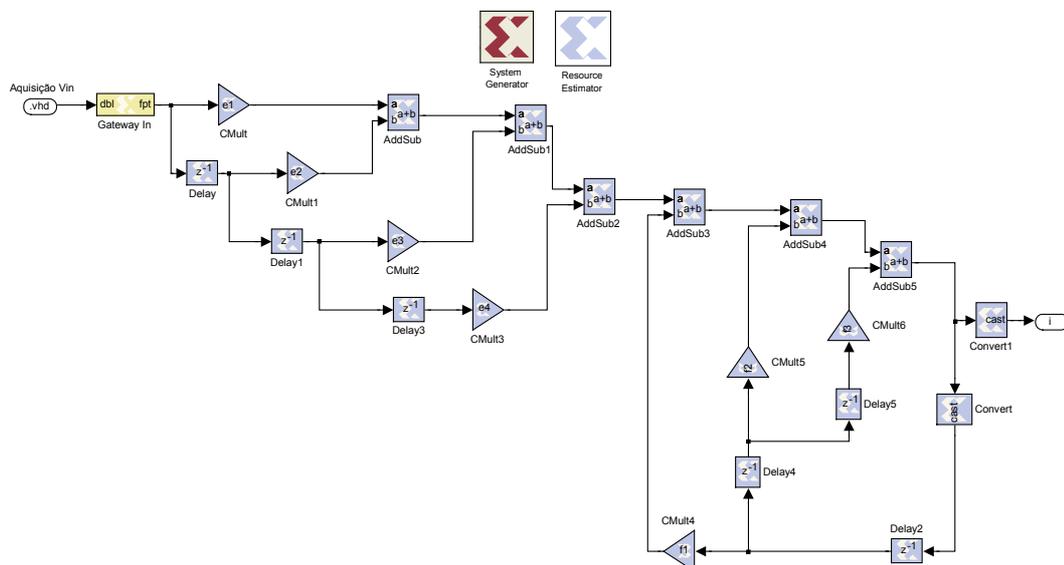


Figura 7.11. – Filtro passa baixa com implementação direta utilizando os núcleos parametrizáveis.

O filtro passa-baixa escolhido foi o filtro Butterworth de 3ª ordem, sendo desenvolvido diretamente no plano discreto usando a ferramenta de projeto de filtros digitais FDAtool. A frequência de corte deste filtro é de 15Hz com a taxa de amostragem configurada

como sendo 10kHz. Para a realização deste filtro foram utilizados 7 multiplicadores, 6 somadores, 6 registradores e 2 estruturas de conversão de dados. As estruturas de conversão de dados são importantes para que o laço de realimentação não cause a instabilidade do filtro. A tabela 7.3 mostra os coeficientes do filtro e a sua configuração aritmética em ponto fixo.

Tabela 7.3: Coeficientes do filtro passa-baixa e sua configuração em ponto fixo.

Coeficientes	Valor	Nº de Bits	Posição Ponto Fracionário	Padrão
e_1	0,00000010360963642597198	30	30	Unsigned
e_2	0,00000031106173992156982	30	30	Unsigned
e_3	0,00000031106173992156982	30	30	Unsigned
e_4	0,00000010360963642597198	30	30	Unsigned
f_1	2,98115051374770	29	27	Unsigned
f_2	-2,9624782607425004	30	27	Signed
f_3	0,98132691741921008	27	27	Unsigned

7.4.8.5.2 – Componente Satura/Divide

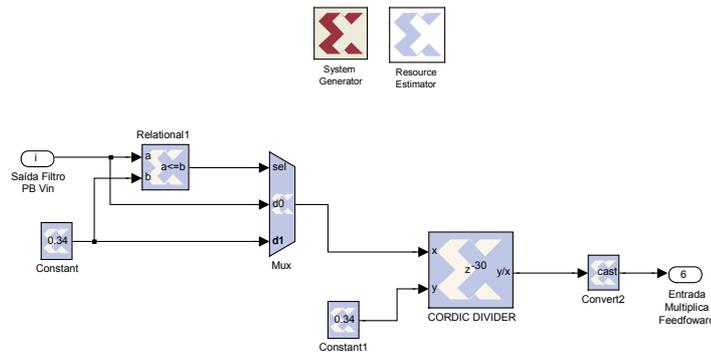


Figura 7.12. – Lógica de divisão/saturação utilizada no controle *feedforward*.

Este componente é responsável por calcular a ação de controle *feedforward* da forma que foi apresentada no capítulo 5, item 5.5, ou seja, quando a tensão de entrada for menor do que a tensão mínima da rede, a saída deste componente satura em 1, quando for maior, a saída diminui proporcionalmente garantindo a ação de controle *feedforward*. A saída deste componente é representada por uma palavra de 10 bits, com todos fracionários.

7.4.8.6 – Componente Multiplica_*Feedforward*

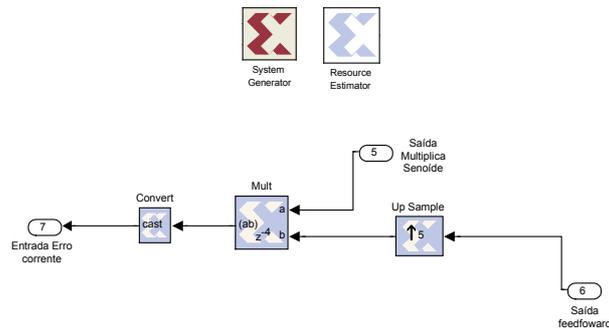


Figura 7.13 – Ajuste da corrente de referência com base na malha *feedforward*.

Este componente é necessário para multiplicar a corrente de referência pela ação de controle *feedforward*, a fim de minimizar as variações da tensão de saída quando na presença de variações na tensão de entrada. A saída do *feedforward*, que é uma das entradas do multiplicador, está representada no formato de 10 *bits*, todos fracionários, e a saída do Multiplica_Senóide, que é a outra entrada do multiplicador, está representada no formato 12 *bits*, com sinal e sem ponto fracionário. A saída deste componente está representado por uma palavra binária de 12 *bits*, com sinal e sem ponto fracionário.

7.4.8.7 – Componente Erro Corrente

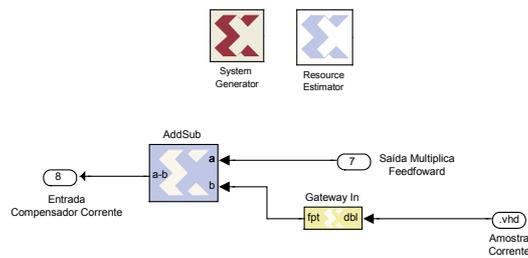


Figura 7.14. – Cálculo do erro da malha de corrente usando os núcleos parametrizáveis.

Este componente é responsável pelo cálculo do erro entre a corrente de referência e a corrente que está sendo amostrada no indutor boost (I_{Ls}). A corrente amostrada está representada por uma palavra de 10 *bits*, sem sinal e sem ponto fracionário, enquanto que a corrente de referência está representada por uma palavra de 12 *bits*, com sinal e sem ponto fracionário. A saída deste componente está representada por uma palavra de 12 *bits*, também com sinal e sem ponto fracionário.

7.4.8.8 – Componente Compensador Corrente

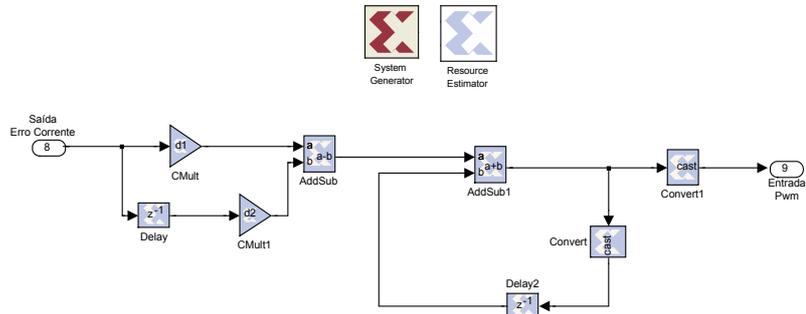


Figura 7.15. – Compensador de corrente com implementação direta utilizando os núcleos parametrizáveis.

O compensador de corrente foi implementado através da representação direta de sua equação à diferenças, a qual foi obtida no capítulo 5, item 5.3. Para a realização deste filtro foram utilizados 2 multiplicadores, 2 somadores, 2 registradores e 2 estruturas de conversão de dados. Tanto a entrada quanto a saída deste componente, estão representadas por palavras de 12 *bits*, com sinal e sem ponto fracionário. Na tabela 7.4 constam os coeficientes do filtro e a sua configuração aritmética em ponto fixo.

Tabela 7.4: Coeficientes do compensador de corrente e sua configuração em ponto fixo.

Coeficientes	Valor	Nº de Bits	Posição Ponto Fracionário	Padrão
d_1	1,49	18	17	<i>Unsigned</i>
d_2	1,40	18	17	<i>Unsigned</i>

7.4.8.9 – Componente GeraPWM

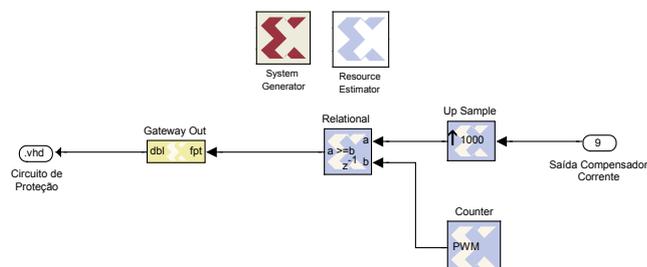


Figura 7.16. – Geração dos pulsos de comando do interruptor através dos núcleos parametrizáveis.

Este componente é responsável pela criação dos pulsos comando do transistor. Os pulsos são resultados de uma comparação efetuada entre dois sinais, a modulante e a

portadora. A entrada deste componente é a saída do compensador de corrente (sinal modulante), que é comparado com a dente de serra (portadora), de amplitude 1.000 e frequência 50kHz.

7.4.9 – Componente Proteções_Referência

Este componente é responsável pela inibição dos pulsos de comando do interruptor, caso ocorra sobretensão na saída do conversor ou ocorra sobrecorrente na entrada do estágio pré-regulador. Este componente ainda é responsável por criar a referência para o cálculo de erro da tensão. Com este componente é possível criar uma estratégia para o transitório de funcionamento do estágio de entrada retificador comum ao estágio pré-regulador Boost, adicionando uma rampa de referência para a tensão de saída do conversor.

7.5 – Resultados de Simulação do Controle Digital

A simulação digital do controle é fundamental para a validação do projeto realizado em VHDL, auxiliando na detecção de possíveis erros no código e possibilitando a avaliação de desempenho do sistema antes de ser implementado.

7.5.1 – Simulação dos Principais Arquivos .vhd Relacionados à Lógica de Controle

7.5.1.1 – Componente AD7810_ILs

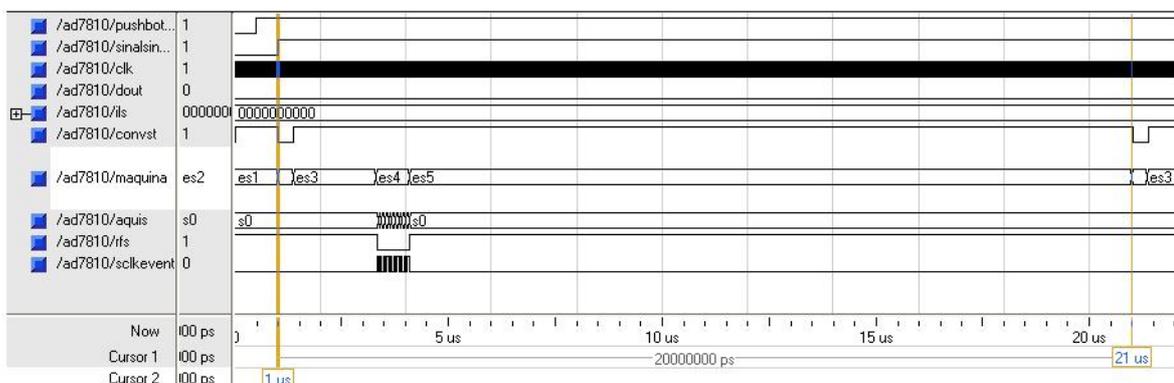


Figura 7.17. – Simulação digital do componente AD7810_ILs.

Verifica-se, na figura 7.17, que o componente aguarda a transição de nível lógico baixo para alto do sinal externo e do sinal de sincronismo, que são os dois primeiros sinais da simulação, a fim de iniciar a máquina de estados para a conversão AD. Verifica-se também que a conversão AD realiza-se na frequência desejada de 50kHz (20 μ s). Além disso, a máquina transita entre os estados es2, es3, es4 e es5, onde no estado es4 são criados 10 pulsos SCLK para a aquisição da palavra de 10 *bits* do conversor AD, sendo este detalhe verificado com maior facilidade na figura 7.18.

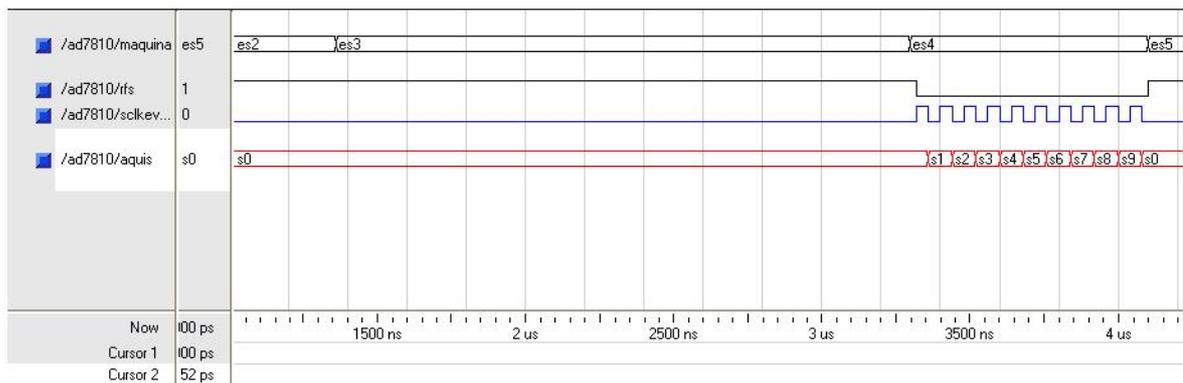


Figura 7.18. – Detalhe da simulação digital do componente AD7810_ILs.

7.5.1.2 – Componente AD7810_Vin_Vout

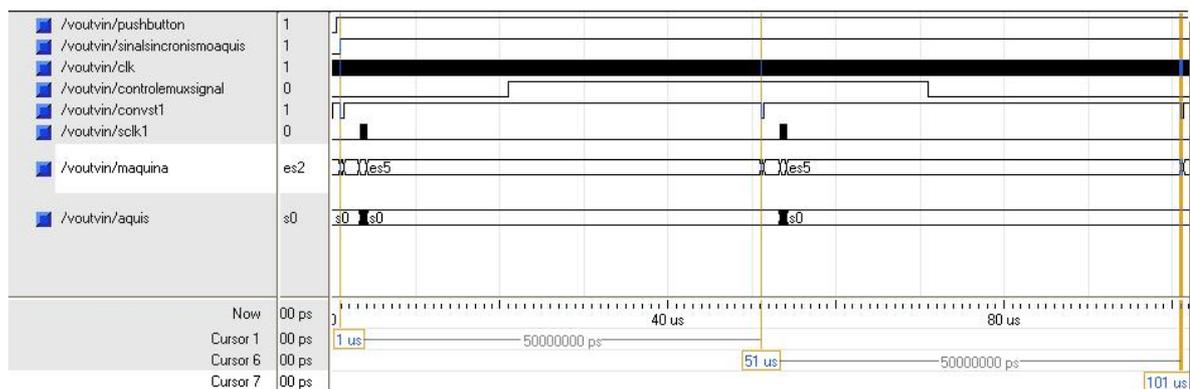


Figura 7.19. – Simulação digital do componente AD7810_Vin_Vout.

Verifica-se, na figura 7.19, que o componente, da mesma forma que o componente AD7810_ILs, aguarda a transição de nível lógico baixo para alto do sinal externo e do sinal de sincronismo, que são os dois primeiros sinais da simulação, a fim de iniciar a máquina de estados para a conversão AD. Verifica-se também que este componente realiza duas aquisições na frequência de 20kHz (50 μ s), mas gera um sinal de mudança de canal para o componente MUX, fazendo com que se repita a mesma aquisição a uma taxa fixa de 10kHz

(100µs). Além disso, a máquina transita entre os estados es2, es3, es4 e es5, onde no estado es4 são criados 10 pulsos SCLK para a aquisição da palavra de 10 bits do conversor AD, sendo este detalhe verificado com maior facilidade na figura 7.20.

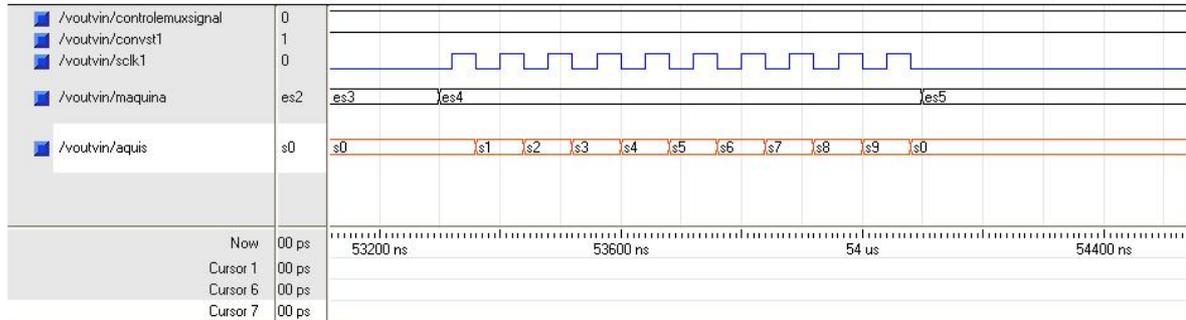


Figura 7.20. – Detalhe da simulação digital do componente AD7810_Vin_Vout.

7.5.1.3 – Componente MUX

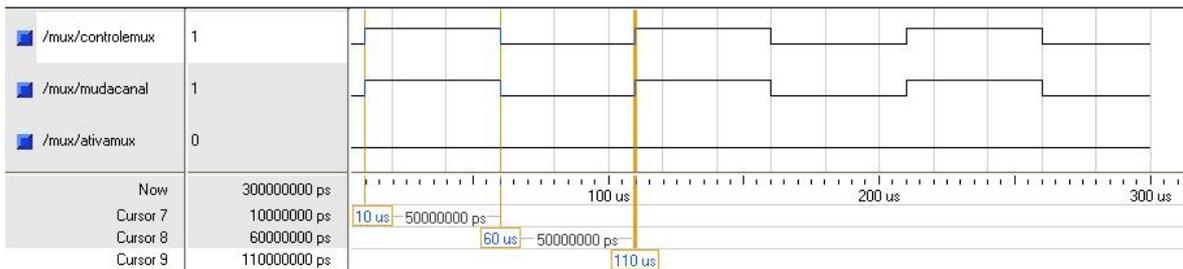


Figura 7.21. – Simulação digital do componente MUX.

Verifica-se, na figura 7.21, que o componente MUX altera a sua saída de acordo com a entrada, a qual é recebida do componente AD7810_Vin_Vout, e também envia um sinal de habilitação para ativar o multiplexador, conforme figura 7.21.

7.5.1.4 – Componente GeraSenóide

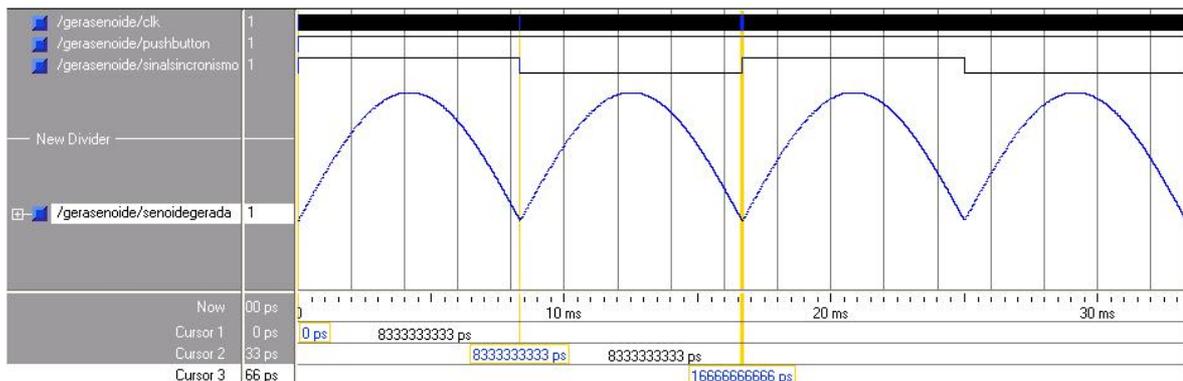


Figura 7.22. – Detalhe da simulação digital do componente GeraSenóide.

Verifica-se que este componente é capaz de gerar a senóide na frequência especificada, conforme figura 7.22.

7.5.1.5 – Componente Proteções_Referência

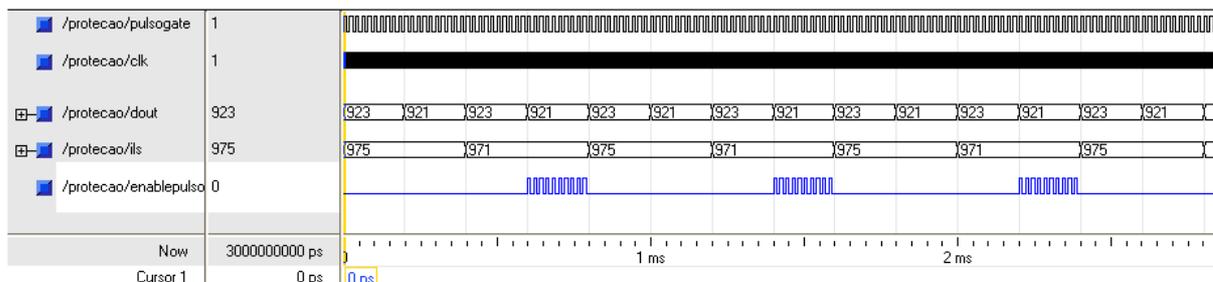


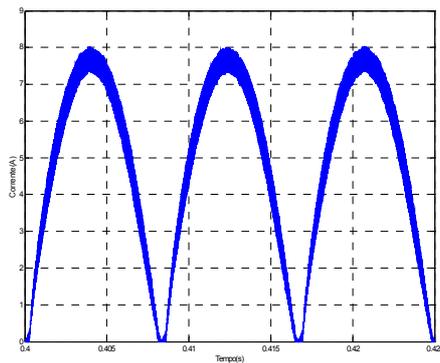
Figura 7.23. – Detalhe da simulação digital das proteções.

O componente inibe os pulsos de gate quando ocorrem sobretensão na saída ou sobrecorrente no indutor. Para verificar a funcionalidade deste componente, simulou-se alterações nestas variáveis e pôde-se observar que o componente realmente inibe os pulsos de comando, conforme figura 7.23. Este componente também é responsável pela rampa de referência de tensão, para o processo de transição retificador comum ao estágio pré-regulador, onde a mesma pode ter o tempo ajustado de acordo com a necessidade do projetista, apenas mudando o *clock* do processo.

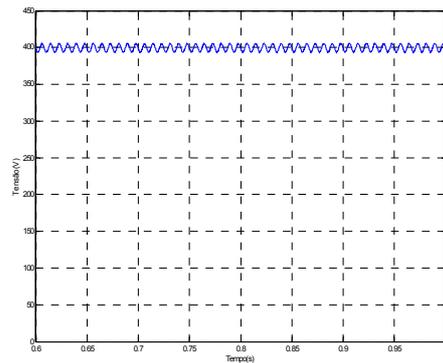
7.5.2 – Simulação do Controle “Black Box”

Devido à rapidez da simulação, obtida com a utilização do modelo do conversor via espaço de estados, o qual foi apresentado no capítulo 6, item 6.2.1, utilizou-se o mesmo para simular o controle elaborado. Para esta simulação, inseriu-se o controle “Black Box” no lugar das malhas de realimentação do conversor boost e verificou-se a resposta do conversor ao novo controle, realizado com a lógica aritmética de ponto fixo e através dos núcleos parametrizáveis.

Na figura 7.24 estão representadas a corrente no indutor e a tensão de saída do conversor.



(a) Corrente: 1A/div; Tempo: 5ms/div.

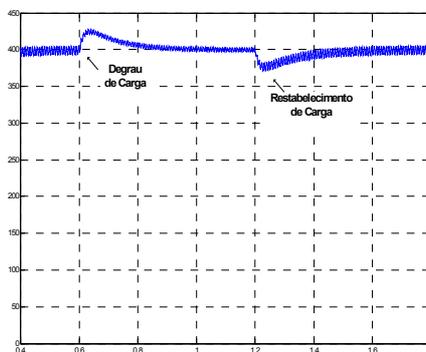


(a) Tensão: 50V/div; Tempo: 50ms/div.

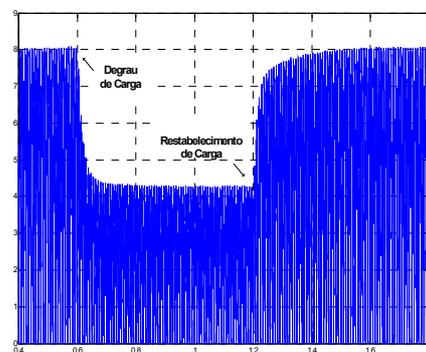
Figura 7.24. – (a) Forma de onda da corrente no indutor; (b) Forma de onda da tensão de saída.

Verifica-se que a forma de onda da corrente no indutor apresenta o formato senoidal esperado e a tensão de saída está estabilizada e regulada em torno dos 400V.

Para verificar a atuação dos compensadores, agora no formato de ponto fixo, aplicou-se degraus de carga no conversor. O degrau de carga aplicado foi de uma variação de menos 50% de carga e o restabelecimento da carga nominal, conforme figura 7.25.



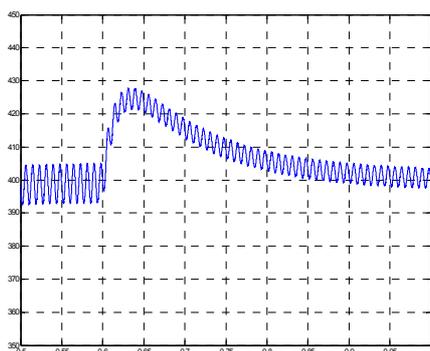
(a) Tensão: 50V/div; Tempo: 200ms/div.



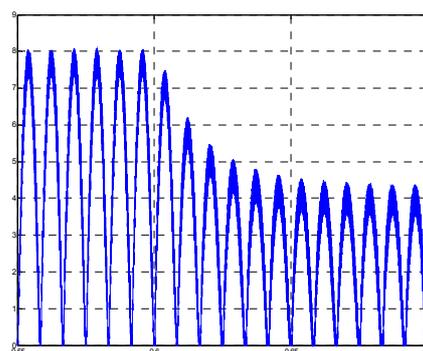
(a) Corrente: 1A/div; Tempo: 200ms/div.

Figura 7.25. – (a) Forma de onda da tensão de saída para o degrau e o restabelecimento da carga; (b) Forma da corrente de entrada para o degrau e o restabelecimento da carga.

Novamente, verifica-se que o conversor apresenta bom comportamento frente aos degraus de carga aplicados. Na figura 7.26 apresenta-se detalhe da retirada de carga.



(a) Tensão: 50V/div; Tempo:100ms/div.

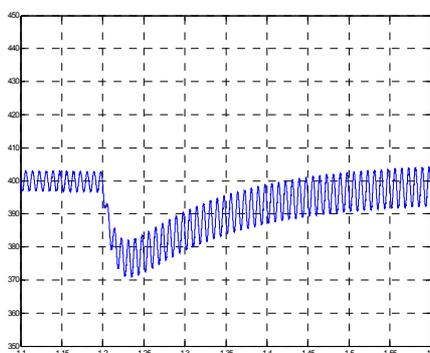


(b) Corrente: 1A/div; Tempo: 50ms/div.

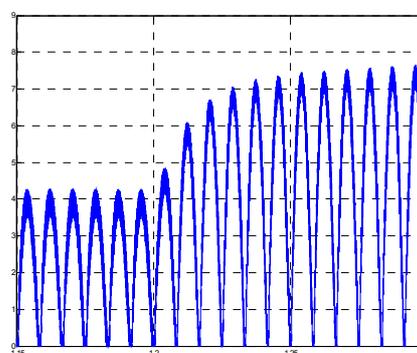
Figura 7.26. – (a) Forma de onda da tensão de saída para o degrau de carga (-50%); (b) Forma de onda da corrente no indutor para o degrau de carga (-50%).

Conforme se verifica pela figura 7.26(a), a variação de tensão resultante do degrau de carga é de 7% e o tempo de estabelecimento é da ordem de 400ms. Em relação à forma de onda da corrente no indutor (fig. 7.26(b)), verifica-se que é mantido o formato da corrente e a mesma se estabiliza antes dos 50ms.

Na figura 7.27 tem-se um detalhe do restabelecimento da carga nominal.



(a) Tensão: 50V/div; Tempo: 100ms/div.



(b) Corrente: 1A/div; Tempo: 50ms/div.

Figura 7.27. – (a) Forma de onda da tensão de saída para o restabelecimento da carga nominal; (b) Forma de onda da corrente no indutor para o restabelecimento da carga nominal.

Do mesmo modo que para o degrau de carga de menos 50%, para o restabelecimento da carga nominal, os índices de qualidade foram os mesmos.

Comparando-se estas simulações com as realizadas no capítulo 6, item 6.3.1, verifica-se que são encontrados resultados quase idênticos. Isto é possível uma vez que as malhas de realimentação, bem como os filtros utilizados, foram representados em um formato

apropriado utilizando aritmética de ponto fixo. Isto significa que todos os coeficientes foram representados utilizando-se de palavras binárias com extensão e posição do ponto fracionário de forma a representar adequadamente cada coeficiente obtido via projeto.

O mesmo ocorre com os degraus aplicados na tensão de entrada. Na figura 7.28 mostra-se a resposta da tensão de saída para um degrau de mais 15% na tensão de entrada, onde tem-se um sobresinal menor do que 3% e um tempo de estabelecimento bem menor do que 100ms, que são resultados praticamente idênticos aos encontrados na simulação via espaço de estados.

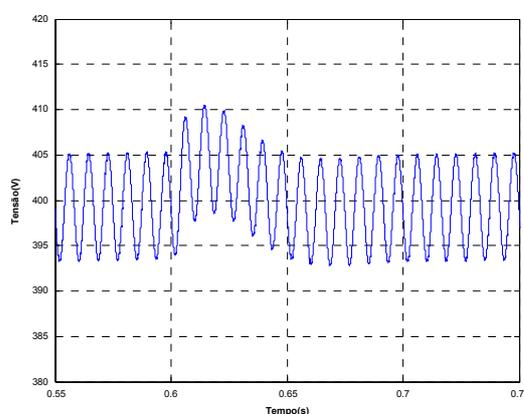


Figura 7.28. – (a) Forma de onda da tensão de saída para o degrau de tensão de mais 15%.

7.6 – Desempenho do Circuito Digital Proposto em FPGA

O dispositivo FPGA escolhido para a implementação do controle digital do pré-regulador é o dispositivo Spartan-3 XC3S1000 (XILINX, 2007).

De acordo com o apresentado no item 7.2 deste capítulo, a melhor maneira de se avaliar o rendimento de uma aplicação em FPGA é através da ocupação espacial da pastilha e da ocupação temporal, isto é, o quanto de recursos físicos foram utilizados e a consideração do tempo de atraso do sinal para percorrer toda a lógica desenvolvida, onde se buscam menores ocupações e menores tempos de atraso de propagação.

Os FPGAs da família Spartan-3 apresentam cinco elementos fundamentais em suas arquiteturas, que são os *Configurable Logic Blocks* (CLBs), *Input/Output Blocks* (IOBs), *Block RAM* (BRAM), *Multiplier Blocks* (MBs) e *Digital Clock Managers* (DCMs).

Os CLBs constituem o recurso principal para a construção de lógicas síncronas e circuitos combinacionais. Este elemento contém tabelas de consulta baseadas em memória

RAM, que são denominadas de LUTs (*Look-Up Tables*), designadas para se implementar lógicas e elementos de armazenamento, tais como *Flip-Flops* (FFs) ou *Latches*. Cada CLB contém 4 *slices* e em cada *slice* são armazenadas 2 LUTs. Os CLBs podem ser programados para realizar uma ampla variedade de funções lógicas bem como armazenar dados. Já os IOBs controlam o fluxo de dados entre os pinos de entrada e de saída e a lógica interna do dispositivo. Cada IOB suporta fluxo de dados bidirecional e operação com alta impedância (*three-state*). Já a BRAM provê o armazenamento de dados em blocos de duas entradas no formato de 18-Kbits. Em relação aos MBs, eles são estruturas específicas em *hardware*, capazes de calcular o produto de duas entradas de 18 bits cada, sendo estes números fracionários, com ou sem sinal. Os DCMs são blocos que utilizam o sinal de relógio global do FPGA (GCLK) para prover compensação de atraso do sinal de clock distribuído para as lógicas, e realizar operações, tais como, multiplicação, divisão e deslocamento (XILINX, 2007).

A seguir apresenta-se a tabela 7.5 com os dados relativos a implementação do circuito de controle, constituído de todos os arquivos .vhd e da lógica parametrizável (Componente Controle “Black-Box”), na pastilha XC3S1000 através da ferramenta de síntese XST (Xilinx Synthesis Technology).

Tabela 7.5: Dados estatísticos referentes à ocupação espacial do dispositivo FPGA.

Dispositivo Spartan3 XC3S1000 4ft256			
Recursos	Utilizados	Disponíveis	Porcentagem (%)
Número de Slices	3557	7680	46
Número de FFs do Slice	2080	15360	13
Número de LUTs	6161	15360	40
Número de IOBs	25	173	14
Número de BRAMS	2	24	8
Número de MBs	3	24	12
Número de GCLKs	2	8	25

A fim de ter uma idéia da ocupação geométrica do dispositivo, é apresentada na figura 7.28, a ocupação espacial inferida pela ferramenta de síntese.

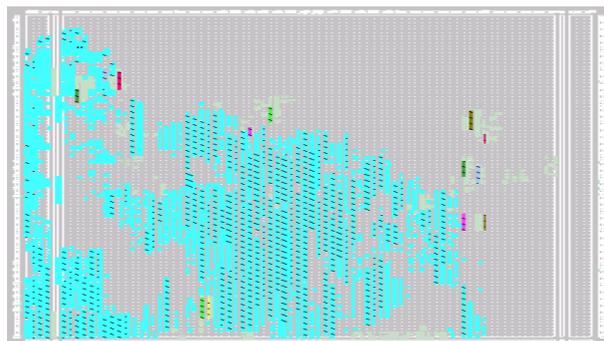


Figura 7.30. – Detalhe da ocupação espacial do componente FPGA adotado.

De acordo com a tabela 7.5 e da figura 7.30, verifica-se que ainda existem muitos recursos disponíveis na pastilha caso fosse necessário implementar lógicas adicionais. Além disto, a frequência máxima de operação do circuito de controle é de 23,4 MHz, sendo bem maior do que a máxima frequência de aquisição que será realizada, que é de 50 KHz. Além disso, o máximo atraso de propagação apresentado pela lógica é de 40,2 nanosegundos. Fatos estes que demonstram a potencialidade da programação via FPGA. No Apêndice B encontram-se os códigos .vhd desenvolvidos.

7.7 – Conclusões

O uso da linguagem VHDL em conjunto com as ferramentas EDA de desenvolvimento, utilizando-se da programação comportamental num estilo de projeto do tipo *top-down*, baseado em funções com elevados níveis de abstração, permitiu a programação da lógica de controle para o pré-regulador retificador boost de maneira simples. Além disso, as ferramentas de simulação foram importantes para a validação do controle desenvolvido.

Verificou-se também que as lógicas elaboradas usando-se da aritmética de ponto fixo, através dos núcleos parametrizáveis, foram representados num formato adequado levando a ótimos resultados para o controle do conversor.

Além disso, foi observado através da ferramenta de síntese, que ainda existem muitos recursos disponíveis na pastilha do FPGA adotado, demonstrando a potencialidade do dispositivo. Finalmente, o atraso máximo de propagação da lógica implementada é de 40,2 nanosegundos.

Capítulo 8

Cargas Especiais – Reatores Eletrônicos para Lâmpadas Fluorescentes Tubulares

8.1 - Introdução

Um dos objetivos deste trabalho é preparar o estágio Pré-Regulador Retificador para alimentar um conjunto de reatores eletrônicos, com o propósito de minimizar as interferências eletromagnéticas, que estão presentes nos sistemas usuais compostos por múltiplas lâmpadas, já que correntes de alta frequência fluem pelo barramento CC do estágio Pré-Regulador Retificador até cada reator. Por este motivo, um estudo sucinto do funcionamento dos reatores eletrônicos convencionais é apresentado, servindo como base para o projeto de um filtro duplo LC modificado, o qual deve ser inserido na entrada de cada reator eletrônico a fim de garantir a condução em corrente contínua pelo barramento CC do sistema de iluminação, minimizando os problemas de compatibilidade eletromagnética, decorrentes do acoplamento do retificador com os sistemas multi-lâmpadas fluorescentes (reatores e lâmpadas).

8.2 – Reatores Eletrônicos Convencionais

Conforme mostrado na introdução geral, reatores eletrônicos convencionais são compostos por um clássico inversor meia ponte série-ressonante com carga em paralelo, sendo o circuito representado na figura 8.1.

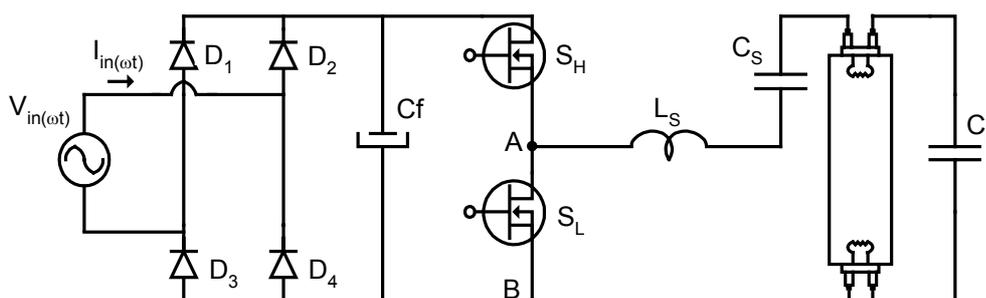


Figura 8.1. Diagrama esquemático do reator eletrônico convencional.

Este circuito inversor é composto por dois interruptores bidirecionais em corrente e por um filtro série-ressonante tipo LCC (L_s , C_s e C_p) alimentado por uma tensão quadrada assimétrica e de elevada frequência, aplicada entre os pontos A e B. A escolha da configuração LCC (L_s e C_s em série com C_p em paralelo) é explicada pela sua simplicidade e pela capacidade que esta topologia possui de fornecer às lâmpadas fluorescentes as características necessárias para seu correto funcionamento, ou seja, adequar os níveis de tensão e corrente entregues à lâmpada. Basicamente, esta topologia provê para a lâmpada uma elevada tensão de ignição e possibilidade de pré-aquecimento dos filamentos dos eletrodos; estabilização da corrente fornecida para a lâmpada fluorescente quando em operação normal; eliminação da componente CC de corrente e tensão sobre a lâmpada fluorescente além de comutação suave nos interruptores da estrutura.

8.3 – Análise da Operação do Inversor Meia Ponte Série-Ressonante

Para descrever o princípio de funcionamento do circuito inversor admite-se que os interruptores S_H e S_L operam de forma complementar, onde cada um deles opera por um tempo igual e equivalente a meio período de comutação. Na prática, os interruptores são acionados por pulsos cuja largura se aproximam de metade do período de comutação, deixando um pequeno intervalo de tempo (tempo morto) entre o bloqueio de uma estrutura e a entrada em condução da outra, a fim de se evitar curtos-circuitos na fonte de entrada.

A figura 8.2 apresenta as quatro etapas de funcionamento do inversor em conjunto com as suas principais formas de onda, considerando-se um período de comutação (t_{HB}). Na seqüência descreve-se cada etapa de funcionamento.

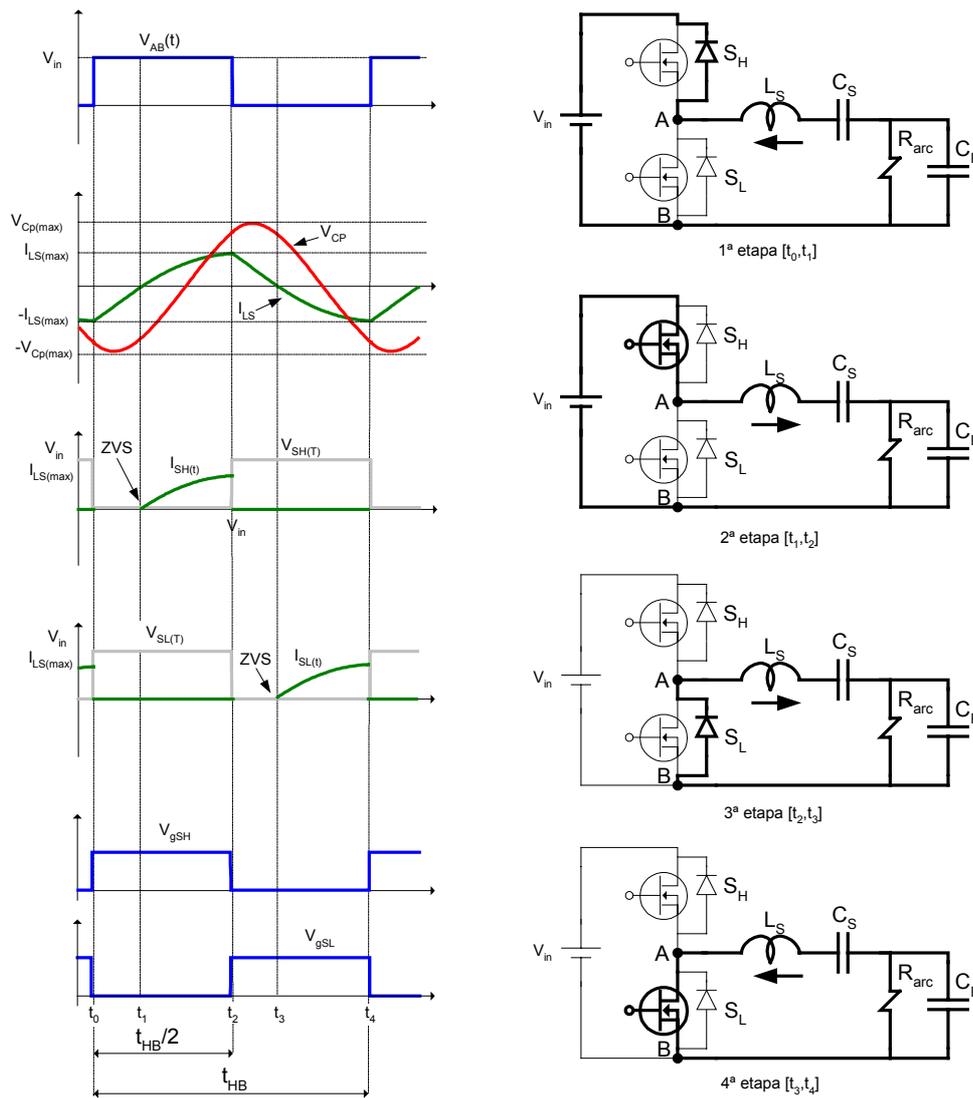


Figura 8.2. Principais formas de onda para o inversor meia ponte e as quatro etapas de funcionamento da estrutura.

Primeira etapa de funcionamento [t_0, t_1]

Admite-se que esta etapa de funcionamento tem início quando o interruptor S_L é bloqueado e o interruptor S_H é levado a condução. Contudo, em função do sentido de fluxo da corrente $I_{LS}(t)$, o diodo em antiparalelo de S_H entra em condução, fazendo com que a tensão sobre os terminais de S_H seja nula. A corrente $I_{LS}(t)$ continua a evoluir, de forma ressonante até que se torne nula, em $t=t_1$, tendendo a inverter o seu sentido de fluxo e dando início a segunda etapa de funcionamento do inversor.

Segunda etapa de funcionamento [t₁,t₂]

Com a inversão no sentido de fluxo da corrente $I_{LS}(t)$, o diodo em antiparalelo de S_H é bloqueado e o interruptor S_H é levado à condução, caracterizando uma entrada em condução com tensão nula (ZVS), ou seja, sem perdas. O interruptor S_H permanece conduzindo a corrente $I_{LS}(t)$ até que, em $t=t_2$, a tensão de comando do interruptor (tensão de *gate*) é retirada e o interruptor é comandado ao bloqueio. Neste mesmo instante, S_L é comandado à condução.

Terceira etapa de funcionamento [t₂,t₃]

Apesar do interruptor S_L ter sido comandado à condução em $t=t_2$, o sentido da corrente $I_{LS}(t)$ faz com que o diodo em antiparalelo de S_L assumira a corrente processada durante este período. Isto faz com que a tensão sobre S_L seja nula durante o decorrer de toda esta etapa de funcionamento. Em $t=t_3$, a corrente através de L_S inverte seu sentido de circulação, levando o diodo em antiparalelo de S_L ao bloqueio e dando início à quarta etapa de funcionamento.

Quarta etapa de funcionamento [t₃,t₄]

Em $t=t_3$, o interruptor S_L passa a conduzir, caracterizando novamente um processo ZVS de entrada em condução. Esta etapa dura até $t=t_4$, quando a tensão de acionamento de S_L é retirada (pulso de *gate*) e o interruptor S_H é novamente comandado à condução, dando início a um novo ciclo de funcionamento.

8.4 – Projeto do Circuito Série-Ressonante

O projeto do circuito série-ressonante ($L_S C_S C_P$) foi baseado na metodologia apresentada por Wakabayashi e Canesin (2005). Neste artigo, os autores utilizam uma lâmpada F40T12 e neste projeto utilizou-se uma lâmpada F32T8 da General Electric. Os dados de entrada e de saída utilizados para o projeto foram: Potência nominal na coluna de gás: 32 watts; Potência mínima processada: 5 watts; Tensão de alimentação (barramento CC): 400 volts; Frequência de operação do reator: 50 kHz.

Como dito anteriormente, a lâmpada utilizada neste projeto é outra, portanto, o modelo também difere. Por isso, basta trocar na metodologia o modelo da lâmpada pelo modelo

apresentado por Wakabayashi et al (2005), que consiste em representar a coluna de gás da lâmpada por uma resistência (R_{arc}) dependente da potência processada (P_{arc}). O modelo está descrito em (8.1).

$$R_{arc}(P) = \frac{(V_0 - V_1 \cdot P_{arc})^2}{P_{arc}} \quad (8.1)$$

onde V_0 e V_1 são constantes dadas por:

$$V_0 = 174,07329V \quad (8.2)$$

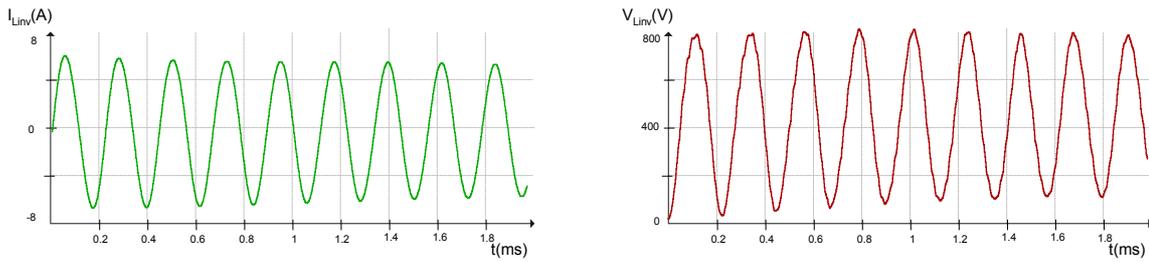
$$V_1 = 1,38320 \frac{V}{W} \quad (8.3)$$

Com isto, os valores obtidos para a indutância série (L_S), a capacitância série (C_S) e para a capacitância paralela (C_P) foram: $L_S = 2,1mH$, $C_S = 180nF$ e $C_P = 8,2 nF$. De posse destes dados e do modelo da coluna de gás, simulou-se o circuito em ambiente PSpice a fim de dimensionar corretamente os elementos do estágio inversor. Assim, optou-se pelo Mosfet IRF830 da INTERNATIONAL RECTIFIER (4,5A/500V), por um capacitor C_S de 180nF/250V e por um capacitor C_P de 8,2nF/1600V. Em relação ao projeto físico do indutor L_S , este foi montado com o núcleo NEE30/15/14 da Thornton, composto por 3 fios AWG 29 e com 160 espiras.

8.5 – Projeto do Filtro de Entrada do Reator

A princípio cogitou-se a hipótese de se implementar vários filtros passa baixa do tipo LC como um meio de interligação entre o Pré-Regulador e cada conjunto de inversores. A idéia inicial seria utilizar estes filtros para garantir a condução em corrente contínua do capacitor do Pré-Regulador Retificador até cada conjunto reator mais filtro.

A etapa de projeto deste filtro foi inteiramente baseada em simulações em ambiente PSpice. Notou-se que este tipo de filtro não poderia ser utilizado porque o barramento CC do conversor Boost é na realidade um capacitor não ideal e além disto o estágio inversor devolve energia para este capacitor em uma de suas etapas de funcionamento. Em simulação observou-se que ocorriam ressonâncias durante o transitório de partida. Fato este, que pode ser observado pelas formas de onda da corrente no indutor do filtro LC e da tensão no capacitor do mesmo, representados na figura 8.3.



(a) Corrente: 4A/div; Tempo: 0.2ms/div.

(b) Tensão: 200V/div; Tempo: 0.2ms/div.

Figura 8.3. – (a) Forma de onda da corrente no indutor do filtro LC; (b) Forma de onda da tensão no capacitor do filtro LC.

A melhor alternativa encontrada foi a utilização de um duplo filtro LC com algumas modificações, representado na figura 8.4.

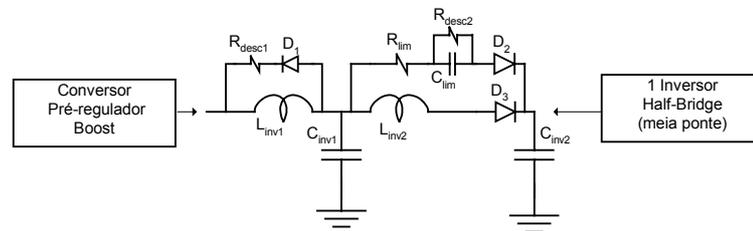
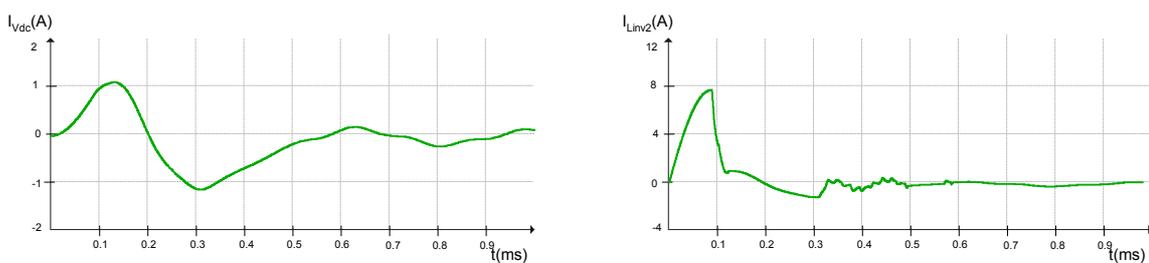


Figura 8.4. – Topologia escolhida para o filtro de entrada de cada conjunto de inversores.

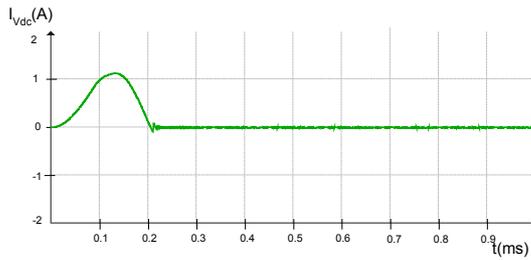
O duplo filtro LC é formado pelos indutores L_{inv1} e L_{inv2} e pelos capacitores C_{inv1} e C_{inv2} . Em relação às modificações, o diodo D_3 foi inserido para garantir que não houvesse retorno de corrente pelo indutor L_{inv2} durante o transitório de partida, já que com este diodo garante-se que a corrente que o estágio inversor devolve durante uma de suas etapas de funcionamento circule obrigatoriamente pelo capacitor C_{inv2} . Com este diodo, a corrente no capacitor boost também não se torna negativa. Nas figuras 8.5 e 8.6, apresentam-se as formas de onda da corrente no indutor L_{inv2} e no capacitor boost, com e sem a presença deste diodo no circuito do filtro, durante o transitório de partida.



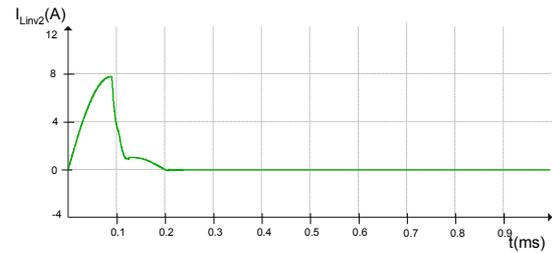
(a) Corrente: 4A/div; Tempo: 0.1ms/div.

(b) Corrente: 4A/div; Tempo: 0.1ms/div

Figura 8.5. – (a) Forma de onda da corrente no capacitor boost sem a presença do diodo D_3 no filtro; (b) Forma de onda da corrente no indutor L_{inv2} sem a presença do diodo D_3 no filtro.



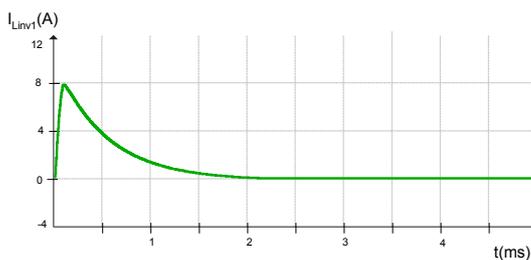
(a) Corrente: 4A/div; Tempo: 0.1ms/div.



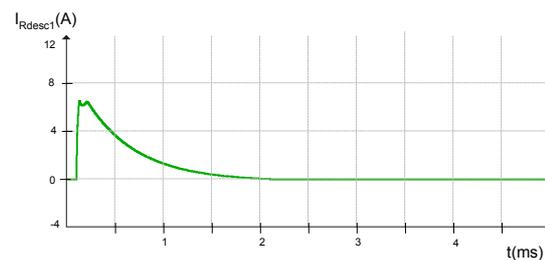
(b) Corrente: 4A/div; Tempo: 0.1ms/div

Figura 8.6. – (a) Forma de onda corrente no capacitor boost com a presença do diodo D3 no filtro; (b) Forma de onda da corrente no indutor L_{inv2} com a presença do diodo D3 no filtro.

As demais modificações implementadas foram necessárias para que a tensão no capacitor C_{inv2} não ultrapassasse o patamar de 500V, que é o limite de tensão suportado pelos interruptores do inversor. O resistor R_{desc1} juntamente com o diodo D_1 são necessários para eliminar o excesso de energia que o indutor L_{inv1} acumula durante a sua primeira carga. Durante esta etapa, a corrente no indutor L_{inv1} sai do valor nulo para um valor máximo carregando o capacitor C_{inv1} com o valor da tensão do capacitor do conversor boost. Contudo, a corrente neste indutor começa a decrescer de seu valor máximo para o valor de regime e sem este circuito auxiliar de descarga, a corrente iria carregar o capacitor C_{inv1} com uma tensão bem maior do que a desejada, e por conseguinte, a tensão em C_{inv2} também extrapolaria este patamar. Para melhor visualizar esta situação, as formas de onda da corrente no indutor L_{inv1} e no resistor de descarga R_{desc1} estão representadas na figura 8.7, onde se percebe que a corrente no resistor de descarga assume toda a corrente do indutor após a corrente no indutor atingir seu maior valor.



(a) Corrente: 4A/div; Tempo: 0.5ms/div.



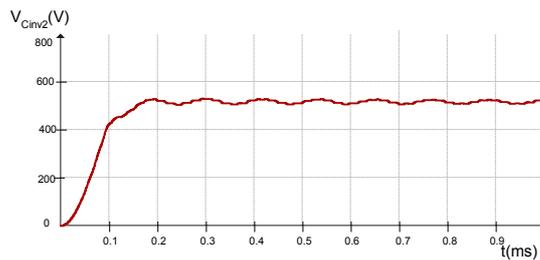
(b) Corrente: 4A/div; Tempo: 0.5ms/div

Figura 8.7. – (a) Forma de onda da corrente no indutor L_{inv1} ; (b) Forma de onda da corrente no resistor de descarga R_{desc1} .

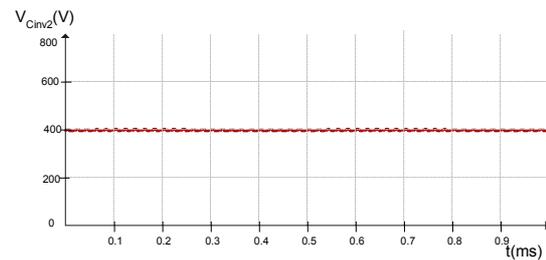
Simulou-se também a mesma proteção para o segundo filtro LC (L_{inv2} e C_{inv2}) para que não ocorressem sobretensões no capacitor C_{inv2} . Neste caso, não houve sobretensão mas a corrente que era devolvida pelo circuito inversor encontrava um caminho auxiliar de circulação, o que é indesejado. Portanto, utilizou-se um circuito de pré-carga para o capacitor

C_{inv2} , que é composto pela resistência de limitação de corrente R_{lim} , pelo capacitor série C_{lim} e pelo diodo D_2 . Este circuito foi necessário, já que quando ocorre a primeira carga do filtro, ocorre uma pré-carga do capacitor C_{inv2} fazendo com que não fluísse excesso de corrente pelo indutor L_{inv2} , mantendo a tensão sobre o capacitor C_{inv2} abaixo do patamar máximo.

Esta parte do circuito de proteção é desabilitada após a pré-carga de C_{inv2} , uma vez que o capacitor C_{lim} se carrega com um valor de tensão CC bloqueando o diodo D_2 . Além disso, foi necessário adicionar uma resistência em paralelo com o capacitor C_{lim} para que fosse possível a sua descarga. Esta resistência de descarga R_{desc2} também é fundamental, porque é necessário que este capacitor esteja descarregado quando se desejar religar o estágio inversor. Observou-se que após a inserção desta resistência de descarga o circuito de proteção permitia um fluxo da corrente de carga (quando em regime permanente), mas o nível de corrente é desprezível não atrapalhando o funcionamento da estrutura. A seguir, apresentam-se as formas de onda da tensão de saída do filtro (tensão de entrada do inversor) e da corrente de saída do capacitor boost (corrente de entrada do filtro), para o transitório de partida e para o regime permanente, isto com a inserção do filtro completo.

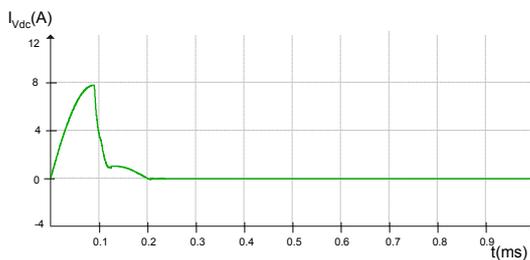


(a) Tensão: 200V/div; Tempo: 0.1ms/div.

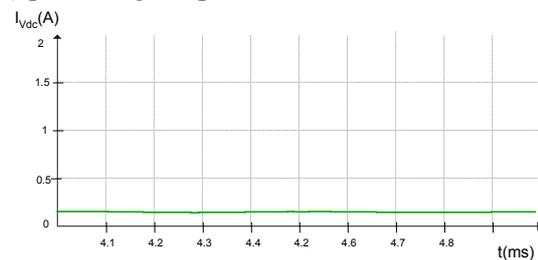


(b) Tensão: 200V/div; Tempo: 0.1ms/div

Figura 8.8. – (a) Forma de onda da tensão de saída ($V_{C_{inv2}}$) durante o transitório de partida; (b) Forma de onda da tensão de saída ($V_{C_{inv2}}$) para o regime permanente.



(a) Corrente: 4A/div; Tempo: 0.1ms/div.



(b) Corrente: 0.5A/div; Tempo: 0.1ms/div

Figura 8.9. – (a) Forma de onda da corrente na entrada do filtro durante o transitório de partida; (b) Forma de onda da corrente na entrada do filtro em regime permanente.

Com os dados apresentados pôde-se concluir que este filtro atende os requisitos desejados na pesquisa, ou seja, garantir a condução em corrente contínua do conversor até os inversores e garantir que não haja sobretensões nos componentes do estágio inversor.

8.7 – Conclusões

O filtro desenvolvido é uma inovação da pesquisa, e surgiu da necessidade de se substituir o usual filtro LC e garantir a condução em corrente contínua pelo barramento de alimentação do sistema de iluminação. De acordo com as simulações, foi possível verificar a sua funcionalidade, onde o mesmo é capaz de minimizar os problemas de compatibilidade eletromagnética existentes em sistemas de iluminação para múltiplas lâmpadas convencional, composto por retificador único de entrada e múltiplos estágios inversores associados à saída do mesmo.

Capítulo 9

Resultados Experimentais

9.1 – Introdução

Neste capítulo são apresentados os principais resultados práticos da implementação em laboratório do estágio Pré-Regulador Retificador Boost, controlado de forma digital por um dispositivo FPGA Spartan 3, onde são apresentados resultados para regime permanente, transitórios e para a conexão como barramento CC para um reator eletrônico com filtro de entrada. É necessário salientar que, apesar de todo o equacionamento, projeto dos compensadores digitais e a construção da lógica VHDL, contemplarem a malha de controle *feedforward*, esta não foi implementada na prática. O estágio Pré-Regulador foi projetado para uma tensão de alimentação de 220V eficazes com variações de mais ou menos 15%, e com a finalidade de ser ligado diretamente na rede de energia elétrica em 220V. Por normas, as variações máximas admissíveis apresentadas na rede são bem menores do que a variação projetada para o conversor. Desta forma, não é necessária a utilização da malha de controle da tensão de entrada. Entretanto, caso a aplicação seja para uma faixa universal de tensão de entrada (90V-260V), torna-se necessária a implementação da malha *feedforward* desenvolvida.

9.2 – Protótipo Implementado

Uma foto do estágio Pré-Regulador Retificador Boost controlado de forma digital está apresentada na figura 9.1. Detalhes da implementação em laboratório podem ser encontrados no Apêndice A.

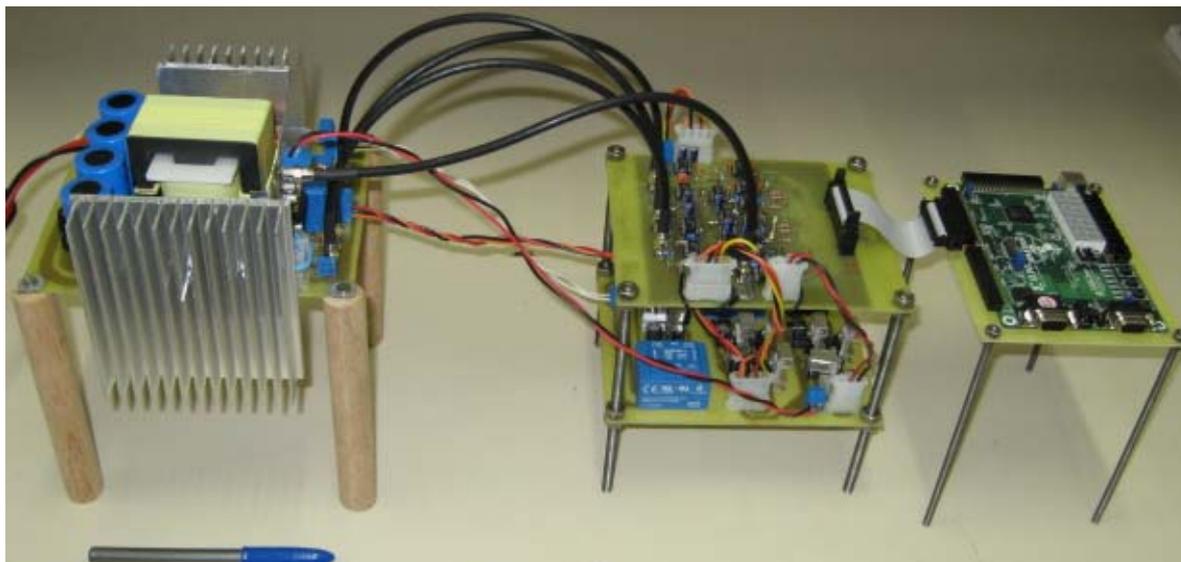
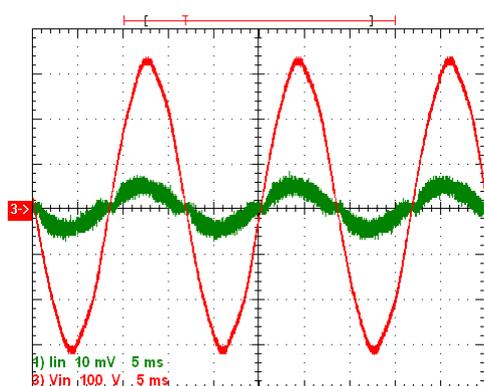


Figura 9.1. – Foto do Pré-Regulador Retificador Boost acoplado ao sistema de aquisição e condicionamento de sinais e ao módulo FPGA de controle.

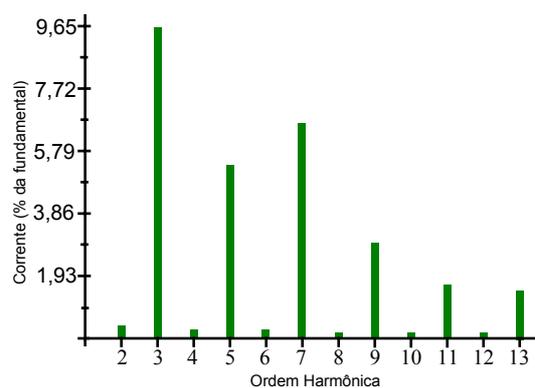
9.3 – Resultados para Cargas Resistivas

Nas figuras 9.2 à 9.7 são apresentadas as formas de onda de tensão e de corrente de entrada, bem como o espectro harmônico da corrente de entrada, para algumas condições de cargas testadas. O espectro harmônico da corrente de entrada será comparado com a norma IEC 61000-3-2, classe A, para a condição de carga nominal.



(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:

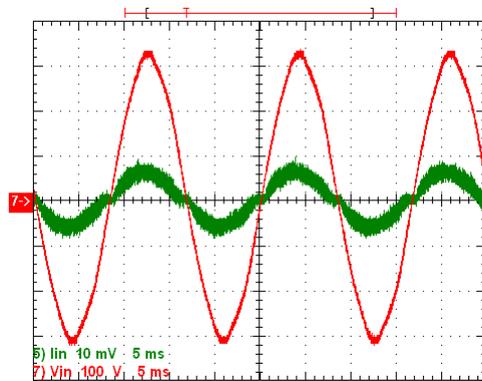
5ms/div



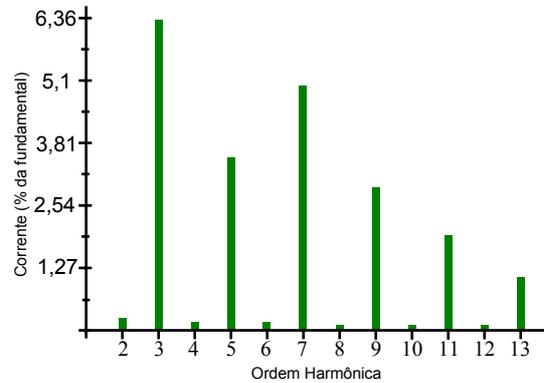
(b)

Figura 9.2. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para 345 watts de carga; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Conforme informa a figura 9.2, quando o conversor opera com a carga de 345W, a corrente de entrada apresenta uma DHT de 13,4% e um defasamento angular, entre as componentes fundamentais (φ) de -11° , apresentando um FP de 0,973. Isto para uma DHT da tensão de alimentação de 2,14%.



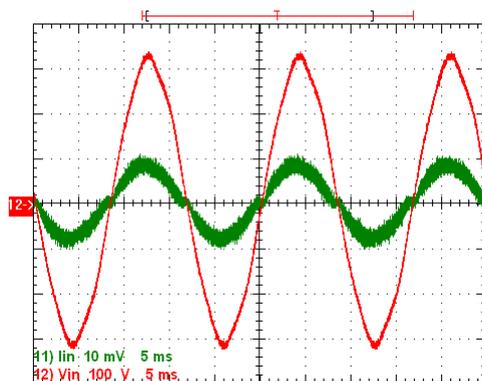
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
5ms/div



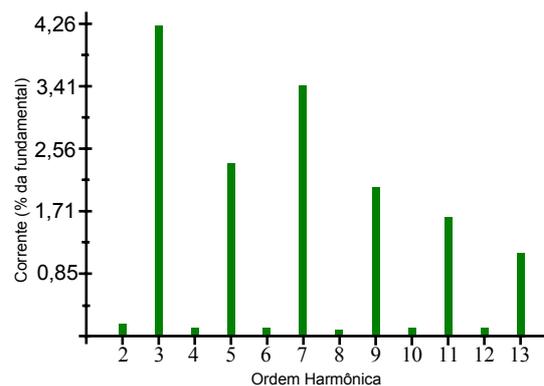
(b)

Figura 9.3 – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para uma carga de 460 watts; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Quando o conversor opera nas condições dos resultados experimentais da figura 9.3, com carga de 460W a corrente de entrada apresenta uma DHT de 9,54% e um φ de $-9,4^\circ$, levando a um FP de 0,982. Isto para uma DHT da tensão de alimentação de 2,47%.



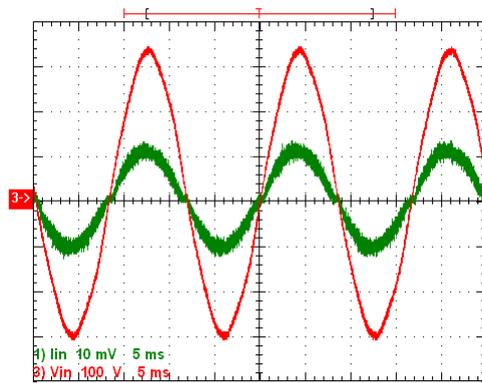
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
5ms/div



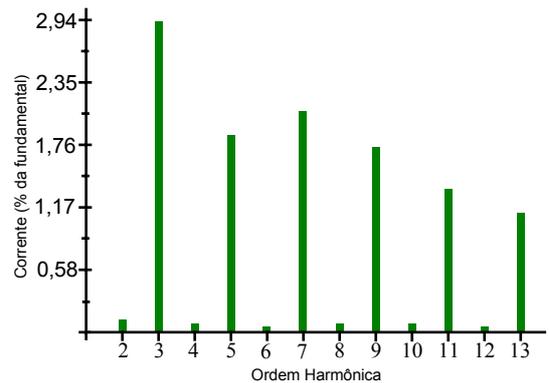
(b)

Figura 9.4. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para meia carga; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a condição de operação em meia carga, como especificado na figura 9.4, o conversor apresenta um FP de 0,989, já que possui uma DHT de 6,64% e um φ de $-7,40^\circ$. Isto para uma DHT da tensão de 2,5%.



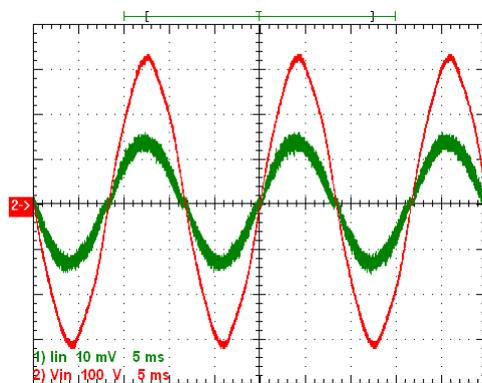
(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
5ms/div



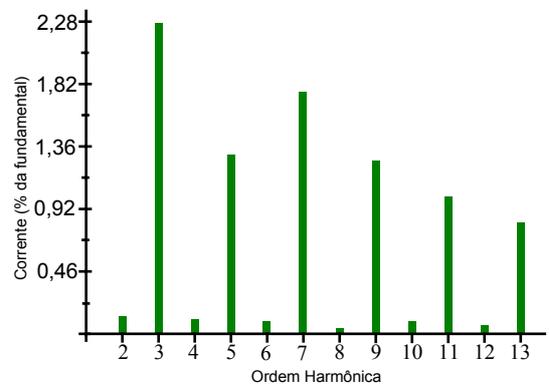
(b)

Figura 9.5. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para 800 watts de carga ; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a carga de 800 watts, como na figura 9.5, a corrente de entrada apresenta uma DHT de 4,86% e um ϕ de -6° levando a um FP de 0,993. Isto para uma DHT da tensão de alimentação de 2,26%.



(a) Tensão: 100V/div; Corrente: 5A/div; Tempo:
5ms/div



(b)

Figura 9.6. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga de 1.000 watts; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a carga de 1.000 watts, como na figura 9.6, a corrente de entrada apresenta uma DHT de 3,69% e um ϕ de $-4,68^\circ$ levando a um FP de 0,995. Isto para uma DHT da tensão de alimentação de 2,4%.

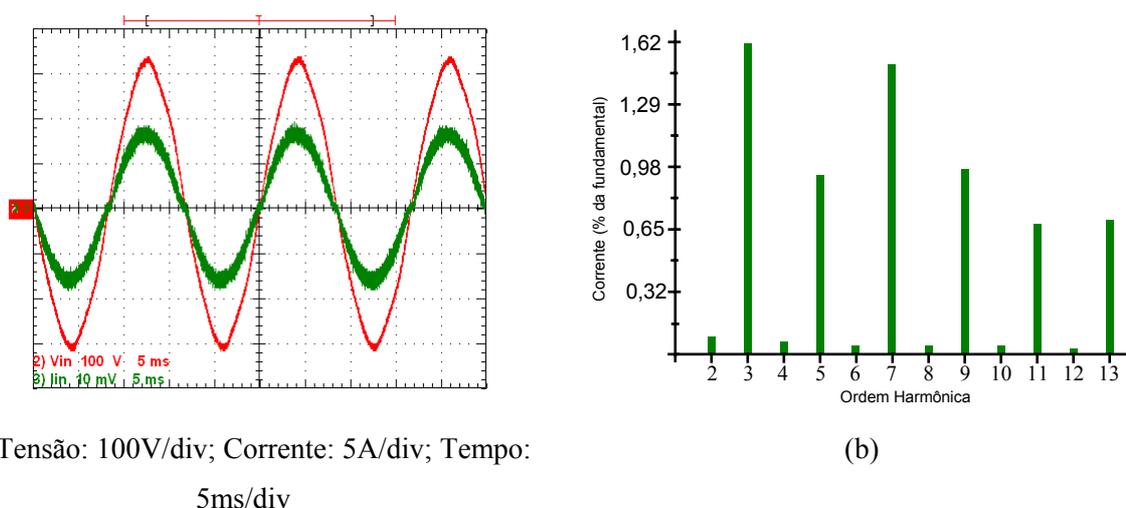


Figura 9.7. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga nominal; (b) Espectro harmônico da corrente de entrada em porcentagem da nominal.

Para a carga nominal de 1.200 watts, conforme figura 9.7, a corrente de entrada apresenta uma DHT de 2,78% e um ϕ de $-3,59^\circ$ levando a um FP de 0,998. Isto para uma DHT da tensão de alimentação de 2,12%.

Pôde-se verificar que a forma de onda da corrente de entrada apresenta o comportamento senoidal esperado, com reduzida distorção harmônica, resultando em fatores de potência elevados. No que diz respeito à distorção harmônica total da corrente de entrada, o estágio pré-regulador consegue, a partir de 83% de carga, prover distorções harmônicas inferiores a 5%, chegando a 2,78% em plena carga, demonstrando a eficácia do controle desenvolvido. Têm-se DHTs relativamente maiores para baixas potências, uma vez que foi necessário o acoplamento de um filtro de EMI na entrada do estágio Pré-Regulador Retificador Boost a fim de que o sistema de aquisição de dados não recebesse as influências de interferências eletromagnéticas conduzidas, sendo este filtro especificado para a potência nominal. Além disto, os coeficientes dos compensadores digitais foram projetados para a carga nominal, o que leva a um melhor desempenho do conversor próximo à esta carga.

De posse dos resultados apresentados nas figuras 9.2 até 9.7, foi possível traçar um gráfico para mostrar a tendência do fator de potência da estrutura em função da potência processada pelo conversor, sendo este representado na figura 9.8.

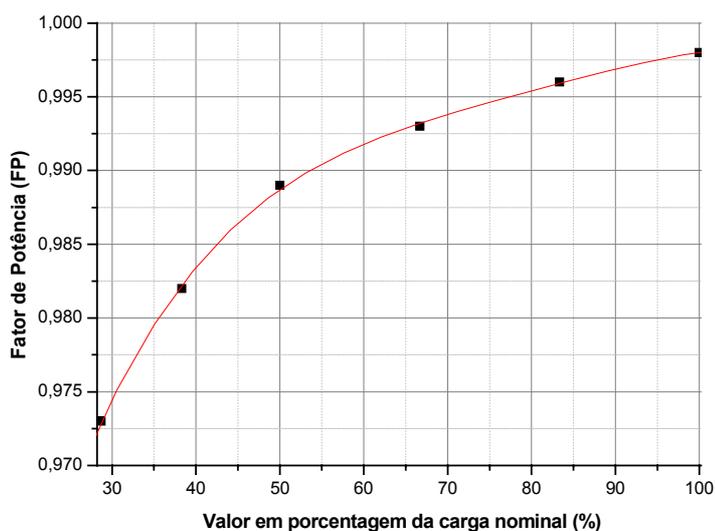


Figura 9.8. – Fator de potência da estrutura conversora em função da carga acoplada.

Um outro fator que deve ser avaliado é o rendimento do Pré-Regulador Retificador. Na figura 9.9 é apresentado um gráfico do rendimento do mesmo, em função da carga acoplada, e sua curva de tendência. Primeiramente, o rendimento foi avaliado somente para a parte de potência do conversor, e, em seguida, verificou-se a potência consumida pelos sensores, circuitos de condicionamento, aquisição e estágio de ataque, sendo esta potência apresentada na figura 9.10. Desta forma, pode-se verificar o rendimento global da estrutura, o qual é apresentado na figura 9.11.

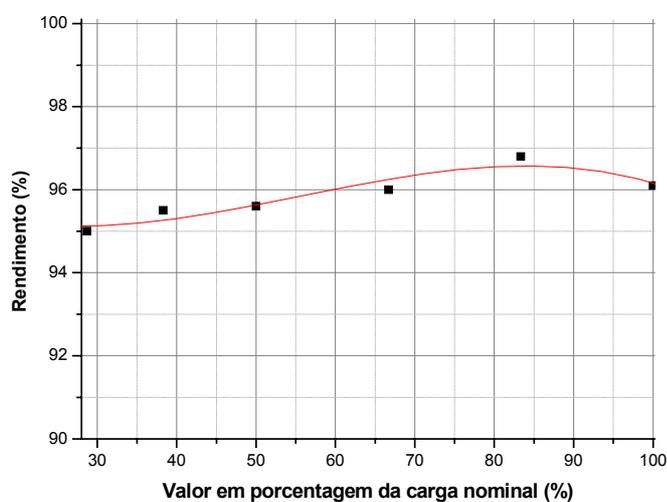


Figura 9.9. – Rendimento da parte de potência do Pré-regulador Retificador.

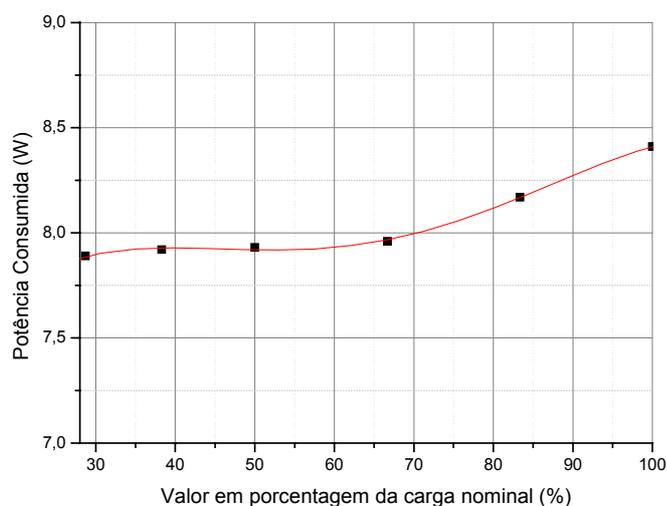


Figura 9.10. – Potência consumida pelos circuitos adicionais.

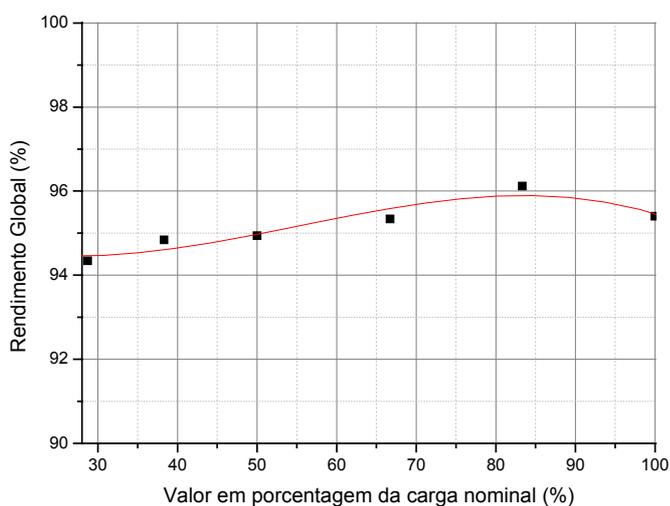
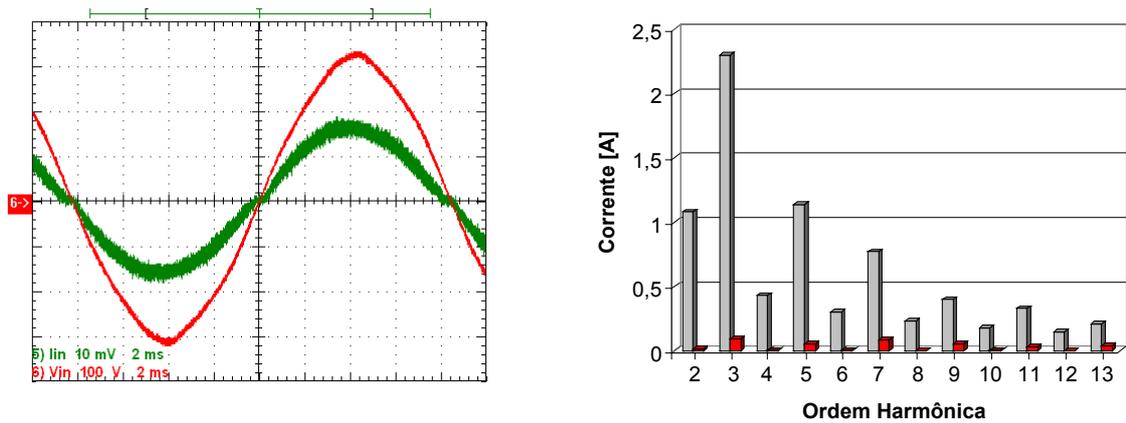


Figura 9.11. – Rendimento global do Pré-Regulador Retificador.

Verifica-se um ótimo rendimento para a estrutura conversora, estando em torno dos 95%, alcançando 96% para a carga em torno de 1KW.

A seguir apresentam-se as principais formas de onda do conversor operando na potência nominal.

Têm-se as formas de onda da corrente de entrada e da tensão de entrada na figura 9.12(a), e, na figura 9.12(b), a comparação do espectro harmônico da corrente de entrada com a norma IEC 61000-3-2, respectivamente.



(a) Tensão: 100V/div; Corrente: 5A/div; Tempo: 5ms/div

(b)

Figura 9.12. – (a) Formas de onda da tensão (em vermelho) e da corrente de entrada (em verde) para a carga nominal; (b) Espectro harmônico da corrente de entrada (em vermelho) em comparação com a norma IEC (em cinza), para a carga nominal.

Verifica-se que a estrutura conversora atende a norma internacional IEC 61000-3-2, classe A, com folga.

O estágio de potência para o Pré-Regulador Retificador Boost foi feito com o intuito de adequar melhor os sensores de tensão e de corrente e possibilitar um *layout* mais adequado, com minimização das trilhas de sinais e maior facilidade para interligação com o sistema de aquisição. Desta forma, alguns resultados experimentais considerados pertinentes são rerepresentados, agora com o conversor funcionando com controle na forma digital. Na figura 9.13 tem-se a forma de onda da corrente e da tensão sobre o interruptor IGBT do estágio Pré-Regulador, e, nas figuras 9.14 (a) e (b) têm-se detalhes para a entrada em condução e para o bloqueio deste dispositivo.

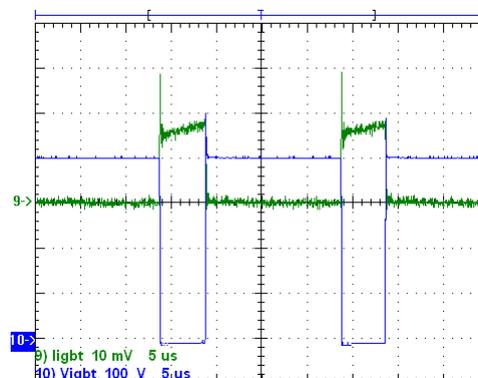
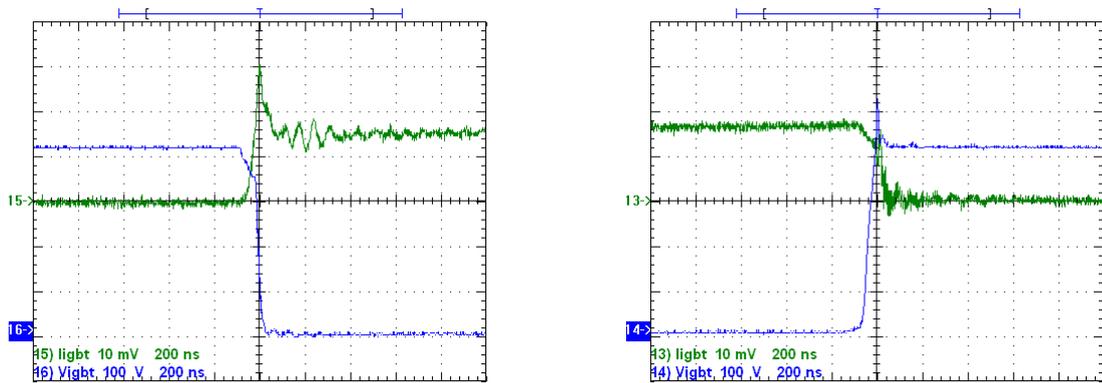


Figura 9.13. – Formas de onda da tensão (em azul) e da corrente no IGBT (em verde). Escalas: Tensão: 100V/div; Corrente: 5A/div, Tempo: 5μs/div.



(a) Tensão: 100V/div; Corrente: 5A/div; Tempo: 200ns/div (b) Tensão: 100V/div; Corrente: 5A/div; Tempo: 200ns/div

Figura 9.14. – Formas de onda da corrente no IGBT (em verde) e da tensão sobre o IGBT (em azul), para os casos de entrada em condução (a) e para o bloqueio (b).

Com as figuras 9.14 (a) e (b), verifica-se que não ocorrem problemas na entrada em condução e no bloqueio do IGBT, onde as oscilações na corrente terminam antes dos 400ns e, durante o bloqueio, a tensão sobre o interruptor não ultrapassa os 500 volts, demonstrando a eficácia do circuito *snubber* utilizado.

Da mesma forma que para o conversor analógico do capítulo 2, um detalhe que deve ser evidenciado é que na entrada em condução, o IGBT apresenta um pico de corrente elevado (que pode ser observado na figura 9.13), que é a soma da corrente que circula pelo indutor e a corrente reversa do diodo Boost. A corrente no diodo Boost, bem como a sua recuperação reversa máxima (potência nominal), podem ser observados na figura 9.15. Desta forma, o uso de um diodo ultra-rápido com recuperação suave é fundamental nesta estrutura.

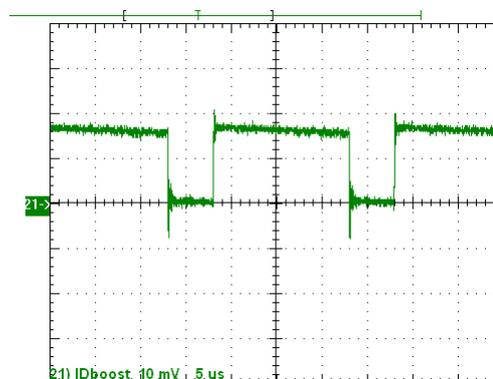
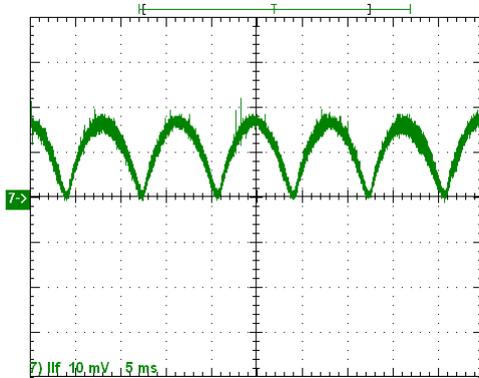
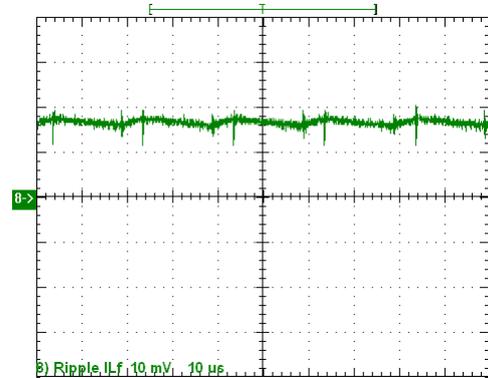


Figura 9.15. – Forma de onda corrente no diodo Boost.
Escala: Corrente: 5A/div; Tempo: 5μs/div.

Na figura 9.16 apresentam-se as formas de onda da corrente no indutor Boost, bem como um detalhe de sua ondulação, e, na figura 9.17, a forma de onda da tensão de saída do conversor, também com detalhe da ondulação.



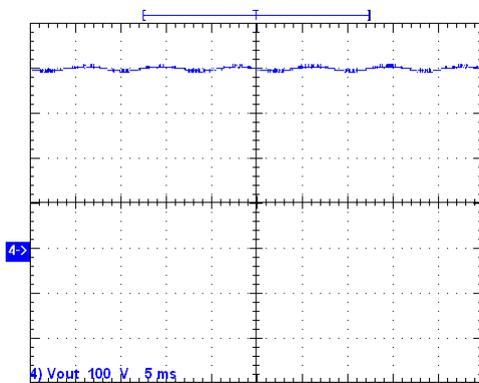
(a) Corrente: 5A/div; Tempo: 5ms/div



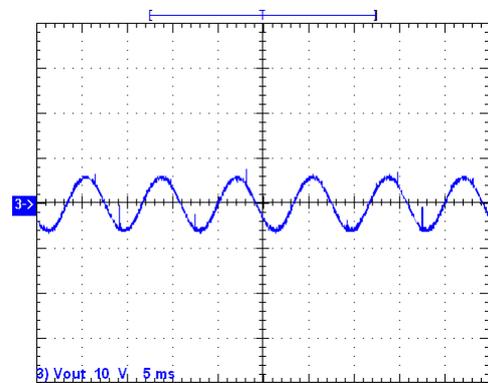
(b) Corrente: 5A/div; Tempo: 10μs/div

Figura 9.16. – (a) Forma de onda da corrente no indutor ; (b) Ondulação da corrente no indutor no instante em que a tensão de entrada passa pelo seu máximo valor instantâneo.

A corrente que circula pelo indutor do conversor Boost apresenta um *ripple* de baixa magnitude, da ordem de 1 ampère.



(a) Escalas: 100V/div; Tempo: 10ms/div.



(b) Escalas: 10V/div; Tempo: 2ms/div.

Figura 9.17. – (a) Forma de onda da tensão de saída ; (b) Ondulação da tensão de saída.

A tensão de saída do estágio Pré-Regulador está estabilizada em torno de 400volts com ondulação da ordem de 12 volts de pico-a-pico, sendo considerada aceitável para a aplicação em questão, sendo da ordem de 3%.

Na figura 9.18 apresenta-se a tensão e a corrente de carga, onde a tensão média de saída está regulada em torno dos 400 volts e a corrente média de carga é da ordem de 3,08 ampères, demonstrando a operação em carga nominal.

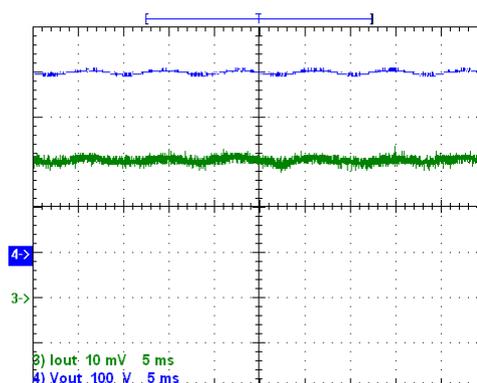


Figura 9.18. – (a) Formas de onda da tensão de saída (em azul) e da corrente de carga (em verde).
Escala: Tensão: 100V/div; Corrente: 1A/div, Tempo: 5ms/div.

Com a utilização do *software* Chipscope é possível obter resultados internos à pastilha do FPGA no mesmo instante no qual as informações são processadas. Na figura 9.19 apresentam-se os valores digitalizados da aquisição da tensão de saída, da amostragem da corrente no indutor e a formação da modulante, que é o sinal de controle para a geração dos pulsos do interruptor.

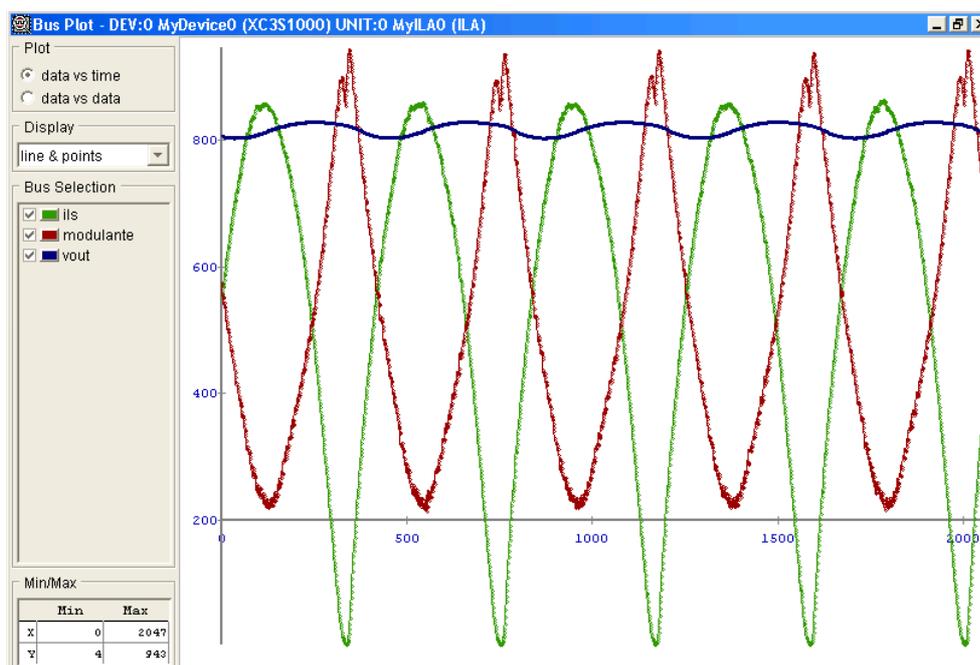


Figura 9.19. – (a) Formas de onda digitalizadas internas ao FPGA da tensão de saída (em azul), da corrente no indutor (em verde) e do sinal de controle modulante (em vermelho).
Eixos: Vertical (0 à 1023 decimal) ; Eixo Horizontal: 2048 amostras

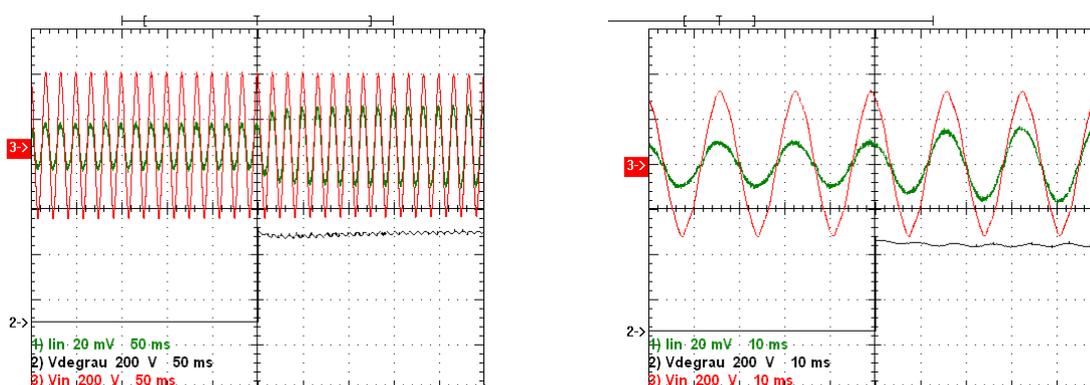
Com a utilização desta ferramenta é possível verificar a funcionalidade do sistema de aquisição, observando as amostras da corrente no indutor e da tensão de saída, as quais apresentam o comportamento esperado. Além disto, é possível verificar o sistema de controle digital ao se observar os resultados internos, enquanto o conversor está em funcionamento.

9.4 – Resultados para Degraus de Carga

Nesta seção são apresentados resultados experimentais para degraus de carga da ordem de 50%, onde o primeiro degrau apresentado é uma variação de meia carga para carga nominal e, em seguida, são apresentados resultados para variação de carga nominal para meia carga.

9.4.1 – Meia Carga Para Carga Nominal

Na figura 9.20 apresentam-se as formas de onda da tensão de entrada, da corrente de entrada e da tensão na carga em paralelo, para o degrau de meia carga para carga nominal.



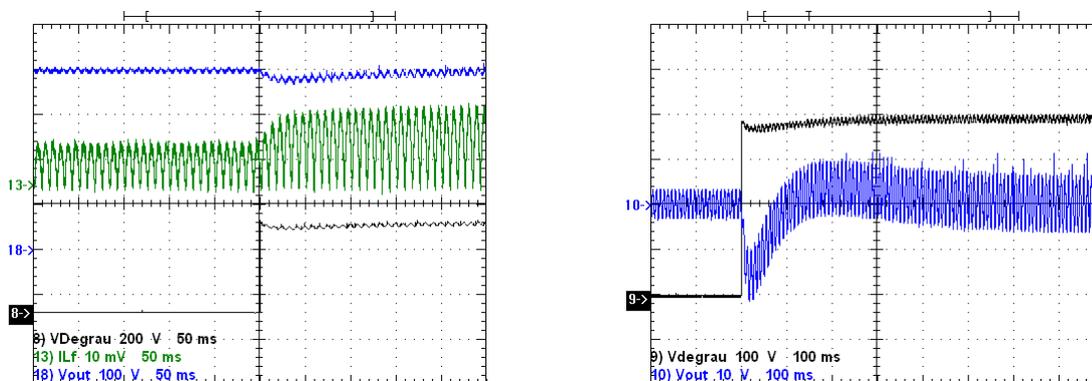
(a) Tensões: 200V/div; Corrente: 10A/div; Tempo: 50ms/div

(b) Tensões: 200V/div; Corrente: 10A/div; Tempo: 10ms/div

Figura 9.20. – (a) Formas de onda da tensão de entrada (em vermelho), da corrente de entrada (em verde) e da carga em paralelo (em preto), para o transitório de meia carga para carga nominal. (b) Detalhe deste degrau.

Verifica-se que o conversor mantém a qualidade da forma de onda da corrente de entrada durante este transitório, garantindo baixa DHT e alto fator de potência para a estrutura. Pode-se observar pela figura 9.20 (b), que o degrau de carga foi aplicado quase no pico da corrente de entrada e a mesma não sofreu distorções. Isto ocorre porque a referência para a malha de corrente é a saída do compensador de tensão, e como a dinâmica da mesma é bem lenta, não ocorrem distorções na forma de onda da corrente. Desta forma, mostra-se experimentalmente que a malha de tensão não influencia na dinâmica da malha de corrente.

Na figura 9.21 (a) são apresentadas as formas de onda da corrente no indutor e da tensão de saída para este degrau de carga, e, na figura 9.21 (b) é apresentado um detalhe da variação da tensão de saída para o acoplamento AC do osciloscópio.



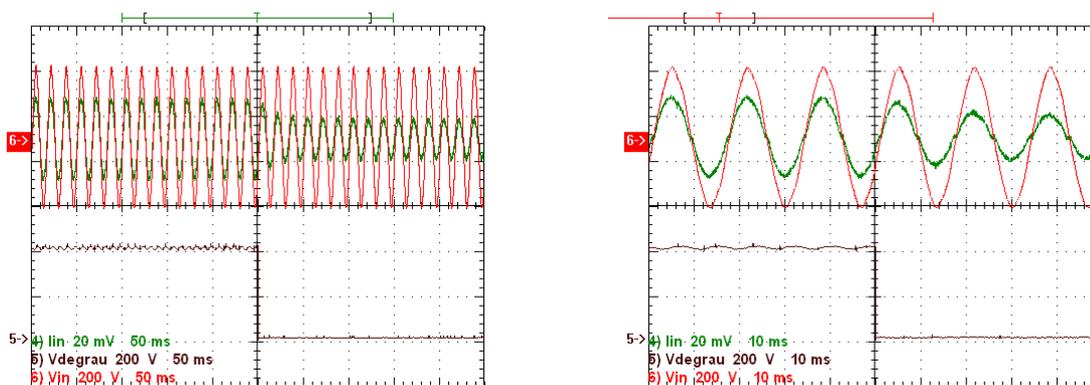
(a) Tensões: Vout: 100V/div, Vdegrau: 200V/div; (b) Tensões: Vout: 10V/div, Vdegrau: 100V/div;
 Corrente: 5A/div; Tempo: 50ms/div Tempo: 100ms/div

Figura 9.21. – (a) Formas de onda da corrente no indutor (em verde), da tensão de saída (em azul) e da carga em paralelo (em preto), para o transitório de carga nominal para meia carga. (a) Detalhe da tensão de saída no acoplamento AC do osciloscópio, para este degrau de carga.

Já que a forma de onda da corrente de entrada mantém o formato senoidal, a corrente no indutor também apresenta o mesmo comportamento, o qual pode ser verificado na figura 9.21(a). A corrente no indutor se estabiliza por volta dos 50ms, que é o tempo obtido nas simulações. Em relação à tensão de saída, observa-se um sobresinal da ordem de apenas 5,5%, onde a tensão de saída alcançou o patamar de 378 volts, mas sem oscilações, onde a mesma se estabiliza por volta dos 400ms. O tempo de estabelecimento é praticamente o mesmo obtido com o modelo Simulink e a ausência de oscilações valida o projeto do compensador de tensão, o qual foi projetado para não apresentar sobresinais oscilatórios. Em relação à porcentagem de sobresinal, o resultado experimental foi menor do que o obtido via simulação, o que não invalida o modelo, já que o mesmo não contempla todos os detalhes reais da implementação em laboratório. Desta forma, verifica-se a qualidade dos compensadores de tensão e de corrente projetados e pôde-se verificar muitos detalhes via simulação muito antes da implementação prática.

9.4.2 – Carga Nominal Para Meia Carga

Na figura 9.22 (a) apresenta-se o degrau de carga nominal para meia carga, e, na figura 9.22(b) um detalhe desta variação, a fim de se observar o comportamento da corrente de entrada durante este transitório.

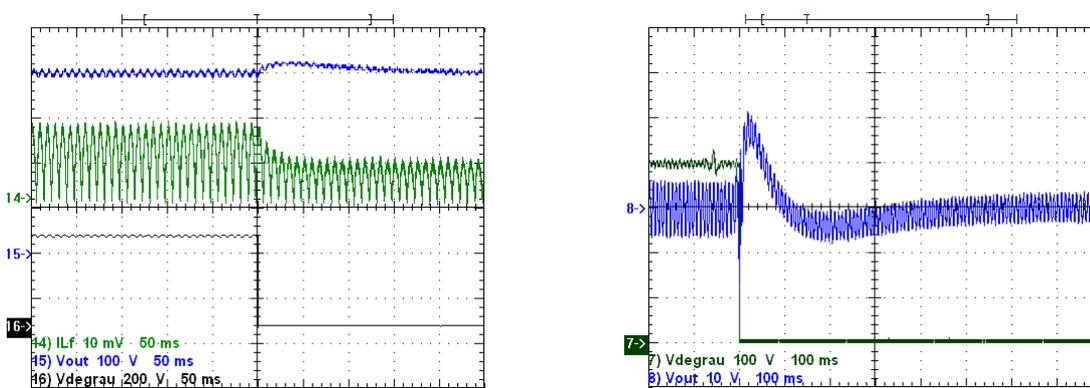


(a) Tensões: 200V/div; Corrente: 10A/div; Tempo: 50ms/div

(b) Tensões: 200V/div; Corrente: 10A/div; Tempo: 10ms/div

Figura 9.22. – (a) Formas de onda da tensão de entrada (em vermelho), da corrente de entrada (em verde) e da carga em paralelo (em preto), para o transitório de carga nominal para meia carga. (a) Detalhe deste degrau.

Da mesma forma que para o degrau anterior, observa-se que a corrente de entrada mantém o formato senoidal esperado, mantendo o alto fator de potência da estrutura. Na figura 9.23 (a) são apresentadas as formas de onda da corrente no indutor e da tensão de saída, e, na figura 9.23 (b) apresenta-se um detalhe da tensão de saída para o acoplamento AC do osciloscópio, para este degrau.



(a) Tensões: Vout:100V/div, Vdegrau: 200V/div; Corrente: 5A/div; Tempo: 50ms/div

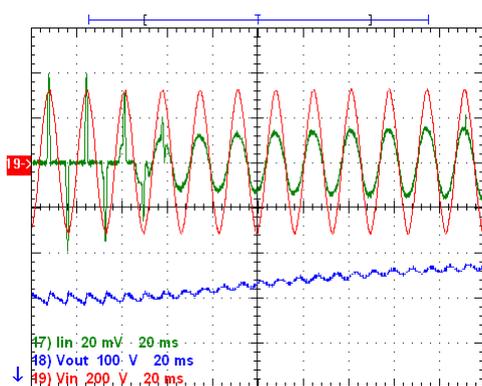
(b) Tensões: Vout: 10V/div, Vdegrau: 100V/div; Tempo: 100ms/div

Figura 9.23. – (a) Formas de onda da corrente no indutor (em verde), da tensão de saída (em azul) e da carga em paralelo (em preto), para o transitório de carga nominal para meia carga. (a) Detalhe da tensão de saída no acoplamento AC do osciloscópio, para este degrau de carga.

Observa-se que a forma de onda da corrente no indutor alcança o regime permanente por volta dos 50ms, mantendo o formato senoidal e a tensão de saída apresenta sobresinal de apenas 5,5%, onde a tensão de saída alcançou o patamar de 422 volts, e não apresenta oscilações, alcançando o regime permanente por volta dos 400ms. Da mesma forma que para o degrau anterior, os resultados validam o modelo Simulink e os compensadores digitais projetados.

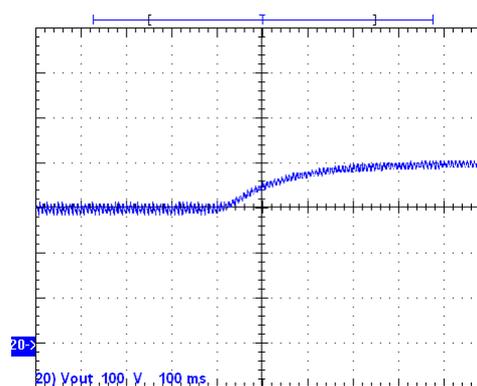
9.5 – Partida do Conversor

Foi criado um protocolo de partida suave para o estágio Pré-Regulador Retificador Boost a fim de que o mesmo apresentasse um comportamento adequado de *inrush*. Inicialmente, o conversor opera como retificador convencional, carregando o capacitor de saída com aproximadamente a tensão de pico da rede; em seguida, o controle do estágio Pré-Regulador é acionado, fazendo-o seguir uma rampa de tensão pré-estabelecida para a evolução da tensão de saída. Na figura 9.24 (a), mostra-se a transição do retificador de entrada para o Pré-Regulador com correção ativa do fator de potência, e, na figura 9.24 (b) é apresentada a tensão de saída do conversor para este transitório de partida. Observa-se que o conversor opera em plena carga.



(a) Tensões: Entrada: 200V/div, Saída:

100V/div; Corrente: 10A/div; Tempo: 20ms/div



(b) Tensão: 100V/div; Tempo: 100ms/div

Figura 9.24. – (a) Formas de onda da tensão de entrada (em vermelho), da corrente de entrada (em verde) e da tensão de saída (em azul), para a transição de funcionamento Retificador comum para Pré-Regulador. (a) Detalhe da tensão de saída para esta transição de funcionamento.

Verifica-se que a transição do Retificador para o Pré-Regulador Boost com correção ativa, ocorre a partir da passagem por zero da tensão de entrada e em menos de dois ciclos de rede a corrente de entrada já apresenta a característica esperada para o estágio Boost corretor do fator de potência, mesmo sendo a tensão de saída, neste instante, menor do que a tensão nominal de projeto.

A rampa de tensão aplicada para o controle da tensão de saída leva o conversor ao regime em aproximadamente meio segundo.

9.6 – Resultados para Carga Não Linear

Um reator eletrônico com filtro de entrada foi desenvolvido, conforme item 8.5, e acoplado ao estágio Pré-Regulador com o intuito de verificar a funcionalidade do filtro projetado. O circuito analógico escolhido para operar o estágio inversor é o circuito integrado IR2159, da International Rectifier. Este integrado apresenta um completo controle de luminosidade para reatores eletrônicos e circuitos para acionamento dos interruptores do inversor meia ponte (até 600 volts), sendo capaz de prover recursos de controle bastante sofisticados, tais como: procedimento de pré-aquecimento programável (tempo e corrente), proteção de sobre-corrente, proteção de falha na operação ou na queima da lâmpada e controle de luminosidade através do sensoriamento da defasagem imposta à corrente através do conjunto filtro ressonante e lâmpada fluorescente. Não é escopo deste trabalho entrar em detalhes acerca do projeto deste controlador, mas exemplos de projetos consistentes podem ser encontrados na International Rectifier (2005). Na figura 9.25 apresenta-se a foto do reator eletrônico com o duplo filtro LC de entrada modificado.



Figura 9.25. – Reator eletrônico para duas lâmpadas fluorescentes com filtro de entrada.

Na figura 9.26 são apresentadas as formas de onda da corrente e da tensão na coluna de gás da lâmpada fluorescente F32T8, a qual opera em 50,3kHz, apresentando a potência nominal de 32 watts.

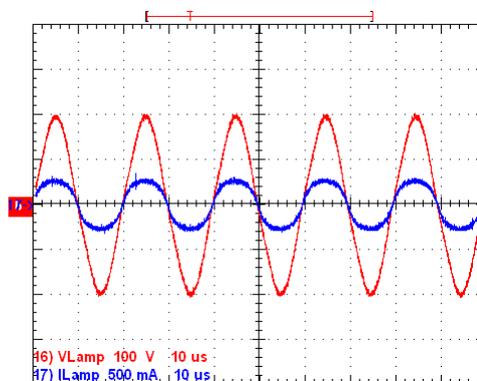
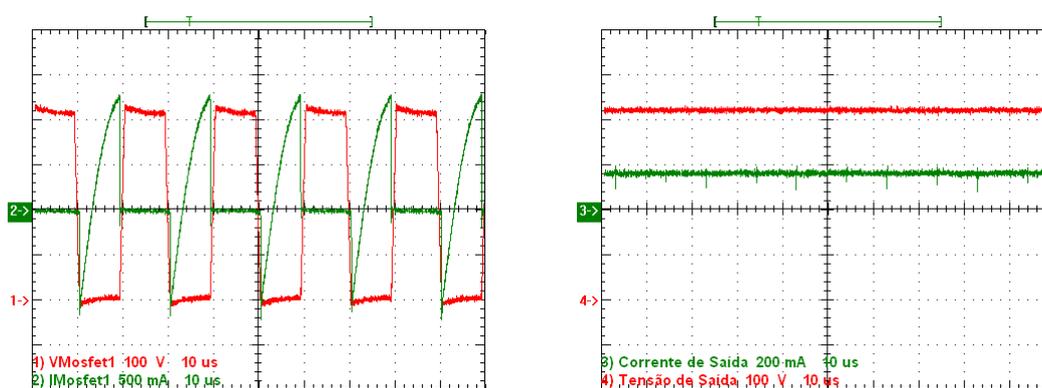


Figura 9.26. – Formas de onda de tensão (em vermelho) e corrente na coluna de gás (em azul) para a potência nominal em uma das lâmpadas.

Escalas: Tensão:100V/div; Corrente: 500mA/div, Tempo: 10us, Frequência:50,3kHz.

A corrente de pico na lâmpada é de 295mA, enquanto que a corrente eficaz é de 206mA, levando a um fator de crista de 1,43.

Com o intuito de se verificar a funcionalidade do duplo filtro LC modificado, foram feitas medições da corrente e da tensão em um dos interruptores do estágio inversor, da corrente drenada do conversor Boost pelo reator eletrônico e da tensão de barramento CC do conversor, sendo estas representadas nas figuras 9.27 (a) e (b), respectivamente.



(a) Tensão: 100V/div; Corrente: 500mA/div;
Tempo: 10μs/div

(b) Tensão: 100V/div; Corrente: 200mA/div;
Tempo: 10μs/div

Figura 9.27 – (a) Formas de onda de tensão (em vermelho) e corrente em um dos mosfets (em verde) para a potência nominal. (b) Formas de onda da tensão de barramento CC (em vermelho) e da corrente drenada pelo reator (em verde).

Verifica-se que não existem correntes de alta frequência fluindo pelo barramento CC de saída do estágio Pré-Regulador Retificador Boost. Portanto, os problemas de interferências eletromagnéticas são minimizados. Fazendo uma análise mais criteriosa, verifica-se que a carga não linear do reator eletrônico, devido à adição do duplo filtro LC modificado, se apresenta para o barramento do Pré-Regulador como uma carga linear resistiva. Como o funcionamento do estágio Pré-Regulador foi garantido para condições de cargas resistivas de até 1.200watts, podem ser acoplados diversos reatores eletrônicos no mesmo, que a operação estará garantida até esta potência.

Observa-se finalmente que o Pré-Regulador Retificador Boost foi projetado para alimentar um conjunto de reatores eletrônicos, para lâmpadas fluorescentes tubulares, com controle também digital usando microcontroladores, para o controle de luminosidade do sistema de iluminação.

9.7 – Conclusões

O propósito do desenvolvimento do Pré-Regulador Retificador é garantir índices de qualidade tanto para a fonte de alimentação em corrente alternada, quanto para um sistema de iluminação fluorescente multi-lâmpadas. Para a fonte de alimentação, estes índices foram garantidos pela baixa DHT da corrente de entrada e pelo seu alto fator de potência, bem como da minimização dos ruídos eletromagnéticos conduzidos pela inserção do filtro de EMI. Para o sistema de iluminação, um baixo fator de crista da corrente na lâmpada é garantido pela baixa ondulação presente na tensão de saída do estágio Pré-Regulador. Além disso, quando se trata de sistema de iluminação com múltiplas lâmpadas, é necessário fazer a interligação dos vários reatores eletrônicos com o barramento CC do estágio Pré-Regulador, e conforme analisado, a corrente circulante é de alta frequência, levando a problemas de interferências eletromagnéticas. Por isto, foi idealizado um filtro para ser acoplado na entrada de cada inversor a fim de garantir a transmissão em corrente contínua minimizando tais problemas. Vale frisar que este filtro apresenta uma contribuição significativa, uma vez que os demais sistemas de iluminação fluorescentes utilizam condução de energia em corrente alternada em altas frequências, ou barramento CC com fluxo bidirecional de corrente.

Em relação à resposta dinâmica do conversor, foram obtidos resultados plenamente satisfatórios, uma vez que a forma de onda da corrente de entrada sempre apresenta o formato

senoidal esperado, enquanto que os sobresinais na tensão de saída do conversor não ultrapassam os 5,5%, isto para os degraus de 50% de carga.

Todas estas observações validam o projeto deste estágio Pré-Regulador Retificador com controle digital por valores médios da corrente de entrada e implementado em dispositivo FPGA, com uso da linguagem VHDL.

Conclusões Gerais e Continuidade do Trabalho

O estágio Pré-Regulador Retificador Boost com controle digital pela técnica dos valores médios da corrente de entrada, e implementado usando um dispositivo Spartan 3, com o uso da linguagem de descrição de hardware VHDL, atende os propósitos apresentados na pesquisa, que são os índices de qualidade tanto para a rede de alimentação em corrente alternada, quanto para qualquer sistema de iluminação fluorescente multi-lâmpadas, que contemple o filtro desenvolvido. Em relação à rede de alimentação, a baixa DHT e o alto fator de potência, bem como o uso do filtro de EMI, garantem os índices de qualidade exigidos para o acoplamento deste protótipo à rede. Em relação à operação da lâmpada fluorescente, um baixo fator de crista é obtido pela reduzida ondulação presente na tensão de saída do estágio Pré-Regulador. Com relação aos problemas de interferências eletromagnéticas existentes em sistemas de iluminação multi-lâmpadas convencionais, estes são eliminados pela inserção do duplo filtro LC modificado, que é uma inovação deste projeto. A operação deste estágio Pré-Regulador foi validada para a potência nominal de 1.200 watts, onde o mesmo não apresenta problemas de operação. Ademais, com a adição do duplo filtro LC, na entrada do reator eletrônico, demonstrou-se que o reator eletrônico se apresenta para o estágio Pré-Regulador como uma carga resistiva, e, desta forma, a operação do conversor está garantida para funcionar como fonte de alimentação de sistemas de iluminação multi-lâmpadas de até 1.200 watts.

Como proposta de continuidade para este trabalho tem-se a possibilidade de implementação de um estágio Pré-Regulador Retificador que contemple variações universais na tensão de alimentação (90V até 260V). Seria necessário reprojeter o circuito de potência para suportar os novos esforços de corrente e de tensão e alterar o *hardware* de condicionamento para adquirir também amostras da tensão de entrada, já que toda a programação em VHDL contempla a malha de tensão de entrada. Além disto, poderiam ser aplicadas outras técnicas de controle para a corrente de entrada, tais como histerese ou por

valores de pico, modificando o *software* desenvolvido, com o objetivo de tecer comparações entre estas técnicas, no domínio do controle digital.

Finalmente, aplicar o Pré-Regulador Retificador projetado e desenvolvido para o propósito de alimentar um sistema de iluminação fluorescente multi-lâmpadas, com gerenciamento e monitoramento da luminosidade.

Referências

ADAMS, J.; RIBARICH T. J.; RIBARICH J. J.; A New control IC for dimmable high-frequency electronic ballasts. In: APEC'99. APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 14, 1999, Dallas. **Proceedings...** Piscataway: IEEE, 1999. v.2, p.713-719.

ALVES, J. A.; PERIN, A. J.; BARBI, I. An Electronic ballast with high power factor for compact fluorescent lamps. In: IAS'96. INDUSTRY APPLICATIONS CONFERENCE, 31, 1996, San Diego. **Proceedings...** San Diego: IEEE, 1996. v.4, p. 2129-2135.

ANALOG DEVICES. **AD7810 Data Sheet**, [s.l.:s.n.], 2000. (Revisão B). Disponível em: <<http://www.analog.com/en/prod/>> Acessado em: maio 2007.

BARBI, I. **Eletrônica de potência**: projeto de fontes chaveadas. Florianópolis: Ed. do Autor, 2001, 370p.

BONFÁ, V. A.; MENEGÁZ, P. J. M.; VIEIRA, J. L. F.; SIMONETTI, D. S. L. Múltiplas alternativas de snubber regenerativo aplicadas aos conversores SEPIC e Cúk. In: CBA2002. CONGRESSO BRASILEIRO DE AUTOMÁTICA, 14, 2002, Natal. **Anais...** Natal: CBA, 2002. p. 1623-1629.

BROWN, R.; SOLDANO, M. One cycle control IC simplifies PFC designs. In: APEC2005. APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 20, 2005, Busan. **Proceedings...** Busan: IEEE, 2005. v.2, p.825-829.

BUCHANAN, E. E.; MILLER, E. J. Resonant switching power conversion technique. In: PESC'75. POWER ELECTRONICS SPECIALIST CONFERENCE, 6, 1975, Culver City. **Proceedings ...** Culver City: IEEE, 1975. p. 188-193.

CANALES, F. **Power factor correction**. 2003. 100f. Trabalho de Conclusão de Curso (Graduação em Engenharia Elétrica) - Virginia Polytechnic Institute and State University, Blacksburg, Virginia.

CANESIN, C. A.; BARBI, I. Comparison of experimental losses among six different topologies for a 1.6kW boost converter, using IGBTs. In: PESC'95. POWER ELECTRONICS SPECIALIST CONFERENCE, 26, 1995, Atlanta. **Proceedings...** Atlanta: IEEE, 1995. p. 1265-1271.

CASTRO, A.; ZUMEL, P.; GARCÍA, O.; RIESGO, T.; UCEDA, J. Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an FPGA. **IEEE Transactions on Power Electronics**, New York, v.18, n.1, p. 334-343, 2003.

CHOUDHURY, S. **Average current mode controlled power factor correction converter using TMS320LF2407A**. [s.l:s.n], 1995. Disponível em: <<http://www-s.ti.com/sc/psheets/spra902/spra902.pdf>>. Acessado em: fev 2007.

CÓ, M. A.; SIMONETTI, D. S. L.; VIEIRA, J. L. F. High-power-factor electronic ballast operating in critical conduction mode. **IEEE Transactions on Power Electronics**, New York, v. 13, n. 1, p. 93-101, 1998.

DALLA COSTA, M. A.; LANDERDAHL, M. L.; PRADO, R. N. Independent multi-lamp electronic ballast. In: INDUSCON2002. CONFERÊNCIA INTERNACIONAL EM APLICAÇÕES INDUSTRIAIS, 5, 2002, Salvador. **Anais...** Salvador: Induscon, [s.n], 2002.

ERICKSON, R. W; MAKSIMOVIC, D. Fundamentals of power electronics. 2.ed. Verlag: Springer, 2001. 912p.

FILARDO, J. V. Perdas magnéticas. [s.l]: UFPR, 2004. Disponível em: <<http://www.eletrica.ufpr.br/piazza/materiais/>>. Acessado em: fev 2007.

FREITAS, E. C. **Estudo do retificador híbrido multipulsos de elevado fator de potência e reduzida distorção harmônica de corrente no contexto da qualidade de energia elétrica**. 2006. 117f. Dissertação (Mestrado) - Universidade Federal de Brasília - UnB, Brasília, 2006.

GARCÍA-GIL, R.; ESPÍ, J. M.; DEDE, E. J.; MASET, E. An All-digital controlled AC-DC matrix converter with high-frequency isolation and power factor correction. In: ISIE'2004. INTERNATIONAL SYMPOSIUM ON INDUSTRIAL ELECTRONICS, 2004, Ajaccio. **Proceedings...** Ajaccio: IEEE, 2004. v.2, p. 1075-1080

GOSLIN, G. R. **A Guide to using field programmable gate arrays (FPGAs) for application-specific digital signal processing performance.** [s.l:s.n], 1995. Disponível em: <<http://www.xilinx.com/appnotes/dspguide.pdf>>. Acessado em: maio 2006.

GULES, R.; SIMÕES, E. U.; BARBI, I. A 1.2kW electronic ballast for multiple lamps, with dimming capability and high power-factor. In: APEC'99. APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 40, 1999, Dallas. **Proceedings...** Piscataway: IEEE, 1999. p. 720-726.

TECNAUT. **Harmônicos.** [s.l:s.n], 1999. Disponível em: <<http://tecnaut.com.br/utilidades/duvidas/Harmônicos>> Acessado em: out 2007.

HAMMER, E. E. High frequency characteristics of fluorescent lamps up to 500 kHz. **Journal of IES:** winter, [s.l:s.n], p. 52-61, 1987.

HELDWEIN, M. L. **Unidade retificadora trifásica de alta potência e alto rendimento para aplicação em centrais de telecomunicação.** 2004. 180f. Dissertação (Mestrado) - Universidade Federal de Santa Catarina, Florianópolis, 2001.

HULIEHEL, F. A.; LEE, F. C.; CHO, B. H. Small-signal modeling of the single-phase power factor converter with constant frequency control. In: PESC'92. POWER ELECTRONICS SPECIALIST CONFERENCE, 23, 1992, Toledo. **Proceedings...** Toledo: IEEE, 1992. p. 475-482.

INTERNATIONAL RECTIFIER. **IR2159 Data Sheet.** [s.l:s.n], 2005. (Revisão D). Disponível em: <www.irf.com>. Acessado em: mar 2006.

LÂMPADAS elétricas e luminotécnica. [s.l]: USP, 2005. Disponível em: <http://www.eletrotec.pea.usp.br/files/33_LampadasEletricasLuminotecnica>. Acessado em: fev 2007.

LEE, F. C.; WANG, K.; HUA, G.; BOROJEVIC, D. A Comparative study of switching losses of IGBTs under hard-switching, zero-voltage-switching and zero-current-switching. In: PESC'94. POWER ELECTRONICS SPECIALIST CONFERENCE, 25, 1994, Taipei. **Proceedings...** Taipei: IEEE, 1992. p. 1196-1204.

LI, D.; RUAN, X. A high efficient boost converter with power factor correction. In: PESC2004. POWER ELECTRONICS SPECIALIST CONFERENCE, 25, 2004, Aachen. **Proceedings...** Aachen: IEEE, 2004. p. 1653-1657.

LIN, C. S.; CHEN, C. L. A Novel single-stage push-pull electronic ballast with high input power factor. **IEEE Transactions on Industrial Electronics**, New York, v. 48, n. 4, p. 770-776, 2001.

LINDEKE, D. **Projeto de um filtro ativo paralelo de 1kVA usando técnicas de controle analógica e digital**. 2003. 197f. Dissertação (Mestrado) –Universidade Federal de Santa Catarina, Florianópolis, 2003.

LINDSEY, J. L. **Applied illumination engineering**. 2.ed. Lilburn: Prentice Hall, 1996.

LOURES, S. L. R. **EMC**. [s.l.:s.n.], 2001. Disponível em: <<http://www.vallim.eng.br/emc.htm>>. Acessado em: mar 2007.

LUZ, J. M. **Luminotécnica**. [s.l.:s.n.], 2005. Disponível em: <<http://www.ee.pucrs.br/~jeanine/InstalacoesEletricasIII/Luminotecnica.pdf>>. Acessado em: fev 2007.

MARQUES, R. N.; BRAGA, H. A. C. Improved crest factor valley fill filters applied to low power and low cost electronic ballasts. In: COBEP2001. CONGRESSO BRASILEIRO DE ELETRÔNICA DE POTÊNCIA, 6, 2001, Florianópolis. **Anais...** Florianópolis: COBEP, 2001.

MARQUES, R. N.; BRAGA, H. A. C. Valley fill filter derived electronic ballasts – a comparative study. In: INDUSCON2002. CONFERÊNCIA INTERNACIONAL EM APLICAÇÕES INDUSTRIAIS, 5, 2002, Salvador. **Anais...** Salvador: INDUSCON, 2002.

OGATA, K. **Discrete time control systems**. 3. ed. New Jersey: Prentice Hall, 2000, 745p.

ORDONEZ, E. D. M.; PEREIRA, F. D.; PENTEADO, C. G.; PERICINI, R. A. **Projeto, desempenho e aplicações de sistemas digitais em circuitos programáveis (FPGAs)**. Pompéia: Bless, 2003. 239p.

PERRY, D. L. **VHDL: programming by example**. 4.ed. New York: McGraw-Hill, 2002. 497f.

PINHEIRO, J. M. S. **Interferências eletromagnéticas**. [s.l:s.n], 2004. Disponível em: <http://www.projetoderedes.com.br/tutoriais/tutorial_interferencia_eletromagnetica_01>. Acessado em: mar 2007.

RAJAGOPALAN, J.; LEE, F. C.; NORA, P. A General technique for derivation of average current mode control laws for single-phase power-factor-correction circuits without input voltage sensing. **IEE Transactions on Power Electronics**, New York, v.14, n. 4, p. 663-672, 1999.

REA, M. S. **The IESNA lighting handbook: reference and application**. 9 ed. New York: Illuminating Engineering Society of North America, 2000.

RESTLE, R. C. **Choosing between DSPs, FPGAs, μ Ps and ASICs to implement digital signal processing**. [s.l:s.n], 2000. Disponível em: <<http://www.eecs.uc.edu/~jcaffery/eces644/>>. Acessado em: mar 2006.

RESTLE, R. C. **Math on digital signal processors (DSPs) and field programmable gate arrays (FPGAs)**. [s.l:s.n, 2000?]. Disponível em: <<http://www.eecs.uc.edu/~jcaffery/eces644/>>. Acessado em: mar 2006.

ROBINSON, F. V. P.; WILLIAMS, B. W. Systematic design of dissipative and regenerative snubbers. In: IAS'89. INDUSTRY APPLICATIONS CONFERENCE, 24, 1989, San Diego. **Proceedings...** San Diego: IEEE, 1989. p. 1320-1327.

SANEX. **Soluções em energia.** [s.l:s.n], 2006. Disponível em: <<http://www.sanexsolucoes.com.br/energia.htm>>. Acessado em: dez 2006.

SPANGLER, J.; HUSSAIN, B.; BEHERA, An Electronic fluorescent ballast using power factor correction techniques for loads greater than 300Watts. In: APEC'91. APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 6, 1991, Dallas. **Proceedings...** Dallas: IEEE, 1991. p. 393-399.

TAYLOR, A. E. F. Electronic ballasts. **National Lighting Product Information Program**, New York, v. 8, n. 1, p. 32, 2000.

TAO, F.; ZHAO, Q.; LEE, F. C.; ONISHI, N. Single-Stage power-factor-correction electronic ballast with a wide continuous dimming control for fluorescent lamps. In: PESC2001. POWER ELECTRONICS SPECIALIST CONFERENCE, 32, 2001, Vancouver. **Proceedings...** Vancouver: IEEE, 2001. p. 926-931.

TODD, P. C. **Application Note:** UC3854 controlled power factor correction circuit design. [s.l:s.n], 1995. Disponível em: <<http://www-s.ti.com/sc/psheets/slwa144/slwa144.pdf>>. Acessado em: jul 2006.

TOMASELLI, L. C. **Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243.** 2001. 95f. Dissertação (Mestrado) – Universidade Federal de Santa Catarina, Florianópolis, 2001.

XIE, M. **Digital control for power factor correction.** 2003. 119f. Dissertação (Mestrado) - Virginia Polytechnic Institute and State University, Blacksburg, 2003.

XILINX. **Spartan-3 FPGA family:** complete data sheet. [s.l:s.n], 2007. Disponível em: <http://www.xilinx.com/xlnx/xweb/xil_publications/>. Acessado em: maio 2007.

WAKABAYASHI, F. T.; CANESIN, C. A. A High efficiency HPF-ZCS-PWM SEPIC for electronic ballast with multiple tubular fluorescent lamps. In: APEC2002. APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 17, 2002, Dallas. **Proceedings...** Dallas: IEEE, 2002. p.924-930.

WAKABAYASHI, F. T.; CANESIN, C. A. An Improved design procedure for LCC resonant filter of dimmable electronic ballasts for fluorescent lamps, based on lamp model. **IEEE transactions on Power Electronics**, New York, v. 20, n. 5, p.1186-1196, 2005.

WAKABAYASHI, F. T.; OLIVEIRA, R. A. N.; CANESIN, C. A. Dimmable electronic ballast with high power factor SEPIC preregulator, for multiple tubular fluorescent lamps. In: PESC2004. POWER ELECTRONICS SPECIALIST CONFERENCE, 35, 2004, Aachen. **Proceedings...** Aachen: IEEE, 2004. p. 4043-4049.

WAKABAYASHI, F. T.; DANTAS, F. D; PINTO, J. O. P.; CANESIN, C. A fluorescent lamp model based on equivalent resistances, considering the effects of dimming operation. In: PESC2005. POWER ELECTRONICS SPECIALIST CONFERENCE, 35, 2005, Recife. **Proceedings...** Recife: IEEE, 2005. p. 1136-1141.

WAKABAYASHI, F. T. **Tópicos especiais em sistemas de energia elétrica**: reatores eletrônicos para lâmpadas fluorescentes. Ilha Solteira: UNESP/FE. 2005. 30p. (Apostila da disciplina ministrada na pós-graduação).

WOOD, P. N. Fluorescent ballast design using passive P.F.C and crest factor control. In: IAS'98. INDUSTRY APPLICATIONS CONFERENCE, 33, 1998, St. Louis. **Proceedings...** St. Louis: IEEE, 1998. p. 2076-2081.

ZHANG, W.; RUAN, L.;YE, P. The design and analysis of power factor pre-regulator based on boost circuit. In: IPEMC2000. INTERNATIONAL POWER ELECTRONICS AND MOTION CONTROL CONFERENCE, 3, 2000, Beijing. **Proceedings...** Beijing: IEEE, 2000. p. 706-706.

ZHANG, W.; FENG, G.; LIU, Y; WU, B. A New duty cycle parallel control method and FPGA implementation for AC-DC converters with power factor correction (PFC). In: APEC2005. APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 20, 2005, Austin. **Proceedings...** Austin: IEEE, 2005. p. 805-811.

Apêndice A

Detalhes da Implementação em Laboratório

A.1 – Introdução

Os circuitos que compõem um conversor controlado de forma digital podem ser agrupados em quatro grupos distintos, sendo eles: o primeiro grupo envolve os componentes do circuito de potência e os sensores; o segundo grupo envolve os estágios de condicionamento, os conversores analógicos para digitais e possivelmente isolamento; o terceiro grupo engloba o processador digital de sinais, onde neste projeto utiliza-se o FPGA e finalmente, o quarto grupo, que se refere ao circuito de comando, que recebe as informações do FPGA e atua no interruptor do circuito de potência, levando-o ao bloqueio ou condução.

Desta forma, nesta seção são apresentados os detalhes da implementação em laboratório para o estágio Pré-Regulador Retificador Boost com sistema de controle digital.

A.2 – Estágio de Potência

O circuito de potência para o Pré-Regulador Retificador Boost é o mesmo circuito apresentado no capítulo 2 desta dissertação; contudo, o *layout* foi totalmente modificado a fim de incorporar os sensores de corrente e de tensão, e, ainda, facilitar o acoplamento com os demais grupos de placas. Desta forma, uma nova placa de circuito impresso foi desenvolvida, sendo esta representada na figura A.1.

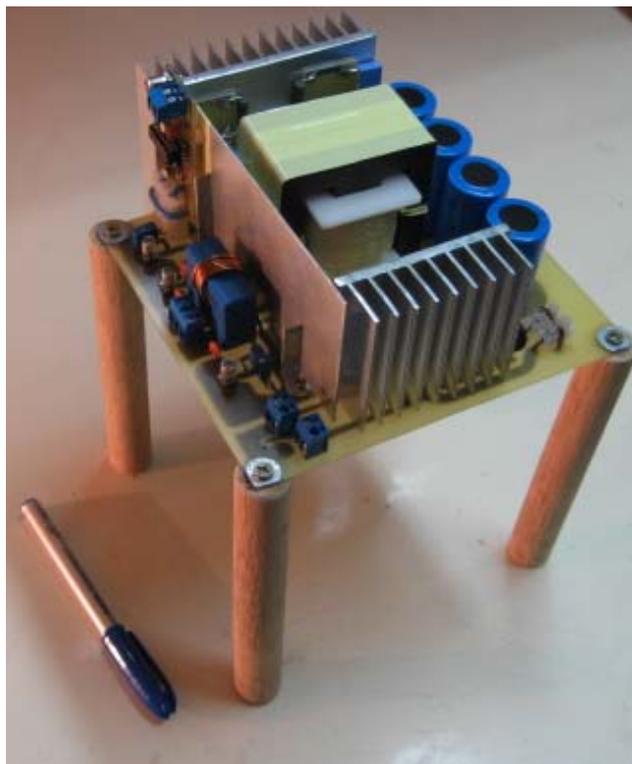


Figura A.1. Estágio de potência para o Pré-Regulador Retificador Boost.

A.3 – Grupo de Sensores

A.3.1 – Sensores de Corrente e de Tensão

Os sensores de corrente e de tensão foram acoplados na própria placa de potência, onde se optou pela utilização de sensores, que operam através do efeito *Hall*, para adquirir as amostras da forma de onda da corrente no indutor e amostras da forma de onda da tensão de saída, e ainda, facilitar o isolamento do circuito de potência do circuito de condicionamento.

O sensor do tipo *Hall*, utilizado para sensorar a corrente, é o LA55-P do fabricante LEM, onde a opção pelo uso deste sensor, se deve a algumas vantagens apresentadas, tais como: Isolação galvânica entre primário e secundário; relação linear excelente entre primário e secundário; corrente de *offset* de saída praticamente nula; tempo de resposta muito rápido (menor do que $1\mu\text{s}$); ampla faixa de variação de frequência (0 até 200kHz); alta imunidade para ruídos externos; capacidade elevada de corrente (0 a 50A); possibilidade de controlar a sensibilidade do sensor através da quantidade de enrolamentos externos; além é claro, de apresentar uma resistência série muito baixa, levando a perdas insignificantes. A relação de conversão do primário para o secundário é, respectivamente, de 1 para $K_n/1.000$, onde K_n é a

quantidade de espiras enroladas. No secundário do sensor é conectada uma resistência R_M em paralelo, sendo o seu valor típico entre 10 a 160Ω , convertendo a corrente de saída (I_s) em um valor de tensão V_M adequado para o circuito de condicionamento

O sensor do tipo *Hall*, escolhido para adquirir amostras da tensão, é o LV-25P, que apresenta excelente precisão, ótima linearidade, baixa influência de temperatura, rápido tempo de resposta, alta imunidade a interferências e baixa influência de ruídos de modo comum. Este sensor é especificado para medir tensões entre 10 e 500V, onde o projetista deve inserir uma resistência em série com o primário a fim de obter uma corrente proporcional a tensão que está sendo medida. A relação de conversão do primário para o secundário é, respectivamente, de 10 para 25, onde a corrente nominal do primário é de 10mA. No secundário do sensor é conectada uma resistência R_{Mv} em paralelo, sendo o seu valor típico entre 100 a 350Ω , convertendo a corrente de saída (I_v) em um valor de tensão V_{Mv} adequado para o circuito de condicionamento

Na figura A.2, apresenta-se o esquemático dos sensores de corrente e de tensão.

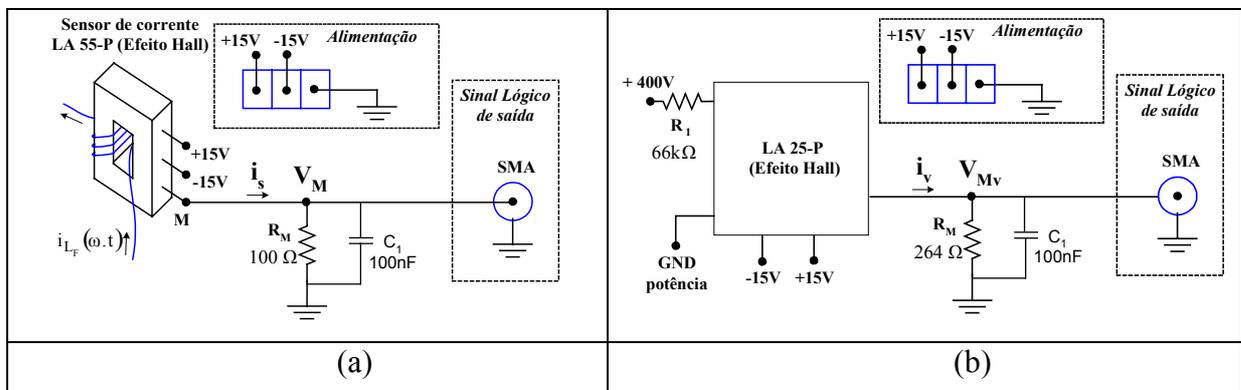


Figura A.2. (a) Sensor de corrente utilizando o LA55-P;(b) Sensor de tensão utilizando oLV25-P .

A.3.2 – Sensor de Sincronismo

Para alimentar os sensores do tipo *Hall* e todo o estágio de condicionamento foi necessário desenvolver uma outra placa de circuito impresso para funcionar como fonte de alimentação auxiliar. Desta forma, o sinal de sincronismo com a rede é obtido do secundário de um dos transformadores presente nesta placa.

Na figura A.3 apresenta-se a placa de alimentação auxiliar.



Figura A.3. Placa de Alimentação auxiliar.

A.4 – Estágio de Condicionamento de Sinais

Uma nova placa de circuito impresso foi desenvolvida para receber todos os componentes do estágio de condicionamento, conversão analógica para digital e isolamento. Este estágio é responsável pela adequação das amplitudes dos sinais para a conversão AD, explorando ao máximo a escala permitida, além de ser responsável pela filtragem de ruídos, através dos filtros anti-aliasing, bem como prover isolamento e adequação dos sinais para o nível LVTTTL de 3,3V exigido pelo FPGA.

A.4.1 – Condicionamento da Corrente do Indutor

O circuito de condicionamento para a corrente do indutor é composto por um filtro anti-aliasing, uma proteção de sobretensão, um conversor analógico para digital e isoladores digitais. Na figura A.4 apresenta-se o esquemático para o estágio de condicionamento da corrente no indutor.

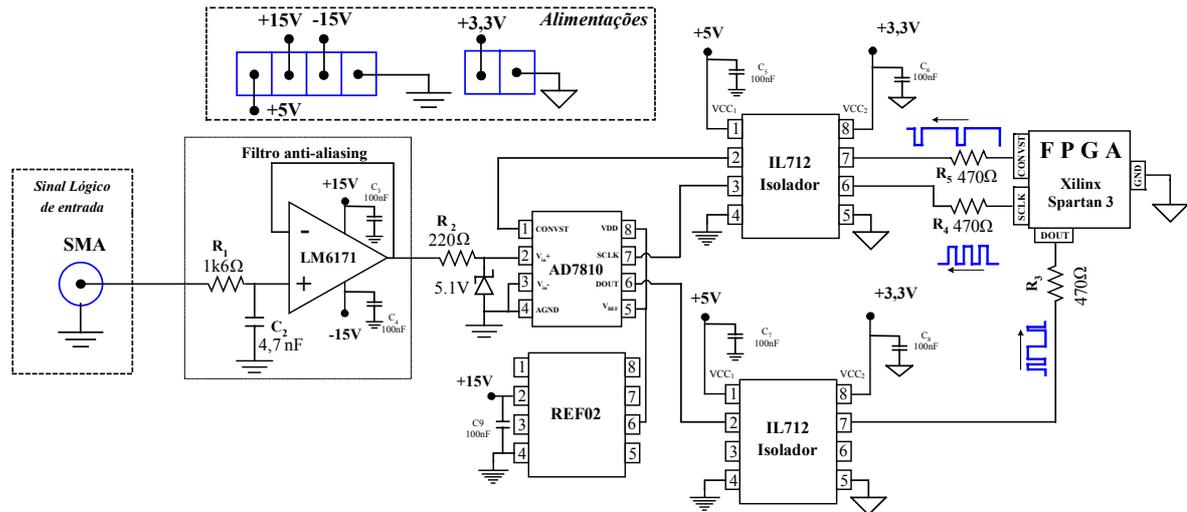


Figura A.4. Estágio de condicionamento de sinais para a corrente no indutor.

A.4.2 – Condicionamento da Tensão de Saída

O circuito de condicionamento para a aquisição da tensão de saída, da mesma forma que o circuito para condicionamento da corrente, possui um filtro anti-aliasing, uma proteção de sobretensão, um conversor analógico para digital e isoladores digitais. Na figura A.5 apresenta-se o esquemático para o estágio de condicionamento da tensão de saída.

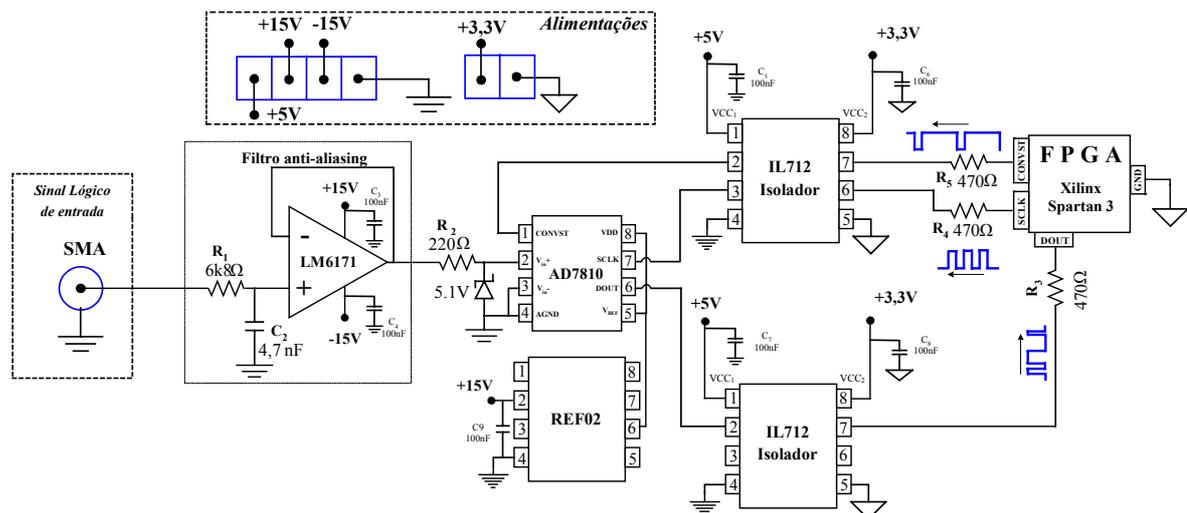


Figura A.5. Estágio de condicionamento de sinais para aquisição da tensão de saída.

A.4.3 – Condicionamento do Sinal de Sincronismo

O sinal vindo de um dos transformadores da placa de alimentação, passa por um divisor resistivo, um filtro passa-baixa RC, um comparador com o zero e por um estágio de retificação. Desta forma, o sinal de sessenta hertz senoidal é convertido em um sinal pulsado para o FPGA. O circuito que realiza esta tarefa está representado na figura A.6.

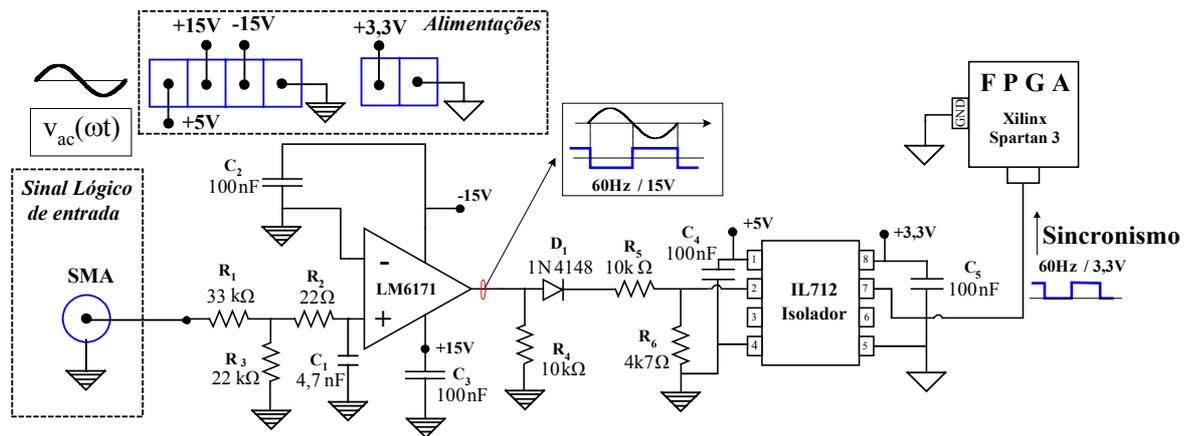


Figura A.6. Circuito para geração dos pulsos de sincronismo.

Na figura A.7 apresenta-se a placa de circuito impresso desenvolvida para o estágio de condicionamento de sinais, que engloba os condicionamentos da corrente do indutor, da tensão de saída e do sinal de sincronismo.

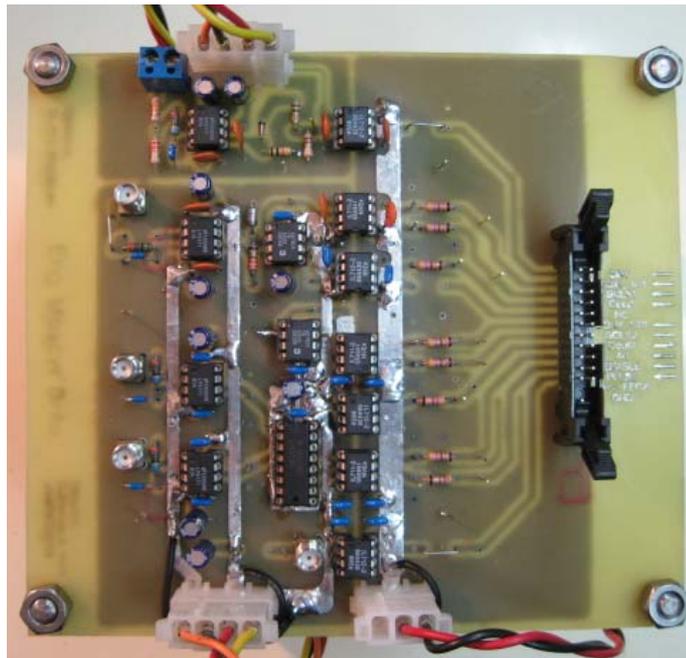


Figura A.7. Placa de condicionamento de sinais.

Na figura A.8 apresenta-se uma foto da conexão da placa de condicionamento à placa de alimentação.

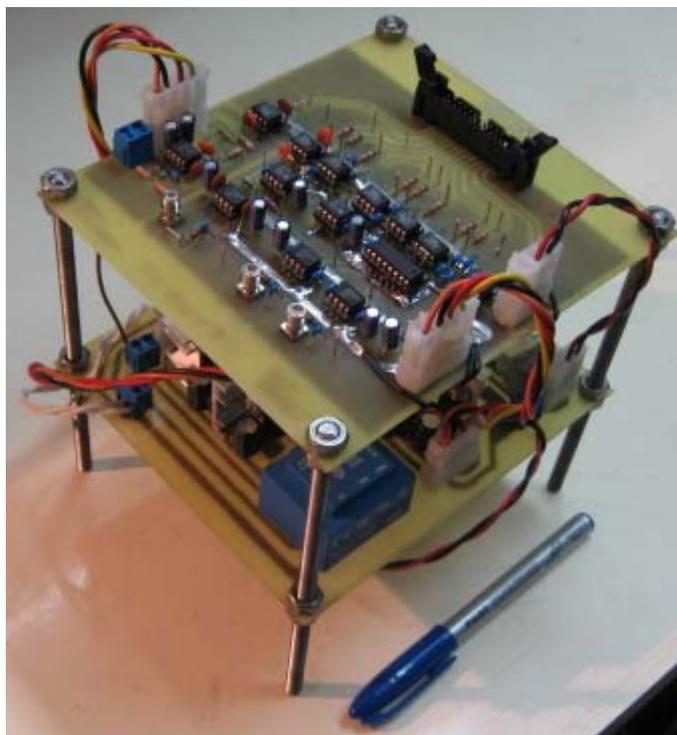


Figura A.8. Placa de condicionamento de sinais acoplada à placa de alimentação.

A.5 – Circuito de Comando do Interruptor

Um estágio intermediário entre o FPGA e o interruptor Boost se faz necessário para adequação do sinal e para isolamento. O sinal proveniente do FPGA está em nível lógico padrão LVTTTL, com nível lógico alto em 3,3V e para o correto acionamento do transistor de potência são necessários níveis adequados de tensão e de corrente. Desta forma, um circuito capaz de prover estes níveis é necessário para o correto acionamento do transistor de potência. Para este fim, foi escolhido o circuito integrado HCPL3180. Este circuito integrado pode ser operado em frequências de até 250kHz, com tempo de resposta máximo de 200ns, acionamento de 10 à 20V, mínima distorção do pulso e suporta isolamento de até 3500Volts.

Apêndice B

Código VHDL Desenvolvido

Nesta seção apresenta-se o código .vhd desenvolvido para o controle digital do Pré-Regulador Retificador Boost.

B.1 – Componente AD7810_ILs

Tabela B.1: Código VHDL com a descrição comportamental do componente AD7810_ILS

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity AD7810 is
    port( Pushbottom: in std_logic:='0';
          Clk: in std_logic:='0';
          Dout: in std_logic:='0';
          ILS: out std_logic_vector (9 downto 0):="0000000000";
          Convst, Sclk: out std_logic:='0';
          SinalSincronismoAquis: in std_logic :='0');
end AD7810;

architecture Behavioral of AD7810 is

    Type estados1 is (Es1,Es2,Es3,Es4,Es5);
    Signal maquina: estados1:=Es1;

    Type estados2 is (S0,S1,S2,S3,S4,S5,S6,S7,S8,S9);
    Signal aquis: estados2:=S0;

    Signal Rfs:std_logic:='1';

    Signal Sclkevent: std_logic:='0';

begin
    process (clk)

        Variable    count: integer range 0 to 844:=0;
        Variable    count2: integer range 0 to 3:=0;
        Variable    count3: integer range 0 to 39:=0;

        begin

            if (clk'event and clk='1') then

```

```

Case maquina is
when Es1 =>
  Convst<='1';
  Sclk<='0';

  if (Pushbottom ='1' and SinalSincronismoAquis ='1') then
    maquina<=Es2;
  end if;

when Es2 =>

  Convst<='0';
  Sclk<='0';

  if count=17 then
    maquina<=Es3;count:=0;

  else
    count:=count+1;
  end if;

When Es3 =>

  Convst<='1';
  Sclk<='0';

  if count=96 then
    maquina<=Es4; count:=0;

  else
    count:=count+1;
  end if;

When Es4 =>

  Convst<='1';
  Rfs<='0';

  if count2<2 then
    Sclk<='1';
    Sclkevent<='1';
  else
    Sclk<='0';
    Sclkevent<='0';
  end if;

  if count2=3 then
    count2:=0;

  else
    count2:= count2+1;
  end if;

  if count3=39 then
    maquina<=Es5;Rfs<='1';
    count3:=0;

  else
    count3:=count3+1;
  end if;

```

```

        when Es5 =>
            Convst<='1';
            Sclk<='0';

            Rfs<='1';

            if count=844 then
                maquina<=Es2;
                count:=0;
            else
                count:=count+1;
            end if;

        when others =>
            null;

    end case;
end if;
End process;

Process (Sclkevent)

Variable    Dtemp: std_logic:='0';
Variable    D9,D8,D7,D6,D5,D4,D3,D2,D1,D0: std_logic:='0';

begin

if (Sclkevent'event and Sclkevent='0') then

Dtemp:=Dout;

    if Rfs='0' then

        case aquis is

            when S0 => D9:=Dtemp; Aquis <= S1;
            when S1 => D8:=Dtemp; Aquis <= S2;
            when S2 => D7:=Dtemp; Aquis <= S3;
            when S3 => D6:=Dtemp; Aquis <= S4;
            when S4 => D5:=Dtemp; Aquis <= S5;
            when S5 => D4:=Dtemp; Aquis <= S6;
            when S6 => D3:=Dtemp; Aquis <= S7;
            when S7 => D2:=Dtemp; Aquis <= S8;
            when S8 => D1:=Dtemp; Aquis <= S9;
            when S9 => D0:=Dtemp;

            ILs<=D9&D8&D7&D6&D5&D4&D3&D2&D1&D0;
            Aquis <= S0;

            when others => null;
        end case;
    else
        Aquis<=S0;
    end if;
end if;

end process;
end Behavioral;

```

B.2 – Componente AD7810_Vin_Vout

Tabela B.2: Código VHDL com a descrição comportamental do componente AD7810_Vin_Vout

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity AD_Vout_Vin is

    port( Pushbutton: in std_logic:='0';
          Clk: in std_logic:='0';
          Dout1: in std_logic:='0';
          Vin: Out std_logic_vector (9 downto 0):="0000000000";
          Vout: Out std_logic_vector (9 downto 0):="0000000000";
          ControleMux: out std_logic:='0';
          Convst1,Sclk1: out std_logic:='0';
          SinalSincronismoAquis: in std_logic :='0');

end voutvin;

architecture Behavioral of AD_Vout_Vin is

    Type estados1 is (Es1,Es2,Es3,Es4,Es5);
    Signal maquina: estados1:=Es1;

    Type estados2 is (S0,S1,S2,S3,S4,S5,S6,S7,S8,S9);
    Signal aquis: estados2:=S0;

    Type estados3 is (Contal,Conta2);
    Signal delay: estados3:=Contal;

    Signal ControleMuxsignal: std_logic:='0';
    Signal Rfs:std_logic:='1';
    Signal Sclkevent: std_logic:='0';

begin
    process(clk)

        Variable    count:  integer range 0 to 2344:=0;
        Variable    count2: integer range 0 to 3:=0;
        Variable    count3: integer range 0 to 39:=0;

    begin

        if (clk'event and clk='1') then
            Case maquina is

                when Es1 =>

                    Convst1<='1';
                    Sclk1<='0';

                    if (Pushbutton = '1' and SinalSincronismoAquis = '1') then
                        maquina<=Es2;
                    end if;

                when Es2 =>

```

```

Convst1<='0';
Sclk1<='0';

if count=17 then
    maquina<=Es3;count:=0;

    else
        count:=count+1;
    end if;

When Es3 =>

Convst1<='1';
Sclk1<='0';

if count=96 then
    maquina<=Es4; count:=0;

    else
        count:=count+1;
    end if;

When Es4 =>

Convst1<='1';
Rfs<='0';

if count2<2 then
    Sclk1<='1';
    Sclkevent<='1';
    else
        Sclk1<='0';
        Sclkevent<='0';
    end if;

if count2=3 then
    count2:=0;

else
    count2:= count2+1;
end if;

if count3=39 then
    maquina<=Es5;
    count3:=0;
else
    count3:=count3+1;
end if;
when Es5 =>
Convst1<='1';
Sclk1<='0';
Rfs<='1';

if count=2344 then
    maquina<=Es2;
    count:=0;
else
    count:=count+1;
end if;

when others =>

```

```

        null;
    end case;
end if;
End process;

Process (clk)
variable Cont_delay: integer range 0 to 999:=0;
variable Cont_Tamostragem: integer range 0 to 1499:=0;
Variable Auxiliari: std_logic:='0';
begin

    if (Clk'event and Clk='1') then

    Case delay      is

    when Conta1 =>

        if (Pushbutton = '1' and SinalSincronismoAquis = '1') then

            if Cont_delay = 999 then

                Cont_delay:=0;
                Auxiliari := not Auxiliari ;
                delay <= Conta2;

            else
                Cont_delay := Cont_delay + 1;
            end if;
        end if;

    When Conta2 =>

        ControleMux <= Auxiliari;
        ControleMuxsignal <= Auxiliari;

        if Cont_Tamostragem = 1499 then
            Cont_Tamostragem:=0; delay <= Conta1;

        else
            Cont_Tamostragem := Cont_Tamostragem + 1;
        end if;

    When others => null;
    end case;
end if;
end process;

Process (Sclkevent)

Variable      Dtemp: std_logic:='0';
Variable      D9,D8,D7,D6,D5,D4,D3,D2,D1,D0: std_logic:='0';

begin

    if (Sclkevent'event and Sclkevent='0') then

        Dtemp:=Dout1;

```

```

    if Rfs='0' then

        case aquis is

            when S0 => D9:=Dtemp; Aquis <= S1;
            when S1 => D8:=Dtemp; Aquis <= S2;
            when S2 => D7:=Dtemp; Aquis <= S3;
            when S3 => D6:=Dtemp; Aquis <= S4;
            when S4 => D5:=Dtemp; Aquis <= S5;
            when S5 => D4:=Dtemp; Aquis <= S6;
            when S6 => D3:=Dtemp; Aquis <= S7;
            when S7 => D2:=Dtemp; Aquis <= S8;
            when S8 => D1:=Dtemp; Aquis <= S9;
            when S9 => D0:=Dtemp;

            if ControleMuxsignal = '0' then
                Vin<=D9&D8&D7&D6&D5&D4&D3&D2&D1&D0;
                Aquis <= S0;
            else
                Vout<=D9&D8&D7&D6&D5&D4&D3&D2&D1&D0;
                Aquis <= S0;
            end if;

            when others => null;
        end case;
    else
        Aquis<=S0;
    end if;
end if;

end process;
end Behavioral;

```

B.3 – Componente MUX

Tabela B.3: Código VHDL com a descrição comportamental do componente MUX

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Mux is
    port( ControleMux: In Std_logic:='0';
          AtivaMux:   Out Std_logic:='0';
          MudaCanal:  Out Std_logic:='0');
end Mux;

architecture Behavioral of Mux is

Begin

    Process (ControleMux)

        Begin

```

```

        if (ControleMux='0') then
            AtivaMux <='0';
            MudaCanal <= '0';

        else
            AtivaMux <='0';
            MudaCanal <= '1';
        end if;

    end process;

end Behavioral;

```

B.4 – Componente BinBCD

Tabela B.4: Código VHDL com a descrição comportamental do componente BinBCD

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity binbcd is
    port (Dado: in std_logic_vector (9 downto 0);
          Clock: in std_logic;
          Enable_SW1: in std_logic :='0';
          Display1,Display2: out std_logic_vector (3 downto 0);
          Display3,Display4: out std_logic_vector (3 downto 0));
end binbcd;

architecture Behavioral of binbcd is
begin

    Cria_BCD:process (Clock,Enable_SW1,Dado)

        variable gerenciador: std_logic_vector (9 downto 0) :="0000000000";
        variable contunidade : std_logic_vector (3 downto 0) :="0000" ;
        variable contdez : std_logic_vector (3 downto 0):="0000";
        variable contcen : std_logic_vector (3 downto 0):="0000";
        variable contmil : std_logic_vector (3 downto 0):="0000";
        variable Dadoregistrado: std_logic_vector (9 downto 0):="0000000000";

    begin
        if (Enable_SW1 = '1') then
            Dadoregistrado:=Dado;

            if (Clock'event and Clock='1') then

                if gerenciador < Dadoregistrado then
                    gerenciador:=gerenciador +1;
                    contunidade:=contunidade +1;

                    if contunidade = "1010" then
                        contunidade:="0000";
                        contdez:=contdez + 1;
                    end if;
                end if;
            end if;
        end if;
    end process;
end Behavioral;

```

```

        if contdez = "1010" then
            contdez:= "0000";
            contcen:= contcen+1;

            if contcen = "1010" then
                contcen:="0000";
                contmil:=contmil+1;
            else
                null;
            end if;

        else
            null;
        end if;

    else
        null;
    end if;

else
    display1<=contunidade;
    display2<=contdez;
    display3<=contcen;
    display4<=contmil;
    gerenciador:="0000000000";
    contunidade:="0000";
    contdez:="0000";
    contcen:="0000";
    contmil:="0000";
end if;

end if;

else
    display1<="0000";
    display2<="0000";
    display3<="0000";
    display4<="0000";
    gerenciador:="0000000000";
    contunidade:="0000";
    contdez:="0000";
    contcen:="0000";
    contmil:="0000";

end if;
end process;
end Behavioral;

```

B.5 – Componente BCD7Seg

Tabela B.5: Código VHDL com a descrição comportamental do componente BCD7Seg

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity BDC7seg is

```

```

    port (Display1,Display2: in std_logic_vector (3 downto 0);
          Display3,Display4: in std_logic_vector (3 downto 0);
          Clock: in std_logic;
          Ponto: out std_logic :='1';
          Enable_display1,Enable_display2: out std_logic :='1';
          Enable_display3,Enable_display4: out std_logic :='1';
          Sete_segmentos: out std_logic_vector (6 downto 0));
end BDC7seg;

architecture Behavioral of BDC7seg is

Signal Muda_display: std_logic_vector (2 downto 0):="000";
Signal Acende_display: std_logic_vector (3 downto 0):="0000";

Begin

Contador_programa: Process (Clock)

variable Contador: std_logic_vector (12 downto 0):="00000000000000";

    Begin

        if (Clock'Event and Clock ='1') then
            Contador := Contador +1;

            if Contador ="11111111111111" then
                Contador:="00000000000000";
                Muda_display<=Muda_display+1;

                if Muda_display ="100" then
                    Muda_display<="000";
                else
                    null;
                end if;
            else
                null;
            end if;

        end if;
    end process;

Habilita_displays: Process (Clock,Muda_display)

    variable Display11: std_logic_vector (3 downto 0):="0000";
    variable Display22: std_logic_vector (3 downto 0):="0000";
    variable Display33: std_logic_vector (3 downto 0):="0000";
    variable Display44: std_logic_vector (3 downto 0):="0000";

    begin

        If (Clock'Event and Clock ='1') then

            Display11:= Display1;
            Display22:= Display2;
            Display33:= Display3;
            Display44:= Display4;

            Case Muda_display is

                When "000" =>

```

```

        Ponto <= '1';
        Enable_display1 <= '0';
        Enable_display2 <= '1';
        Enable_display3 <= '1';
        Enable_display4 <= '1';
        Acende_display <= Display11;

        When "001" =>

            Ponto<='1';
            Enable_display1 <= '1';
            Enable_display2 <= '0';
            Enable_display3 <= '1';
            Enable_display4 <= '1';
            Acende_display <= Display22;

        When "010" =>

            Ponto <= '1';
            Enable_display1 <= '1';
            Enable_display2 <= '1';
            Enable_display3 <= '0';
            Enable_display4 <= '1';
            Acende_display <= Display33;

        When "011" =>

            Ponto <= '1';
            Enable_display1 <= '1';
            Enable_display2 <= '1';
            Enable_display3 <= '1';
            Enable_display4 <= '0';
            Acende_display <= Display44;

        When others =>
            null;
        end case;
    end if;
end process;

Acende_Sete_segmentos: Process (Clock,Acende_display)

Begin
    if(Clock'event and Clock='1') then

        Case Acende_display is

            When "0000" =>
                Sete_segmentos <= "0000001";

            When "0001" =>
                Sete_segmentos <= "1001111";

            When "0010" =>
                Sete_segmentos <= "0010010";

            When "0011" =>
                Sete_segmentos <= "0000110";

            When "0100" =>
                Sete_segmentos <= "1001100";

```

```

        When "0101" =>
            Sete_segmentos <= "0100100";

        When "0110" =>
            Sete_segmentos <= "1100000";

        When "0111" =>
            Sete_segmentos <= "0001111";

        When "1000" =>
            Sete_segmentos <= "0000000";

        When "1001" =>
            Sete_segmentos <= "0001100";

        When others =>
            Sete_segmentos <= "0110000";

        End case;
    end if;
end process;
end Behavioral;

```

B.6 – Componente GeraSenóide

Tabela B.6: Código VHDL com a descrição comportamental do componente GeraSenóide

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity GeraSenoide is
    port (Clk: in std_logic :='0';
          Pushbutton: in std_logic :='0';
          SinalSincronismo: in std_logic :='0';
          SenoideGerada: out std_logic_vector (7 downto 0) := "00000000";
          SinalSincronismoAquis: out std_logic :='0');
end GeraSenoide;

architecture Behavioral of GeraSenoide is

    Signal Clock_50K: std_logic :='0';
    Signal ApontadorTabela: integer range 0 to 415 :=0;
    Signal AuxiliarSincronismo : std_logic :='1';
begin

    Criando_clock_50kHz: Process(Clk,Pushbutton)

    Variable ContadorAux: integer range 1 to 1000 :=1;

    begin

        if Pushbutton ='1' then

            if (Clk'event and Clk ='1') then

```

```

        if ContadorAux < 501 then
            Clock_50K <= '0';
        else
            Clock_50K <= '1';
        end if;

        if ContadorAux = 1000 then
            ContadorAux := 1;
        else
            ContadorAux := ContadorAux+1 ;
        end if;

    end if;
end if;
end process;

Apontador_tabela: Process (SinalSincronismo,Pushbutton)

begin
    if Pushbutton ='1' then

        if (SinalSincronismo'event and SinalSincronismo ='1') then
            AuxiliarSincronismo <= not (AuxiliarSincronismo);
            SinalSincronismoAquis <= '1';
        end if;
    end if;
end process;

Process (Clock_50K,Pushbutton)

variable Cont1: integer range 0 to 415:=0;
variable Cont2: integer range 0 to 415:=0;

begin

    if Pushbutton ='1' then

        if (Clock_50K'event and Clock_50K='1') then

            if AuxiliarSincronismo ='0' then

                if Cont1 = 415 then
                    Cont1 := 0;
                else
                    Cont1:=Cont1+1;
                end if;

                ApontadorTabela <= Cont1;
                Cont2:=0;
            else

                if Cont2 = 415 then
                    Cont2 := 0;
                else
                    Cont2:=Cont2+1;
                end if;

                ApontadorTabela <= Cont2;
                Cont1:=0;
            end if;
        end if;
    end if;
end process;

```

```

        end if;
    end if;
end if;
End process;

Buscando_tabela: Process (Clock_50K, Pushbutton)

variable Isenoide: std_logic_vector (7 downto 0) := "00000000";

begin

    if Pushbutton = '1' then

        if (Clock_50K'event and Clock_50K = '1') then

            Case ApontadorTabela is

when 0 => Isenoide := "00000001";
when 1 => Isenoide := "00000010";
when 2 => Isenoide := "00000100";
when 3 => Isenoide := "00000110";
when 4 => Isenoide := "00001000";
when 5 => Isenoide := "00001010";
when 6 => Isenoide := "00001100";
when 7 => Isenoide := "00001110";
when 8 => Isenoide := "00010000";
when 9 => Isenoide := "00010010";
when 10 => Isenoide := "00010100";
when 11 => Isenoide := "00010110";
when 12 => Isenoide := "00011000";
when 13 => Isenoide := "00011001";
when 14 => Isenoide := "00011011";
when 15 => Isenoide := "00011101";
when 16 => Isenoide := "00011111";
when 17 => Isenoide := "00100001";
when 18 => Isenoide := "00100011";
when 19 => Isenoide := "00100101";
when 20 => Isenoide := "00100111";
when 21 => Isenoide := "00101001";
when 22 => Isenoide := "00101011";
when 23 => Isenoide := "00101100";
when 24 => Isenoide := "00101110";
when 25 => Isenoide := "00110000";
when 26 => Isenoide := "00110010";
when 27 => Isenoide := "00110100";
when 28 => Isenoide := "00110110";
when 29 => Isenoide := "00111000";
when 30 => Isenoide := "00111010";
when 31 => Isenoide := "00111100";
when 32 => Isenoide := "00111101";
when 33 => Isenoide := "00111111";
when 34 => Isenoide := "01000001";
when 35 => Isenoide := "01000011";
when 36 => Isenoide := "01000101";
when 37 => Isenoide := "01000111";
when 38 => Isenoide := "01001001";
when 39 => Isenoide := "01001010";
when 40 => Isenoide := "01001100";
when 41 => Isenoide := "01001110";
when 42 => Isenoide := "01010000";
when 43 => Isenoide := "01010010";

```

```
when 44 => Isenoide := "01010100";
when 45 => Isenoide := "01010101";
when 46 => Isenoide := "01010111";
when 47 => Isenoide := "01011001";
when 48 => Isenoide := "01011011";
when 49 => Isenoide := "01011101";
when 50 => Isenoide := "01011110";
when 51 => Isenoide := "01100000";
when 52 => Isenoide := "01100010";
when 53 => Isenoide := "01100100";
when 54 => Isenoide := "01100101";
when 55 => Isenoide := "01100111";
when 56 => Isenoide := "01101001";
when 57 => Isenoide := "01101011";
when 58 => Isenoide := "01101100";
when 59 => Isenoide := "01101110";
when 60 => Isenoide := "01110000";
when 61 => Isenoide := "01110010";
when 62 => Isenoide := "01110011";
when 63 => Isenoide := "01110101";
when 64 => Isenoide := "01110111";
when 65 => Isenoide := "01111001";
when 66 => Isenoide := "01111010";
when 67 => Isenoide := "01111100";
when 68 => Isenoide := "01111110";
when 69 => Isenoide := "01111111";
when 70 => Isenoide := "10000001";
when 71 => Isenoide := "10000011";
when 72 => Isenoide := "10000100";
when 73 => Isenoide := "10000110";
when 74 => Isenoide := "10001000";
when 75 => Isenoide := "10001001";
when 76 => Isenoide := "10001011";
when 77 => Isenoide := "10001100";
when 78 => Isenoide := "10001110";
when 79 => Isenoide := "10010000";
when 80 => Isenoide := "10010001";
when 81 => Isenoide := "10010011";
when 82 => Isenoide := "10010100";
when 83 => Isenoide := "10010110";
when 84 => Isenoide := "10010111";
when 85 => Isenoide := "10011001";
when 86 => Isenoide := "10011011";
when 87 => Isenoide := "10011100";
when 88 => Isenoide := "10011110";
when 89 => Isenoide := "10011111";
when 90 => Isenoide := "10100001";
when 91 => Isenoide := "10100010";
when 92 => Isenoide := "10100100";
when 93 => Isenoide := "10100101";
when 94 => Isenoide := "10100110";
when 95 => Isenoide := "10101000";
when 96 => Isenoide := "10101001";
when 97 => Isenoide := "10101011";
when 98 => Isenoide := "10101100";
when 99 => Isenoide := "10101110";
when 100 => Isenoide := "10101111";
when 101 => Isenoide := "10110000";
when 102 => Isenoide := "10110010";
when 103 => Isenoide := "10110011";
when 104 => Isenoide := "10110101";
```

```
when 105 => Isenoide := "10110110";
when 106 => Isenoide := "10110111";
when 107 => Isenoide := "10111001";
when 108 => Isenoide := "10111010";
when 109 => Isenoide := "10111011";
when 110 => Isenoide := "10111101";
when 111 => Isenoide := "10111110";
when 112 => Isenoide := "10111111";
when 113 => Isenoide := "11000000";
when 114 => Isenoide := "11000010";
when 115 => Isenoide := "11000011";
when 116 => Isenoide := "11000100";
when 117 => Isenoide := "11000101";
when 118 => Isenoide := "11000111";
when 119 => Isenoide := "11001000";
when 120 => Isenoide := "11001001";
when 121 => Isenoide := "11001010";
when 122 => Isenoide := "11001011";
when 123 => Isenoide := "11001101";
when 124 => Isenoide := "11001110";
when 125 => Isenoide := "11001111";
when 126 => Isenoide := "11010000";
when 127 => Isenoide := "11010001";
when 128 => Isenoide := "11010010";
when 129 => Isenoide := "11010011";
when 130 => Isenoide := "11010100";
when 131 => Isenoide := "11010101";
when 132 => Isenoide := "11010110";
when 133 => Isenoide := "11010111";
when 134 => Isenoide := "11011000";
when 135 => Isenoide := "11011010";
when 136 => Isenoide := "11011011";
when 137 => Isenoide := "11011011";
when 138 => Isenoide := "11011100";
when 139 => Isenoide := "11011101";
when 140 => Isenoide := "11011110";
when 141 => Isenoide := "11011111";
when 142 => Isenoide := "11100000";
when 143 => Isenoide := "11100001";
when 144 => Isenoide := "11100010";
when 145 => Isenoide := "11100011";
when 146 => Isenoide := "11100100";
when 147 => Isenoide := "11100101";
when 148 => Isenoide := "11100110";
when 149 => Isenoide := "11100110";
when 150 => Isenoide := "11100111";
when 151 => Isenoide := "11101000";
when 152 => Isenoide := "11101001";
when 153 => Isenoide := "11101010";
when 154 => Isenoide := "11101010";
when 155 => Isenoide := "11101011";
when 156 => Isenoide := "11101100";
when 157 => Isenoide := "11101101";
when 158 => Isenoide := "11101101";
when 159 => Isenoide := "11101110";
when 160 => Isenoide := "11101111";
when 161 => Isenoide := "11101111";
when 162 => Isenoide := "11110000";
when 163 => Isenoide := "11110001";
when 164 => Isenoide := "11110001";
when 165 => Isenoide := "11110010";
```

```
when 166 => Isenoide := "11110011";
when 167 => Isenoide := "11110011";
when 168 => Isenoide := "11110100";
when 169 => Isenoide := "11110100";
when 170 => Isenoide := "11110101";
when 171 => Isenoide := "11110101";
when 172 => Isenoide := "11110110";
when 173 => Isenoide := "11110111";
when 174 => Isenoide := "11110111";
when 175 => Isenoide := "11110111";
when 176 => Isenoide := "11111000";
when 177 => Isenoide := "11111000";
when 178 => Isenoide := "11111001";
when 179 => Isenoide := "11111001";
when 180 => Isenoide := "11111010";
when 181 => Isenoide := "11111010";
when 182 => Isenoide := "11111010";
when 183 => Isenoide := "11111011";
when 184 => Isenoide := "11111011";
when 185 => Isenoide := "11111100";
when 186 => Isenoide := "11111100";
when 187 => Isenoide := "11111100";
when 188 => Isenoide := "11111101";
when 189 => Isenoide := "11111101";
when 190 => Isenoide := "11111101";
when 191 => Isenoide := "11111101";
when 192 => Isenoide := "11111110";
when 193 => Isenoide := "11111110";
when 194 => Isenoide := "11111110";
when 195 => Isenoide := "11111110";
when 196 => Isenoide := "11111110";
when 197 => Isenoide := "11111111";
when 198 => Isenoide := "11111111";
when 199 => Isenoide := "11111111";
when 200 => Isenoide := "11111111";
when 201 => Isenoide := "11111111";
when 202 => Isenoide := "11111111";
when 203 => Isenoide := "11111111";
when 204 => Isenoide := "11111111";
when 205 => Isenoide := "11111111";
when 206 => Isenoide := "11111111";
when 207 => Isenoide := "11111111";
when 208 => Isenoide := "11111111";
when 209 => Isenoide := "11111111";
when 210 => Isenoide := "11111111";
when 211 => Isenoide := "11111111";
when 212 => Isenoide := "11111111";
when 213 => Isenoide := "11111111";
when 214 => Isenoide := "11111111";
when 215 => Isenoide := "11111111";
when 216 => Isenoide := "11111111";
when 217 => Isenoide := "11111111";
when 218 => Isenoide := "11111111";
when 219 => Isenoide := "11111111";
when 220 => Isenoide := "11111111";
when 221 => Isenoide := "11111110";
when 222 => Isenoide := "11111110";
when 223 => Isenoide := "11111110";
when 224 => Isenoide := "11111110";
when 225 => Isenoide := "11111101";
when 226 => Isenoide := "11111101";
```

```
when 227 => Isenoide := "111111101";
when 228 => Isenoide := "111111101";
when 229 => Isenoide := "111111100";
when 230 => Isenoide := "111111100";
when 231 => Isenoide := "111111100";
when 232 => Isenoide := "111111011";
when 233 => Isenoide := "111111011";
when 234 => Isenoide := "111111011";
when 235 => Isenoide := "111111010";
when 236 => Isenoide := "111111010";
when 237 => Isenoide := "111111010";
when 238 => Isenoide := "111111001";
when 239 => Isenoide := "111111001";
when 240 => Isenoide := "111111000";
when 241 => Isenoide := "111111000";
when 242 => Isenoide := "111101111";
when 243 => Isenoide := "111101111";
when 244 => Isenoide := "111101110";
when 245 => Isenoide := "111101110";
when 246 => Isenoide := "111101101";
when 247 => Isenoide := "111101101";
when 248 => Isenoide := "111101100";
when 249 => Isenoide := "111101100";
when 250 => Isenoide := "111100111";
when 251 => Isenoide := "111100110";
when 252 => Isenoide := "111100110";
when 253 => Isenoide := "111100011";
when 254 => Isenoide := "111100011";
when 255 => Isenoide := "111100000";
when 256 => Isenoide := "111011111";
when 257 => Isenoide := "111011111";
when 258 => Isenoide := "111011110";
when 259 => Isenoide := "111011101";
when 260 => Isenoide := "111011100";
when 261 => Isenoide := "111011100";
when 262 => Isenoide := "111010111";
when 263 => Isenoide := "111010110";
when 264 => Isenoide := "111010101";
when 265 => Isenoide := "111010101";
when 266 => Isenoide := "111010100";
when 267 => Isenoide := "111001111";
when 268 => Isenoide := "111001110";
when 269 => Isenoide := "111001101";
when 270 => Isenoide := "111001100";
when 271 => Isenoide := "111001100";
when 272 => Isenoide := "111000111";
when 273 => Isenoide := "111000110";
when 274 => Isenoide := "111000001";
when 275 => Isenoide := "111000000";
when 276 => Isenoide := "110111111";
when 277 => Isenoide := "110111110";
when 278 => Isenoide := "110111101";
when 279 => Isenoide := "110111100";
when 280 => Isenoide := "110110111";
when 281 => Isenoide := "110110110";
when 282 => Isenoide := "110110101";
when 283 => Isenoide := "110110100";
when 284 => Isenoide := "110101111";
when 285 => Isenoide := "110101110";
when 286 => Isenoide := "110101101";
when 287 => Isenoide := "110101100";
```

```
when 288 => Isenoide := "11010011";
when 289 => Isenoide := "11010010";
when 290 => Isenoide := "11010001";
when 291 => Isenoide := "11010000";
when 292 => Isenoide := "11001110";
when 293 => Isenoide := "11001101";
when 294 => Isenoide := "11001100";
when 295 => Isenoide := "11001011";
when 296 => Isenoide := "11001010";
when 297 => Isenoide := "11001001";
when 298 => Isenoide := "11000111";
when 299 => Isenoide := "11000110";
when 300 => Isenoide := "11000101";
when 301 => Isenoide := "11000100";
when 302 => Isenoide := "11000011";
when 303 => Isenoide := "11000001";
when 304 => Isenoide := "11000000";
when 305 => Isenoide := "10111111";
when 306 => Isenoide := "10111101";
when 307 => Isenoide := "10111100";
when 308 => Isenoide := "10111011";
when 309 => Isenoide := "10111010";
when 310 => Isenoide := "10111000";
when 311 => Isenoide := "10110111";
when 312 => Isenoide := "10110101";
when 313 => Isenoide := "10110100";
when 314 => Isenoide := "10110011";
when 315 => Isenoide := "10110001";
when 316 => Isenoide := "10110000";
when 317 => Isenoide := "10101111";
when 318 => Isenoide := "10101101";
when 319 => Isenoide := "10101100";
when 320 => Isenoide := "10101010";
when 321 => Isenoide := "10101001";
when 322 => Isenoide := "10100111";
when 323 => Isenoide := "10100110";
when 324 => Isenoide := "10100101";
when 325 => Isenoide := "10100011";
when 326 => Isenoide := "10100010";
when 327 => Isenoide := "10100000";
when 328 => Isenoide := "10011111";
when 329 => Isenoide := "10011101";
when 330 => Isenoide := "10011100";
when 331 => Isenoide := "10011010";
when 332 => Isenoide := "10011000";
when 333 => Isenoide := "10010111";
when 334 => Isenoide := "10010101";
when 335 => Isenoide := "10010100";
when 336 => Isenoide := "10010010";
when 337 => Isenoide := "10010001";
when 338 => Isenoide := "10001111";
when 339 => Isenoide := "10001101";
when 340 => Isenoide := "10001100";
when 341 => Isenoide := "10001010";
when 342 => Isenoide := "10001001";
when 343 => Isenoide := "10000111";
when 344 => Isenoide := "10000101";
when 345 => Isenoide := "10000100";
when 346 => Isenoide := "10000010";
when 347 => Isenoide := "10000000";
when 348 => Isenoide := "01111111";
```

```
when 349 => Isenoide := "011111101";
when 350 => Isenoide := "011111011";
when 351 => Isenoide := "011111010";
when 352 => Isenoide := "011111000";
when 353 => Isenoide := "011110110";
when 354 => Isenoide := "011110101";
when 355 => Isenoide := "011110011";
when 356 => Isenoide := "011110001";
when 357 => Isenoide := "011101111";
when 358 => Isenoide := "011101110";
when 359 => Isenoide := "011101100";
when 360 => Isenoide := "011101010";
when 361 => Isenoide := "011101000";
when 362 => Isenoide := "011100111";
when 363 => Isenoide := "011100101";
when 364 => Isenoide := "011100011";
when 365 => Isenoide := "011100001";
when 366 => Isenoide := "011100000";
when 367 => Isenoide := "010111110";
when 368 => Isenoide := "010111100";
when 369 => Isenoide := "010111010";
when 370 => Isenoide := "010111000";
when 371 => Isenoide := "010110111";
when 372 => Isenoide := "010110101";
when 373 => Isenoide := "010110011";
when 374 => Isenoide := "010110001";
when 375 => Isenoide := "010011111";
when 376 => Isenoide := "010011101";
when 377 => Isenoide := "010011100";
when 378 => Isenoide := "010011010";
when 379 => Isenoide := "010011000";
when 380 => Isenoide := "010001110";
when 381 => Isenoide := "010001100";
when 382 => Isenoide := "010001010";
when 383 => Isenoide := "010001001";
when 384 => Isenoide := "001111111";
when 385 => Isenoide := "001111101";
when 386 => Isenoide := "001111011";
when 387 => Isenoide := "001111001";
when 388 => Isenoide := "001110111";
when 389 => Isenoide := "001110101";
when 390 => Isenoide := "001110011";
when 391 => Isenoide := "001110010";
when 392 => Isenoide := "001110000";
when 393 => Isenoide := "001101110";
when 394 => Isenoide := "001101100";
when 395 => Isenoide := "001101010";
when 396 => Isenoide := "001101000";
when 397 => Isenoide := "001100110";
when 398 => Isenoide := "001100100";
when 399 => Isenoide := "001100010";
when 400 => Isenoide := "001100000";
when 401 => Isenoide := "000111111";
when 402 => Isenoide := "000111101";
when 403 => Isenoide := "000111011";
when 404 => Isenoide := "000111001";
when 405 => Isenoide := "000110111";
when 406 => Isenoide := "000110101";
when 407 => Isenoide := "000110011";
when 408 => Isenoide := "000110001";
when 409 => Isenoide := "000111111";
```

```

when 410 => Isenoide := "00001101";
when 411 => Isenoide := "00001011";
when 412 => Isenoide := "00001001";
when 413 => Isenoide := "00001000";
when 414 => Isenoide := "00000110";
when 415 => Isenoide := "00000100";

        End case;
        SenoideGerada <= Isenoide;
    end if;
end if;
end process;
end Behavioral;

```

B.7 – Componente Proteções_Referência

Tabela B.7: Código VHDL com a descrição comportamental do componente Proteções

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity protecao is
    port(PulsoGate: in std_logic:= '0';
         Clk: in std_logic:= '0';
         Dout: in std_logic_vector (9 downto 0):="0000000000";
         ILS: in std_logic_vector (9 downto 0):="0000000000";
         EnablePulso: out std_logic:= '0';
         RefVout: out std_logic_vector (9 downto 0));
end protecao;

architecture Behavioral of protecao is

    type estados2 is (Espera, Contagem, Mantem);
    Signal Maquina2: estados2 := Espera;

    Signal Clock_10ms: std_logic:= '0';
    Signal RefVoutSignal: std_logic_vector (9 downto 0):="0000000000";

begin

    Process (Clk)

    begin

        if (Clk'event and Clk = '1') then

            if (Dout > "1110011001") or (ILs > "1111001100") then
                EnablePulso <= '0';
            else
                EnablePulso <= PulsoGate;
            end if;

        end if;

    end process;

Begin

```

```

Cria_Clock_10ms: Process (clk)
variable count1: integer range 0 to 499999:=0;
begin

    if (clk'event and clk='1') then
        if (count1 = 499999) then
            count1 := 0;
        else
            count1:=count1+1;
        end if;

        if count1 < 250000 then
            Clock_10ms <= '0' ;
        else
            Clock_10ms <= '1';
        end if;

    end if;

end process;
Criando_referencia_Vout: Process (Clock_10ms)
begin

    if (Clock_10ms'event and Clock_10ms='1') then

        RefVoutSignal <= "1001000100";
        if Pushbutton3 ='0' then
            Maquina2 <= Espera;
        end if;

        Case Maquina2 is

        When Espera =>

            RefVoutSignal <= "1001000100";

            if ( Pushbutton3 ='1' and SinalSincronismo ='1') then
                Maquina2 <= Contagem;
            end if;

        When Contagem =>

            if RefVoutSignal = "1100110010" then
                Maquina2 <= Mantem;
            else
                RefVoutSignal <= RefVoutSignal + "0000000001";
            end if;

        When Mantem =>
            RefVoutSignal <= "1100110010";
        When others =>
            Maquina2 <= Espera;
        end case;

        RefVout <= RefVoutSignal;
    End if;

End process;
End Behavioral;

```

B.8 – Componente Gerenciador

Tabela B.8: Código VHDL com a descrição comportamental do componente Gerenciador

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Gerencia is
    Port( Gerclk: in std_logic;
          GerSinalSincronismo: in std_logic;
          GerPushbutton: in std_logic;
          GerAlteraDado: in std_logic_vector (1 downto 0);
          GerEnableSW1: in std_logic;
          GerConvst: out std_logic;
          GerSclk: out std_logic;
          GerDout: in std_logic;
          GerConvst1: out std_logic;
          GerSclk1: out std_logic;
          GerDout1: in std_logic;
          GerAtivaMux: out std_logic;
          GerMudaCanal: out std_logic;
          GerAtaqueGate: out std_logic;
          GerSeteseg: out std_logic_vector (6 downto 0);
          GerPonto: out std_logic;
          GerEnabledisplay1: out std_logic;
          GerEnabledisplay2: out std_logic;
          GerEnabledisplay3: out std_logic;
          GerEnabledisplay4: out std_logic
        );
end Gerencia;
architecture Behavioral of Gerencia is

Component AD7810
    Port(Pushbutton: in std_logic:='0';
          Clk: in std_logic:='0';
          Dout:in std_logic:='0';
          ILs:out std_logic_vector (9 downto 0):="0000000000";
          Convst,Sclk: out std_logic:='0';
          SinalSincronismoAquis: in std_logic :='0');
end Component;

Component AD_Vout_Vin
    Port(Pushbutton: in std_logic:='0';
          Clk: in std_logic:='0';
          Dout1:in std_logic:='0';
          Vin: Out std_logic_vector (9 downto 0):="0000000000";
          Vout: Out std_logic_vector (9 downto 0):="0000000000";
          ControleMux: out std_logic:='0';
          Convst1,Sclk1: out std_logic:='0';
          SinalSincronismoAquis: in std_logic :='0');
end Component;

Component Mux
    Port(ControleMux: In Std_logic:='0';
          AtivaMux:      Out Std_logic:='0';
          MudaCanal:    Out Std_logic:='0');

```

```

end Component;

Component GeraSenoide
  Port (Clk: in std_logic := '0';
        Pushbutton: in std_logic := '0';
        SinalSincronismo: in std_logic := '0';
        SenoideGerada: out std_logic_vector (7 downto 0) := "00000000";
        SinalSincronismoAquis: out std_logic := '0');
end Component;

Component protecao
  Port(PulsoGate: in std_logic := '0';
        Clk: in std_logic := '0';
        Vout: in std_logic_vector (9 downto 0) := "0000000000";
        ILs: in std_logic_vector (9 downto 0) := "0000000000";
        EnablePulso: out std_logic := '0');
end Component;

Component Selecciona_ILs_Vout_VIn is

  Port(ILs: In Std_logic_vector (9 downto 0) := "0000000000";
        Vout: In Std_logic_vector (9 downto 0) := "0000000000";
        Vin: In Std_logic_vector (9 downto 0) := "0000000000";
        DaDo: Out Std_logic_vector (9 downto 0) := "0000000000";
        Clk: In Std_logic := '0';
        Enable_SW1: In Std_logic := '0';
        AlteraDaDo: In std_logic_vector (1 downto 0));

end Component;

Component binbcd is
  port(Dado: in std_logic_vector (9 downto 0);
        Clk: in std_logic;
        Enable_SW1: in std_logic := '0';
        Display1, Display2: out std_logic_vector (3 downto 0);
        Display3, Display4: out std_logic_vector (3 downto 0));
end Component;

Component BDC7seg
  port (Display1, Display2: in std_logic_vector (3 downto 0);
        Display3, Display4: in std_logic_vector (3 downto 0);
        Clk: in std_logic;
        Ponto: out std_logic := '1';
        Enable_display1, Enable_display2: out std_logic := '1';
        Enable_display3, Enable_display4: out std_logic := '1';
        Sete_segmentos: out std_logic_vector (6 downto 0));
end Component;

attribute box_type : string;
component conversor_pto_fixo_blocos_xilinx_completo_clk_wrapper is
  port (
    ce: in std_logic := '1';
    clk: in std_logic := '0';
    Vout: in std_logic_vector(9 downto 0) := "0000000000";
    Vin : in std_logic_vector(9 downto 0) := "0000000000";
    ILs : in std_logic_vector(9 downto 0) := "0000000000";
    SenoideGerada: in std_logic_vector (7 downto 0) := "00000000";
    AtaqueGate: out std_logic := '0');
end component;
attribute box_type of
conversor_pto_fixo_blocos_xilinx_completo_clk_wrapper: component is

```

```

"black_box";

Signal Signal_SincronismoAquis: std_logic;
Signal Signal_ILs: std_logic_vector (9 downto 0);
Signal Signal_Vin: std_logic_vector (9 downto 0);
Signal Signal_Vout: std_logic_vector (9 downto 0);
Signal Signal_SenoideGerada: std_logic_vector (7 downto 0);
Signal Signal_AtaqueGate: std_logic;
Signal Signal_ControlMux: std_logic;
Signal Signal_Dado: std_logic_vector (9 downto 0);
Signal Signal_Display1: std_logic_vector (3 downto 0);
Signal Signal_Display2: std_logic_vector (3 downto 0);
Signal Signal_Display3: std_logic_vector (3 downto 0);
Signal Signal_Display4: std_logic_vector (3 downto 0);

begin

Inst_AD7810: AD7810 port map

(
  Pushbutton => GerPushbutton, --in
  Clk => GerClk, --in
  Dout => GerDout, --in
  ILs => Signal_ILs, --interno (out)
  Convst => GerConvst, --in
  Sclk => GerSclk, --in
  SinalSincronismoAquis => Signal_SincronismoAquis --interno (in)
);

Inst_AD_Vout_Vin: AD_Vout_Vin port map
(
  Pushbutton => GerPushbutton, --in
  Clk => GerClk, --in
  Dout1 => GerDout1, --in
  Vin => Signal_Vin, -- interno (out)
  Vout => Signal_Vout, -- interno (out)
  ControlMux => Signal_ControlMux, --interno (out)
  Convst1 => GerConvst1, -- in
  Sclk1 => GerSclk1, -- in
  SinalSincronismoAquis => Signal_SincronismoAquis --interno (in)
);

Inst_MUX: Mux port map
(
  ControlMux => Signal_ControlMux , --interno (in)
  AtivaMux => GerAtivaMux , -- out
  MudaCanal => GerMudaCanal --out
);

Inst_GeraSenoide: GeraSenoide port map
(
  Clk => GerClk, --in
  Pushbutton => GerPushbutton, --in
  SinalSincronismo => GerSinalSincronismo, --in
  SenoideGerada => Signal_SenoideGerada, --interno (out)
  SinalSincronismoAquis => Signal_SincronismoAquis --interno (out)
);

Inst_protecao: protecao port map
(
  PulsoGate => Signal_AtaqueGate, --in (interno)

```

Livros Grátis

(<http://www.livrosgratis.com.br>)

Milhares de Livros para Download:

[Baixar livros de Administração](#)

[Baixar livros de Agronomia](#)

[Baixar livros de Arquitetura](#)

[Baixar livros de Artes](#)

[Baixar livros de Astronomia](#)

[Baixar livros de Biologia Geral](#)

[Baixar livros de Ciência da Computação](#)

[Baixar livros de Ciência da Informação](#)

[Baixar livros de Ciência Política](#)

[Baixar livros de Ciências da Saúde](#)

[Baixar livros de Comunicação](#)

[Baixar livros do Conselho Nacional de Educação - CNE](#)

[Baixar livros de Defesa civil](#)

[Baixar livros de Direito](#)

[Baixar livros de Direitos humanos](#)

[Baixar livros de Economia](#)

[Baixar livros de Economia Doméstica](#)

[Baixar livros de Educação](#)

[Baixar livros de Educação - Trânsito](#)

[Baixar livros de Educação Física](#)

[Baixar livros de Engenharia Aeroespacial](#)

[Baixar livros de Farmácia](#)

[Baixar livros de Filosofia](#)

[Baixar livros de Física](#)

[Baixar livros de Geociências](#)

[Baixar livros de Geografia](#)

[Baixar livros de História](#)

[Baixar livros de Línguas](#)

[Baixar livros de Literatura](#)
[Baixar livros de Literatura de Cordel](#)
[Baixar livros de Literatura Infantil](#)
[Baixar livros de Matemática](#)
[Baixar livros de Medicina](#)
[Baixar livros de Medicina Veterinária](#)
[Baixar livros de Meio Ambiente](#)
[Baixar livros de Meteorologia](#)
[Baixar Monografias e TCC](#)
[Baixar livros Multidisciplinar](#)
[Baixar livros de Música](#)
[Baixar livros de Psicologia](#)
[Baixar livros de Química](#)
[Baixar livros de Saúde Coletiva](#)
[Baixar livros de Serviço Social](#)
[Baixar livros de Sociologia](#)
[Baixar livros de Teologia](#)
[Baixar livros de Trabalho](#)
[Baixar livros de Turismo](#)