

**UNESP**

**UNIVERSIDADE ESTADUAL PAULISTA**

**CAMPUS DE ILHA SOLTEIRA**

**PROGRAMA DE PÓS-GRADUAÇÃO**

**EM ENGENHARIA ELÉTRICA**

**“Pré-Regulador Retificador Entrelaçado (Interleaved)  
ZCS-FM Boost, com Controle Digital Através de  
Dispositivo FPGA e Linguagem VHDL”**

**Flávio Alessandro Serrão Gonçalves**

**Orientador**

**Prof. Dr. Carlos Alberto Canesin**

Tese submetida à Faculdade de  
Engenharia de Ilha Solteira – FEIS –  
UNESP como parte dos requisitos  
exigidos para a obtenção do título de  
**DOCTOR EM ENGENHARIA  
ELÉTRICA.**

**Ilha Solteira (SP), Outubro de 2005.**

# **Livros Grátis**

<http://www.livrosgratis.com.br>

Milhares de livros grátis para download.

## FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação/Serviço Técnico de Biblioteca e Documentação da UNESP-Ilha Solteira

G635p      Gonçalves, Flávio Alessandro Serrão.  
Pré-regulador retificador entrelaçado (Interleaved) ZCS-FM boost, com controle digital através de dispositivo FPGA e linguagem VHDL / Flávio Alessandro Serrão Gonçalves. – Ilha Solteira : [s.n.], 2005  
xxxiii, 242 p. : il. (algumas color.)

Tese (doutorado) – Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira, 2005

Orientador: Carlos Alberto Canesin  
Bibliografia: p. 197-203

1. Conversores de corrente elétrica. 2. Eletrônica de potência. 3. Fator de potência. 4. Retificadores de semicondutores. 5. Sistemas de controle digital.



**UNIVERSIDADE ESTADUAL PAULISTA**  
**CAMPUS DE ILHA SOLTEIRA**  
**FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA**

### **CERTIFICADO DE APROVAÇÃO**

**TÍTULO:** Pré-Regulador Retificador Entrelaçado (Interleaved) ZCS-FM Boost, com Controle Digital Através de Dispositivo FPGA e Linguagem VHDL

**AUTOR:** FLAVIO ALESSANDRO SERRAO GONCALVES

**ORIENTADOR:** Prof. Dr. CARLOS ALBERTO CANESIN

Aprovado como parte das exigências para obtenção do Título de DOUTOR em ENGENHARIA ELÉTRICA pela Comissão Examinadora:

Prof. Dr. CARLOS ALBERTO CANESIN  
DEE - FE - UNESP/ILHA SOLTEIRA/SP

Prof. Dr. FALCONDES JOSE MENDES DE SEIXAS  
DEE - FE - UNESP/ILHA SOLTEIRA/SP

Prof. Dr. ERNANE ANTÔNIO ALVES COELHO  
DEE - UNIVERSIDADE FEDERAL DE UBERLÂNDIA - UFU - UBERLÂNDIA/MG

Prof. Dr. LUIZ CARLOS DE FREITAS  
DEE - UNIVERSIDADE FEDERAL DE UBERLÂNDIA - UFU - UBERLÂNDIA/MG

Prof. Dr. FABIO TOSHIKI WAKABAYASHI  
DEE - FE - UNESP/ILHA SOLTEIRA/SP

Data da realização: 27 de outubro de 2005.

---

Presidente da Comissão Examinadora  
Prof. Dr. CARLOS ALBERTO CANESIN



*À Deus.*

*Aos meus pais Jayr Gonçalves e Maria  
de Fátima, à minha esposa Leuse e `a minha  
filha Emanuele.*

## **Agradecimentos**

À UNESP – Universidade Estadual Paulista, Campus de Ilha Solteira.

À FAPESP (Fundação de Amparo à Pesquisa do Estado de São Paulo) pelo apoio financeiro concedido a esta pesquisa, tornando possível o desenvolvimento do projeto.

Ao professor Carlos Alberto Canesin que transmitiu seus conhecimentos através de sua orientação sólida e constante, e por sua amizade que me incentivou ao longo desses anos de convívio.

À minha família, Leuse O. Silva e Emanuele O. S. Gonçalves e meus pais Jayr Gonçalves e Maria de Fátima pelo carinho, compreensão, apoio e incentivo durante todos os momentos desta jornada.

Ao professor Fábio Toshiaki Wakabayashi, amigo sincero, que contribuiu plenamente para a concretização deste trabalho.

Aos professores Falcondes José Mendes de Seixas, José Carlos Rossi e Luís Carlos Origa de Oliveira que participaram diretamente na minha formação técnica e pelo contínuo incentivo à busca de meus objetivos.

Aos professores Luiz Carlos de Freitas e Ernane Antônio Alves Coelho por suas participações em minha Banca Examinadora de Defesa de Doutorado, e ao professor Alexandre César Rodrigues da Silva por sua participação em minha Banca Examinadora de Defesa de Qualificação Doutorado, por suas valiosas contribuições para o aprimoramento deste trabalho.

Aos amigos do curso de pós-graduação Fausto Donizeti Dantas, Rodrigo Alessandro Nunes de Oliveira, Jurandir de Oliveira Soares, Guilherme Melo e Eduardo Leandro por suas presenças marcantes no decorrer do curso.

Aos funcionários do Departamento de Engenharia Elétrica – FEIS – UNESP Deoclécio Mitsuiti Kosaka e José Roberto Campos pelo suporte técnico prestado.

Ao funcionário do Laboratório de Engenharia Elétrica Valdemir Chaves por sua disposição e pelos préstimos realizados quando da implementação laboratorial do projeto.

À funcionária da Seção de Pós-Graduação Maria de Fátima Sabino pelo excelente trabalho desenvolvido.

## Resumo

Este trabalho apresenta a análise, projeto e implementação de um pré-regulador retificador boost formado por células de potência entrelaçadas (“*interleaving*”), empregando técnicas de comutação não dissipativa, operando no modo de condução crítica, e controlado por dispositivo FPGA (*Field Programmable Gate Array*).

Células de comutação não dissipativa com corrente nula (ZCS – *Zero Current Switching*) são utilizadas para proporcionar condições para minimização das perdas durante a entrada em condução e bloqueio dos interruptores e dos diodos boost. As células de comutação não dissipativa do tipo ZCS operam na região de fronteira entre os modos de condução contínua e descontínua, denominado como modo de condução crítica, eliminando-se as desvantagens relacionadas com os efeitos da recuperação reversa dos diodos boost operando no modo de condução contínua, especificamente, perdas adicionais (devidas à recuperação reversa) e problemas de interferências eletromagnéticas (*EMI – Electromagnetic Interference*).

Adicionalmente, devido à técnica de “*interleaving*”, as principais vantagens apresentadas pelo retificador incluem a redução da amplitude do “*ripple*” da corrente de entrada, a redução da amplitude do “*ripple*” de alta frequência da tensão de saída, a possibilidade da utilização de semicondutores que apresentem menores capacidades de corrente e tensão, reduzido volume do filtro de EMI requerido, elevado fator de potência e reduzida distorção harmônica total (DHT) na corrente de entrada, em conformidade com a norma IEC61000-3-2.

O controle digital foi desenvolvido empregando linguagem de descrição de hardware (*VHDL - Hardware Description Language*) e implementada utilizando o dispositivo FPGA XC2S200E-SpartanII-E/Xilinx.

As análises teóricas, a modelagem para as técnicas digitais, as metodologias de projeto e exemplos são apresentadas. Protótipos laboratoriais foram implementados com o intuito de se verificar a validade da estrutura proposta. Adicionalmente, os resultados experimentais são obtidos para a estrutura pré-reguladora formada por duas e por quatro células em “*interleaving*”, processando 1kW e 2kW, respectivamente.

## Abstract

This work presents the analysis, design and implementation of a single-phase high power factor boost rectifier composed of power cells in interleave connection, operating in critical conduction mode, employing a soft-switching technique, and controlled by a Field Programmable Gate Array (FPGA) device.

Zero-Current-Switching (ZCS) cells are used to provide conditions for non-dissipative commutations during the switches' and boost diodes' turn-on and turn-off. The ZCS cells operate at the boundary of continuous and discontinuous modes, designated as critical conduction mode, eliminating the disadvantages related to reverse recovery effects of boost diodes operated in continuous conduction mode, namely: additional losses, and electromagnetic interference (EMI) problems.

In addition, due to the interleaving technique, the rectifier's features include the reduction in the input current ripple, the reduction in the output voltage high-frequency ripple, and the use of semiconductor devices with lower breakdown voltages and forward currents, low volume for the EMI input filter, high input power factor, and low total harmonic distortion (THD) in the input current, in compliance with the IEC61000-3-2 standards.

The digital controller has been developed using a hardware description language (VHDL) and implemented using the XC2S200E-SpartanII-E/Xilinx FPGA device.

Theoretical analyses, modeling for digital control, design methodologies and examples are presented. Laboratorial prototypes were implemented in order to provide the validation of proposed converter. Additionally, the experimental results are obtained from prototypes composed of two and four interleaved cells, rated at 1kW and 2kW, respectively.

## LISTA DE FIGURAS

### CAPÍTULO 2

Figura 2.1 – Associação série de conversores CC/CC: (a) Duplo buck, (b) Duplo boost.....	5
Figura 2.2 – Associação em paralelo de conversores CC/CC: (a) Buck em paralelo e (b) Boost em paralelo .....	5
Figura 2.3 – Entrelaçamento de duas células de topologia boost PWM .....	6
Figura 2.4 – “Ripple” das formas de onda do conversor duplo boost.....	7
Figura 2.5 – Arranjos de células de comutação.....	8
Figura 2.6 – Associação de células de comutação.....	9

### CAPÍTULO 3

Figura 3.1 – Células de comutação ZCS-PWM .....	10
Figura 3.2 – Circuito básico do conversor CC/CC Boost ZCS-FM Interleaved .....	11
Figura 3.3 - Etapas de funcionamento referentes à uma célula genérica do conjunto em “interleaving” .....	13
Figura 3.4 - Principais formas de onda teóricas, para uma célula genérica da estrutura Boost ZCS analisada, durante um período de funcionamento genérico .....	14
Figura 3.5 - Principais formas de onda teóricas dos esforços nos semicondutores, para uma célula genérica da estrutura Boost ZCS analisada, durante um período de funcionamento genérico.....	15
Figura 3.6 – Primeira etapa de funcionamento.....	16
Figura 3.7 – Circuito equivalente da primeira etapa .....	16
Figura 3.8 – Segunda etapa de funcionamento.....	18

Figura 3.9 – Circuito equivalente da segunda tapa.....	18
Figura 3.10 – Terceira etapa de funcionamento .....	19
Figura 3.11 – Circuito equivalente da terceira etapa .....	19
Figura 3.12 – Fluxograma ilustrando a resolução do sistema não-linear baseado no Método de Newton-Rapson .....	21
Figura 3.13 – Quarta etapa de funcionamento.....	21
Figura 3.14 – Circuito equivalente da quarta etapa.....	21
Figura 3.15 – Quinta etapa de funcionamento.....	22
Figura 3.16 – Circuito equivalente da quinta etapa.....	22
Figura 3.17 – Sexta etapa de funcionamento.....	25
Figura 3.18 – Circuito equivalente da sexta etapa.....	25
Figura 3.19 – Sétima etapa de funcionamento .....	26
Figura 3.20 – Circuito equivalente da sétima etapa.....	26
Figura 3.21 – Oitava etapa de funcionamento.....	27
Figura 3.22 – Circuito equivalente da oitava etapa .....	27
Figura 3.23 – Resultados da inequação 3.37, tomando-se $q=1.81$ .....	29
Figura 3.24 – Corrente de carga normalizada ( $\alpha$ ), em função do ganho estático ( $q$ ), tomando-se $D$ como parâmetro e: $\beta_1 = 0,7$ , $\beta_2 = 15$ , $f=0,671$ e $f_s= 50\text{kHz}$ .....	33
Figura 3.25 – Corrente de carga normalizada ( $\alpha$ ) em função do ganho estático ( $q$ ) e da relação de frequências ( $f$ ), em 3 Dimensões, tomando-se $D$ como parâmetro e $\beta_1 = 0,7$ , $\beta_2 = 15$ , $f_s= 50\text{kHz}$ .....	33
Figura 3.26 – Valor máximo negativo para a corrente através do indutor ressonante $L_{r2}$ , função de $\beta_1$ e $\beta_2$ , tomando-se ganho estático $q$ igual a 1.81 .....	35
Figura 3.27 – Relação entre a corrente de carga normalizada ( $\alpha$ ) e a relação de frequências ( $f$ ), tomando-se $q$ como parâmetro e $\beta_1 = 0,7$ , $\beta_2 = 15$ , $f_s=$ $50\text{kHz}$ .....	36

Figura 3.28 – Amplitude do “ripple” da corrente de entrada normalizada, em função da defasagem angular entre as células, tomando-se o número de células utilizadas como parâmetro .....	39
Figura 3.29 – Forma de onda do “ripple” da corrente de entrada durante um período de chaveamento genérico, tomando-se o número de células utilizadas (n) como parâmetro .....	39
Figura 3.30 – Formas de onda teórica, em uma célula genérica durante um período de chaveamento genérico, utilizando os parâmetros especificados de projeto.....	42
Figura 3.31 – Formas de onda teórica do plano de fase, referente a uma célula genérica durante um período de chaveamento genérico, empregando os parâmetros especificados no projeto.....	42
Figura 3.32 - Diagrama esquemático do circuito simulado.....	44
Figura 3.33 - Corrente através dos indutores $L_{in}$ , $L_{r1}$ e $L_{r2}$ .....	44
Figura 3.34 - Tensão e corrente através do interruptor principal $S_p$ .....	45
Figura 3.35 - Tensão e corrente através do interruptor auxiliar $S_a$ .....	45
Figura 3.36 - Tensão e corrente através do diodo $D_1$ .....	46
Figura 3.37 - Tensão e corrente através do diodo $D_2$ .....	46
Figura 3.38 - Tensão sobre o capacitor ressonante $C_r$ .....	46
Figura 3.39 -Potência de Saída $P_{O-1}$ e tensão de saída $V_O$ , para a carga nominal .....	47
Figura 3.40 - Diagrama esquemático do circuito em “interleaving” simulado, com duas células .....	47
Figura 3.41 - Correntes através dos indutores boost de cada célula, e de entrada drenada da fonte .....	48
Figura 3.42 - Potência de Saída ( $P_O$ ) e tensão de saída ( $V_O$ ), para a carga nominal, na configuração entrelaçada com duas células .....	48
Figura 3.43 - Circuito esquemático e forma de onda através do indutor de entrada $I_{in}$ .....	50
Figura 3.44 - Diagrama de blocos do sistema de controle realimentado.....	58

## CAPÍTULO 4

Figura 4.1 – Pré-regulador retificador CA/CC Boost ZCS-FM Interleaved, com duas células de comutação ZCS genéricas.....	62
Figura 4.2 - Formas de Onda da Corrente e Tensão de Entrada Para o Pré-Regulador Retificador Boost ZCS-FM, durante meio período da forma de onda de tensão de entrada, considerando-se apenas uma célula de comutação em operação .....	63
Figura 4.3 – Formas de onda da corrente através do indutor $L_{in}$ , durante alguns períodos de funcionamento, em duas situações de $V_{in}$ , considerando-se apenas uma célula de comutação em operação.....	64
Figura 4.4 – Pré-regulador Retificador CA/CC Boost ZCS-FM Interleaving, com duas células .....	65
Figura 4.5 – Formas de onda de corrente e tensão de entrada para o pré-regulador CA/CC Boost ZCS-FM Interleaved, durante um período da rede de CA e para carga nominal.....	65
Figura 4.6 - Espectro harmônico da corrente de entrada, para carga nominal .....	66
Figura 4.7 – Amplitudes das componentes harmônicas da corrente de entrada e os limites impostos pela IEC 61000-3-2, Classe A .....	66
Figura 4.8 – Formas de Onda da corrente de entrada retificada e das correntes através dos indutores boost, em cada célula de comutação, durante alguns períodos de chaveamento (duas células em “interleaving”) .....	67
Figura 4.9 – Formas de onda das correntes através dos indutores na célula de comutação 1, durante um período da rede de CA e carga nominal.....	67
Figura 4.10 – Detalhes das comutações nos interruptores principal $S_{p-1}$ e auxiliar $S_{a-1}$ da célula de comutação 1, quando a tensão de entrada está próxima de seu valor de pico.....	68
Figura 4.11 – Detalhes das comutações nos interruptores principal $S_{p-1}$ e auxiliar $S_{a-1}$ da célula de comutação 1, quando a tensão de entrada está próxima do zero .....	68



Figura 4.12 – Formas de onda das correntes através dos diodos da célula de comutação 1, durante um período de rede de CA, para carga nominal.....	69
Figura 4.13 – Detalhe das formas de onda das correntes através dos diodos da célula de comutação 1, durante um período de chaveamento .....	69

## CAPÍTULO 5

Figura 5.1 – Esquema simplificado da arquitetura de um dispositivo PLA .....	73
Figura 5.2 – Esquema simplificado da arquitetura de um dispositivo PAL .....	74
Figura 5.3 – Diagrama simplificado da arquitetura de um dispositivo CPLD .....	76
Figura 5.4 – Representação genérica dos elementos básicos presentes em uma arquitetura do tipo matriz simétrica de um dispositivo FPGA .....	77
Figura 5.5 – Estruturas das arquiteturas internas simplificadas dos dispositivos FPGAs.....	78
Figura 5.6 – Exemplo de uma LUT com seis combinações possíveis e quatro entradas .....	79
Figura 5.7 – Diagrama de blocos básico da arquitetura de FPGAs da família Spartan-IIE .....	82
Figura 5.8 – Diagrama esquemático simplificado do Bloco de E/S (IOB) do FPGA da família Spartan-IIE .....	83
Figura 5.9 – Distribuições dos bancos de E/S na área física do dispositivo .....	86
Figura 5.10 – Célula lógica básica do FPGA Spartan-IIE contendo duas “slices” idênticas .....	88
Figura 5.11 – Multiplexadores F5 e F6 nos CLBs .....	89
Figura 5.12 - Diagrama de Bloco do DLL.....	93

## CAPÍTULO 6

Figura 6.1 – Representação gráfica de domínios e níveis de abstração .....	100
Figura 6.2 – Representações do mesmo componente em diferentes domínios .....	101
Figura 6.3 – Etapas envolvidas nas metodologias “bottom-up” e “top-down” .....	103

Figura 6.4 - Desempenho e precisão dos resultados do Simulador em função do nível de abstração .....	106
--	-----

## CAPÍTULO 7

Figura 7.1 – Principais configurações utilizadas na ferramenta de síntese. ....	114
Figura 7.2 – Diagrama Básico do Controle Digital.....	116
Figura 7.3 – Formas de Onda Utilizadas na Metodologia de Detecção de Zero Analógica.....	118
Figura 7.4 – Problemas relacionados com a atuação dos controles de fase e de detecção de zero.....	120
Figura 7.5- Técnica de controle de fase de operação baseada no sinal de comando do interruptor principal da célula de potência adotada como referência, geração dos sinais de referência.....	123
Figura 7.6- Técnica de controle de fase baseada no sinal de comando do interruptor auxiliar da célula de potência adotada como referência, geração dos sinais de referência.....	124
Figura 7.7 – Resultado de simulação da descrição VHDL do componente AQUISIÇÃO_4.....	129
Figura 7.8 – Diagrama de composição dos sinais de controle e estados de operação.....	130
Figura 7.9 – Resultado de simulação da descrição VHDL do componente MAIN.....	133
Figura 7.10 – Resultado de simulação da descrição VHDL do componente PERIODO.....	138
Figura 7.11 – Resultado de simulação da descrição VHDL do componente PERIODO, detalhe dos sinais de controle envolvidos no modelo.....	138
Figura 7.12 – Resultado de simulação da descrição VHDL do componente PERIODO_CTRL.....	140
Figura 7.13 – Resultado de simulação da descrição VHDL do componente PERIODO_CTRL, detalhe dos sinais de controle.....	140
Figura 7.14 – Realização direta de filtros digitais do tipo IIR... ..	142

Figura 7.15 – Realização direta de filtros digitais do tipo IIR empregando núcleos parametrizáveis.l.....	142
Figura 7.16 – Realização direta de filtro digital passa-baixa do tipo FIR empregando núcleos parametrizáveis.....	144
Figura 7.17 – Resultado de simulação da descrição VHDL do componente CRITICO4CEL.....	147
Figura 7.18 – Resultado de simulação da descrição VHDL do componente CRITICO4CEL.....	148

## CAPÍTULO 8

Figura 8.1 – Identificação das variáveis $A_e$ , $W_A$ , $A_w$ e $I_g$ em um núcleo do tipo EE.....	152
Figura 8.2 - Circuito térmico equivalente do conversor Boost ZCS “Interleaved”, utilizando duas células de comutação.....	159
Figura 8.3 – Detalhes do perfil do dissipador utilizado para acomodar os semicondutores .....	161
Figura 8.4 – Diagrama de blocos do circuito de controle e suas ligações ao estágio de potência.....	162
Figura 8.5 – Tensão de saída em função da corrente no enrolamento primário.....	164
Figura 8.6 – Processo de conversão ADS2807 em termos de seus sinais de controle.....	166
Figura 8.7 – Processo de conversão AD7810 em termos de seus sinais de controle .....	168
Figura 8.8 – Circuito esquemático de um módulo do estágio de condicionamento de sinal para os conversores A/D AD7823/7810.....	168
Figura 8.9 – Circuito esquemático de um módulo do estágio de condicionamento de sinal para os conversores A/D ADS2807 .....	169
Figura 8.10 – Formas de onda referentes aos sinais de entrada e saída do condicionador de sinais.....	170
Figura 8.11 – Circuito esquemático do estágio de acionamento dos interruptores .....	171

Figura 8.12 – Circuito esquemático do estágio de detecção de zero empregando a metodologia analógica .....	172
Figura 8.13 - Protótipo do conversor retificador Boost ZCS Interleaved, com duas células de comutação .....	173
Figura 8.14 - Protótipo do conversor retificador Boost ZCS Interleaved, com quatro células de comutação .....	173
Figura 8.15 – Detalhes das comutações nos interruptores principais $S_{p-i}$ : (a) das células de comutação 1 e 2, (b) das células de comutação 3 e 4 e (c) da célula de referência – maior detalhe.....	175
Figura 8.16 – Detalhes das comutações nos interruptores auxiliares $S_{a-i}$ : (a) das células de comutação 1 e 2, (b) das células de comutação 3 e 4 e (c) da célula de comutação 3 – maior detalhe .....	176
Figura 8.17 – Detalhes das correntes através dos indutores boost e dos diodos $D_{2-i}$ nas células de comutação 1 e 3 .....	177
Figura 8.18 – Detalhes das correntes através dos diodos $D_{2-i}$ nas quatro células de comutação .....	177
Figura 8.19 – Detalhes das correntes através dos diodos $D_{1-i}$ e $D_{2-i}$ das células de comutação 1 e 4 .....	178
Figura 8.20 – Detalhes das correntes através dos diodos $D_{1-i}$ e $D_{2-i}$ das células de comutação 2 e 3 .....	178
Figura 8.21 – Detalhe das correntes através dos diodos $D_{1-1}$ e $D_{2-1}$ da célula de comutação 1 .....	179
Figura 8.22 – Correntes de entrada $I_{in}$ e através dos indutores boost $L_{in-1}$ e $L_{in-2}$ das células de comutação 1 e 2, respectivamente.....	179
Figura 8.23 – Correntes de entrada $I_{in}$ e através dos indutores boost $L_{in-i}$ das células de comutação 1, 2 e 3 .....	180
Figura 8.24 – Correntes através dos indutores boost $L_{in-i}$ das quatro células de comutação .....	180
Figura 8.25 – Correntes através dos indutores ressonantes $L_{i2-i}$ das quatro células de comutação .....	181

Figura 8.26 – Detalhes da evolução da ressonância na célula de comutação 1.....	181
Figura 8.27 – Forma de onda da tensão de saída ( $V_O$ ), para 4 células de comutação operando com carga nominal.....	181
Figura 8.28 – Tensão e Corrente de entrada, para carga nominal .....	182
Figura 8.29 – Amplitudes das componentes harmônicas da corrente de entrada e os limites impostos pela norma IEC 61000-3-2, Classe A, para a operação com duas células de comutação .....	182
Figura 8.30 – Amplitudes das componentes harmônicas da corrente de entrada representadas em valor percentuais em relação a componente harmônica fundamental., para a operação com duas células de comutação .....	183
Figura 8.31 – Tensão e Corrente de entrada, para carga nominal .....	183
Figura 8.32 – Amplitudes das componentes harmônicas da corrente de entrada e os limites impostos pela norma IEC 61000-3-2, Classe A, para a operação com quatro células de comutação .....	184
Figura 8.33 – Amplitudes das componentes harmônicas da corrente de entrada representadas em valor percentuais em relação a componente harmônica fundamental., para a operação com duas células de comutação .....	184
Figura 8.34 – Tensão e corrente de entrada, para diferentes situações de carga considerando o conversor proposto operando com quatro células de comutação. ....	185
Figura 8.35 – Valor do fator de potência em função da variação de carga do conversor proposto operando com quatro células de comutação .....	186
Figura 8.36 – Valor do rendimento em função da variação de carga do conversor proposto operando com quatro células de comutação .....	186
Figura 8.37 – Detalhes das comutações nos interruptores principal $S_{p-1}$ e auxiliar $S_{a-1}$ da célula de comutação 1, quando a tensão de entrada está próxima de seu valor de pico.....	187
Figura 8.38 – Detalhes das comutações nos interruptores principal $S_{p-1}$ e auxiliar $S_{a-1}$ da célula de comutação 1, quando a tensão de entrada está próxima do zero ( $V_{in} \approx 30V$ ).....	187

Figura 8.39 – Evolução das formas de onda das comutações no interruptor principal $S_{p-3}$ da célula de comutação 3, durante meio período da rede de CA.....	187
Figura 8.40 – Evolução das formas de onda das comutações no interruptor auxiliar $S_{a-3}$ da célula de comutação 3, durante meio período da rede de CA.....	188
Figura 8.41 – Formas de onda das correntes através dos indutores ressonantes na célula de comutação 1, durante meio período da rede de CA e carga nominal.....	188
Figura 8.42 – Formas de onda das correntes através dos diodos $D_{1-2}$ e $D_{2-2}$ da célula de comutação 2, durante um período da rede de CA.....	189
Figura 8.43 – Formas de onda da corrente de entrada e das correntes através dos indutores boost em duas células de comutação, para carga nominal durante meio período da rede de CA .....	189
Figura 8.44 – Formas de onda do “ripple” da tensão de saída, para operação com duas e quatro células de comutação e carga nominal, durante um período da rede de CA .....	190
Figura 8.45 – Amplitudes das componentes harmônicas da tensão de saída representadas em valor percentuais em relação a componente harmônica fundamental, para a operação com duas e quatro células de comutação, operando em condições de carga nominal .....	190
Figura 8.46 – Formas de onda de tensão e corrente na carga em função de uma variação do tipo degrau na carga, considerando a operação com quatro células de comutação. ....	191

## LISTA DE TABELAS

### CAPÍTULO 3

Tabela 3.1 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	16
Tabela 3.2 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	18
Tabela 3.3 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	20
Tabela 3.4 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	22
Tabela 3.5 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	23
Tabela 3.6 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	25
Tabela 3.7 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	26
Tabela 3.8 – Condições iniciais das variáveis de estado e do estado dos semicondutores .....	28
Tabela 3.9 – Dados para o projeto .....	34
Tabela 3.10 – Tempos envolvidos no funcionamento da estrutura e ações de comutação dos semicondutores .....	41

## CAPÍTULO 5

Tabela 5.1 - Características das tecnologias empregadas nos interruptores configuráveis dos dispositivos lógicos programáveis .....	79
Tabela 5.2 – Padrões de sinais suportados pelos blocos de entrada e saída (IOB) .....	84
Tabela 5.3 – Padrões de Sinais Compatíveis em função de VCCO .....	87

## CAPÍTULO 6

Tabela 6.1 – Código fonte VHDL de um multiplexador descrito de maneira comportamental e estrutural.....	102
---	-----

## CAPÍTULO 7

Tabela 7.1 – Dados estatísticos com relação ao processo de síntese do componente AQUISIÇÃO_4 .....	127
Tabela 7.2 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação no circuito de descrição RTL da descrição comportamental. ....	128
Tabela 7.3 – Dados estatísticos estimados com o processo de síntese do componente MAIN.....	132
Tabela 7.4 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental. ....	132
Tabela 7.5 – Dados estatísticos estimados com o processo de síntese do componente.O.....	135
Tabela 7.6 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental .....	135
Tabela 7.7 – Dados estatísticos estimados com o processo de síntese do componente PERIODO. ....	137



Tabela 7.8 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental. ....	138
Tabela 7.12 – Dados estatísticos estimados com o processo de síntese do componente PERIODO_CTRL .....	139
Tabela 7.13 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental. ....	140
Tabela 7.14 – Coeficientes utilizados na implementação dos filtros digitais do tipo IIR. ....	143
Tabela 7.15 – Configuração aritmética de ponto fixo dos núcleos parametrizáveis utilizados na realização dos filtros digitais do tipo IIR.....	143
Tabela 7.16 – Coeficientes utilizados na implementação do filtro digital do tipo FIR.....	144
Tabela 7.17 – Dados estatísticos estimados com o processo de síntese P_CALC. ....	145
Tabela 7.18 – Dados estatísticos estimados com o processo de síntese co componente CRITICO4CEL. ....	146

## CAPÍTULO 8

Tabela 8.1 – Esforços de tensão e corrente nos interruptores ativos e passivos das células de comutação, obtidos através de simulação digital, e o semicondutor especificado em cada caso .....	150
Tabela 8.2 – Resumo dos cálculos efetuados para a especificação do indutor $L_{in}$ .....	154
Tabela 8.3 – Resumo dos cálculos efetuados para a especificação do indutor $L_{r1}$ .....	154
Tabela 8.4 – Resumo dos cálculos efetuados para a especificação do indutor $L_{r2}$ .....	155
Tabela 8.4a – Variação da intensidade da indutância e da resistência série dos indutores $L_{in-x}$ , em função de pontos discretos de frequência .....	156
Tabela 8.5 – Resumo dos resultados obtidos no cálculo térmico dos módulos 1 e 3.....	160
Tabela 8.6 – Resumo dos resultados obtidos no cálculo térmico dos módulos 2 e 4.....	160

Tabela 8.7 – Resumo dos resultados obtidos no cálculo térmico dos componentes discretos 1 a 4 .....	160
Tabela 8.8 – Configurações de operação do sensor de corrente LTS 15-NP .....	164
Tabela 8.9 – Resultados de rendimento, fator de potência e taxa de distorção harmônica da corrente de entrada e da tensão de entrada para diferentes situações de carga considerando a operação de quatro células de comutação. ....	185

# SIMBOLOGIA

## 1. SÍMBOLOS USADOS EM EXPRESSÕES MATEMÁTICAS

Símbolo	Significado	Unidade
$A_e$	Área efetiva da seção transversal do núcleo magnético;	$\text{mm}^2$
$\arccos$	Função trigonométrica arco co-seno	
$\arcsen$	Função trigonométrica arco seno	
$\arctan$	Função trigonométrica arco tangente	
$B_{\max}$	Indução Magnética Máxima	
$C_0$	Capacitor do filtro de saída	F
$\cos$	Função trigonométrica co-seno	
$C_r$	Capacitor ressonante da célula genérica i	F
$D$	Razão cíclica do comando	
$D_{(ef)}$	Razão cíclica de comando para valores eficazes das grandezas envolvidas	
$D_{\max}$	Diâmetro máximo do condutor	mm
$f$	Relação entre a frequências de ressonância da primeira etapa de funcionamento e a frequência de chaveamento.	
$f_i$	Frequência de ressonância da etapa de funcionamento i	Hz
$f_s$	Frequência de chaveamento	Hz
$f_{s\max}$	Frequência máxima	Hz
$I_{0-i}$	Valor médio da corrente de saída de uma célula genérica i	A
$I_{in}$	Corrente de entrada	A
$I_{in(ef)}$	Valor eficaz da corrente de entrada	A
$i_{L_{in-i}}$	Corrente através do indutor de entrada $L_{in}$ da célula genérica i	A
$i_{L_{r1-i}}$	Corrente através do indutor ressonante $L_{r1}$ da célula genérica i	A
$i_{L_{r1-i}}$	Corrente através do indutor ressonante $L_{r1}$ da célula genérica i	A
$i_{L_{r2-i}}$	Corrente através do indutor ressonante $L_{r2}$ da célula genérica i	A
$I_0$	Valor médio nominal da corrente através da carga	A
$I_{pico}$	Corrente de Pico	A

<b>Símbolo</b>	<b>Significado</b>	<b>Unidade</b>
$I_{rms}$	Valor eficaz da Corrente	A
$i_{Sa-i}$	Corrente através do interruptor $S_a$ da célula genérica $i$	A
$i_{Sp-i}$	Corrente através do interruptor $S_p$ da célula genérica $i$	A
$J_{max}$	Magnitude máxima da densidade de corrente	
$K_u$	Fator de utilização da janela	
$L_{in-i}$	Indutor de entrada da célula genérica $i$	H
$L_{r1-i}$	Indutor ressonante 1 da célula genérica $i$	H
$L_{r2-i}$	Indutor ressonante 2 da célula genérica $i$	H
$N$	Número de Espiras	
$n$	Número de células Idênticas	
$P_o$	Valor médio nominal da potência processada através da carga	W
$q$	Ganho estático	
$R_o$	Resistência representando a carga nominal	$\Omega$
$R_{thcd}$	Resistência térmica cápsula-dissipador;	$^{\circ}C/W$
$R_{thda}$	Resistência térmica do dissipador	$^{\circ}C/W$
$R_{thjc}$	Resistência térmica junção-cápsula;	$^{\circ}C/W$
$s$	Frequência complexa (operador laplaciano)	
$Scu$	Seção transversal de cobre	mm
$sen$	Função trigonométrica seno	
$t$	Tempo	s
$T_{ci}$	Temperatura de cápsula	$^{\circ}C$
$T_d$	Temperatura no dissipador	$^{\circ}C$
$T_i$	Período genérico de chaveamento $i$	s
$T_j$	Máxima temperatura de junção admissível pelo semiconductor	$^{\circ}C$
$T_s$	Período de chaveamento	s
$V_{Cr-i}$	Tensão sobre o capacitor $C_r$ célula de comutação genérica $i$	V
$V_{D1-i}$	Tensão sobre o diodo $D_1$ da célula de comutação genérica $i$	V
$V_{D2-i}$	Tensão sobre o diodo $D_2$ da célula de comutação genérica $i$	V
$V_{gSa-i}$	Tensão referente ao pulso de acionamento do interruptor $S_{a-i}$	V
$V_{gSp-i}$	Tensão referente ao pulso de comando do interruptor $S_{p-i}$	V
$V_{in}$	Tensão de alimentação (de entrada)	V
$V_{in(rms)}$	Valor eficaz da tensão de alimentação (de entrada)	V

Símbolo	Significado	Unidade
$V_{Sa-i}$	Tensão sobre o interruptor $S_{a-i}$ da célula genérica $i$	V
$V_{Sp-i}$	Tensão sobre o interruptor $S_{p-i}$ da célula genérica $i$	V
$W$	Área da janela disponível para os enrolamentos;	mm <sup>2</sup>
$\alpha$	Parâmetro relativo a corrente de saída normalizada	
$\alpha_{ef}$	Parâmetro relativo a corrente de saída normalizada para valores eficazes de corrente e tensão	
$\alpha_{máx}$	Máximo valor da corrente de carga normalizada	
$\beta_1$	Relação entre os indutores ressonantes $L_{r2}$ e $L_{r1}$	
$\beta_2$	Relação entre os indutores ressonantes $L_{in}$ e $L_{r2}$	
$\phi$	Deslocamento angular	°
$\eta$	Rendimento	
$\pi$	3,141592654	
$\Delta$	Coeficiente de penetração	
$\Delta t_a$	Intervalo de tempo de atraso do disparo do interruptor auxiliar $S_a$	s
$\Delta T_i$	Intervalo de tempo de duração da etapa de funcionamento $i$	s
$\Delta t_{off}$	Intervalo de tempo (bloqueio dos interruptores) dentro do qual os interruptores deverão ter seus pulsos de acionamento retirados	s
$\Delta t_{Sa}$	Intervalo de tempo de condução do interruptor $S_{a-i}$ da célula genérica $i$	s
$\Delta t_{Sp}$	Intervalo de tempo de condução do interruptor $S_{p-i}$ da célula genérica $i$	s
$\Delta V_c$	Variação de tensão nos terminais do capacitor.	V
$\mu_0$	Permeabilidade do Vácuo	
$\omega_0$	Frequência angular de ressonância	rad/s
$\omega_i$	Frequência angular de ressonância referente a etapa de funcionamento $i$	rad/s
$\omega_i$	Frequência angular genérica	rad/s

## 2. SÍMBOLOS USADOS PARA REFERENCIAR ELEMENTOS EM DIAGRAMAS DE CIRCUITOS

Símbolo	Significado
C	Capacitor
D	Diodo
I	Fonte de Corrente
L	Indutor
R	Resistor
S	Interruptor Controlado
V	Fonte de Tensão

### 3. ACRÔNIMOS E ABREVIATURAS

<b>Símbolo</b>	<b>Significado</b>
A/D	Conversor Analógico Digital
AGP	Accelerated Graphics Port
ASIC	Application Specific Integrated Circuit
BF	Bloco de Função Lógica
CA	Corrente alternada
CC	Corrente contínua
CFP	Correção do fator de Potência
CI	Circuito integrado
CLB	Configurable Logic Block
CLOCK	Sinal Lógico de Controle
CMOS	Complementary Metal Oxide Semiconductor
CONVST	Sinal lógico de controle para início de conversão
CPLD	Complex Programmable Logic Devices
D/A	Conversor Digital Analógico
DOUT	Barramento serial de saída de dados
DVA	Sinal lógico que indica palavra de 12 bits
E2PROM	Electrically Erasable Programmable Memory
EDA	Electronic Design Automation
EE	Núcleo magnético do tipo ferrite
EMC	Compatibilidade Eletromagnética – Electromagnetic Compatibility
EMI	Interferência Eletromagnética – Electromagnetic Interference
EPROM	Electrically Programmable Memory
FEIS	Faculdade de Engenharia de Ilha Solteira
FM	Modulação em Frequência – Frequency Modulation
FP	Fator de Potência
FPGA	Dispositivos Lógicos Programáveis – Field Programmable Gate Array
GPP	Processador de propósito geral
GTL	Gunning Transceiver Logic
HDL	Hardware Description Languages
HSTL	High Speed Transceiver Logic

<b>Símbolo</b>	<b>Significado</b>
IEEE	Institute of Electrical and Electronics Engineers
IGBT	Insulated Gate Bipolar Transistors
IOB	Input Output Buffer
LE	Logic Elements
LTS	Sensor de Corrente
LUT	Look Up Table
LVC MOS	Low Voltage CMOS
LVDS	Low voltage Differential Signaling
LVTTL	Low Voltage TTL
MCC	Modo de Condução Contínua
MCD	Modo de Condução Descontínua
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PAL	Programmable Array Logic
PCI	Peripheral Component Interconnect
PLA	Programmable Logic Array
PLD	Programmable Logic Device
PROMs	Programmable Read Only Memories
PWM	Modulação por Largura de Pulso – Pulse Width Modulation
RAM	Random Access Memory
RC	Associação Resistor Capacitor
RLC	Medidor Digital
RTL	Register Transfer Level
RTR	Run Time Reconfiguration
SCLK	Sinal lógico referente ao trem de pulsos aplicado na interface serial
SPLD	Simple Programmable Logic Device
SRAM	Static Random Access Memory
SSTL	Stub Series Terminated Logic
tconv	Período de conversão
TDH	Distorção Harmônica Total
TTL	Transistor-Transistor Logic
UNESP	Universidade Estadual Paulista
VHDL	VHSIC Hardware Description Language



<b>Símbolo</b>	<b>Significado</b>
VHSIC	Very High Speed Integrated Circuit
VLSI	Very Large Scale Integration
ZCS	Zero Current Switching
ZCZVS	Zero-Current-Zero-Voltage-Switching
ZVS	Zero Voltage Switching
ZVS - FM	Zero Voltage Switching -

#### 4. SÍMBOLOS DE UNIDADES DE GRANDEZAS FÍSICAS DO SI (SISTEMA INTERNACIONAL DE UNIDADES)

Símbolo	Nome da Unidade
$\Omega$	ohm
A	ampère
F	farad
H	henry
Hz	hertz
m	metro
rad/s	radianos por segundo
s	segundo
V	volt
W	watt

**5. SÍMBOLOS DE UNIDADES DE GRANDEZAS FÍSICAS FORA DO SI, USADOS PELA PRÁTICA (SISTEMA INTERNACIONAL DE UNIDADES)**

<b>Símbolo</b>	<b>Nome da Unidade</b>
°	grau trigonométrico
dB	decibel

## SUMÁRIO

<b>FOLHA DE APROVAÇÃO .....</b>	<b>i</b>
<b>DEDICATÓRIA .....</b>	<b>ii</b>
<b>AGRADECIMENTOS .....</b>	<b>iii</b>
<b>RESUMO.....</b>	<b>iv</b>
<b>ABSTRACT .....</b>	<b>v</b>
<b>LISTA DE FIGURAS.....</b>	<b>vi</b>
<b>LISTA DE TABELAS.....</b>	<b>xvi</b>
<b>SIMBOLOGIA .....</b>	<b>xx</b>
<b>SUMÁRIO.....</b>	<b>xxix</b>
<b>1 - INTRODUÇÃO .....</b>	<b>1</b>
<b>2 - TÉCNICAS DE ASSOCIAÇÃO DE CONVERSORES.....</b>	<b>4</b>
2.1 - INTRODUÇÃO .....	4
2.2 - ASSOCIAÇÃO DE ESTRUTURAS CONVERSORAS .....	4
2.3 - ASSOCIAÇÃO DE CÉLULAS DE COMUTAÇÃO.....	8
<b>3 – UM NOVO CONVERSOR CC/CC BOOST DO TIPO “INTERLEAVING” COM COMUTAÇÃO NÃO DISSIPATIVA, ZCS-FM .....</b>	<b>10</b>

3.1 – INTRODUÇÃO .....	10
3.2 – MODELAGEM DO CONVERSOR CC/CC BOOST DO TIPO “INTERLEAVING” COM DUAS CÉLULAS .....	11
3.2.1 - <i>Etapas de Funcionamento e Principais Formas de Onda</i> .....	12
3.2.2 - <i>Equacionamento Passo a Passo</i> .....	15
3.2.2.1 - Etapa 1 [ $t_0$ , $t_1$ ].....	16
3.2.2.2 - Etapa 2 [ $t_1$ , $t_2$ ].....	17
3.2.2.3 - Etapa 3 [ $t_2$ , $t_3$ ].....	19
3.2.2.4 - Etapa 4 [ $t_3$ , $t_4$ ].....	21
3.2.2.5 - Etapa 5 [ $t_4$ , $t_5$ ].....	22
3.2.2.6 - Etapa 6 [ $t_5$ , $t_6$ ].....	24
3.2.2.7 - Etapa 7 [ $t_6$ , $t_7$ ].....	26
3.2.2.8 - Etapa 8 [ $t_7$ , $t_8$ ].....	27
3.3 - CONDIÇÕES NECESSÁRIAS PARA A COMUTAÇÃO SER NÃO DISSIPATIVA .....	28
3.4 - GANHO ESTÁTICO .....	30
3.5 - METODOLOGIA DE PROJETO .....	34
3.5.1 – <i>Determinação do ganho Estático</i> .....	34
3.5.2 – <i>Determinação dos Parâmetros Ressonantes e Razão Cíclica Crítica</i> .....	34
3.5.3 – <i>Determinação da Indutância Crítica</i> .....	37
3.5.4 – <i>Cálculo dos Elementos Ressonantes</i> .....	37
3.5.6 – <i>Amplitude do “Ripple” da Corrente de Entrada (<math>I_{in}</math>)</i> .....	38
3.5.7 - <i>Determinação do filtro de saída (<math>C_o</math>)</i> .....	40
3.5.8 - <i>Cálculo dos Tempos Envolvidos nas Etapas de Funcionamento e na Largura de Pulso de comando dos Interruptores</i> .....	40
3.5.9 - <i>Formas de Onda Teóricas</i> .....	41
3.5.10 – <i>Esforços de Corrente e Tensão nos Interruptores</i> .....	43
3.6 - RESULTADOS DE SIMULAÇÃO .....	43
3.6.1 – <i>Topologia com Célula Única</i> .....	44
3.6.2 – <i>Topologia com duas células Entrelaçadas</i> .....	47
3.7 – MODELO DO CONVERSOR EM VALORES MÉDIOS .....	49
3.8 – CONCLUSÕES .....	59

#### **4 – PRÉ-REGULADOR RETIFICADOR BOOST ZCS-FM INTERLEAVED .....**

4.1 – INTRODUÇÃO .....	61
4.2 – CONSIDERAÇÕES DE MODELAGEM .....	62
4.3 – RESULTADOS DE SIMULAÇÃO .....	65
4.4 – CONCLUSÕES .....	70
<b>5 - DISPOSITIVOS LÓGICOS PROGRAMÁVEIS .....</b>	<b>71</b>
5.1 - INTRODUÇÃO .....	71
5.2 - EVOLUÇÃO .....	72
5.3 - DISPOSITIVOS FPGA DA FAMÍLIA SPARTAN-IIIE .....	81
5.3.1 - <i>Arquitetura do Spartan-IIIE</i> .....	81
5.3.2 - <i>Blocos de Entrada e Saída - IOBs</i> .....	83
5.3.2.1 - Entrada de Sinais no IOB .....	85
5.3.2.2 - Saída de Sinais no IOB .....	85
5.3.2.3 - Banco de E/S.....	86
5.3.2.4 - Conexão Energizada .....	87
5.3.3 - <i>Blocos Lógicos Configuráveis (CLB)</i> .....	87
5.3.3.1 - Tabelas de Consulta (LUTs).....	88
5.3.3.2 - Lógica Adicional .....	89
5.3.4 - <i>Bloco de RAM</i> .....	90
5.3.5 - <i>Roteamento Programável</i> .....	90
5.3.5.1 - Roteamento de Propósito Geral .....	91
5.3.5.2 - Roteamento Local .....	91
5.3.5.3 - Roteamento de E/S .....	91
5.3.5.4 - Roteamento Dedicado.....	91
5.3.5.5 - Roteamento Global .....	92
5.3.5.6 - DLL - Delay Locked Loop .....	92
5.3.6 - <i>Configuração</i> .....	93
5.4 - CONCLUSÕES .....	94
<b>6 - METODOLOGIA DE PROJETO UTILIZANDO VHDL .....</b>	<b>95</b>
6.1 – INTRODUÇÃO .....	95

6.2 – LINGUAGEM DE DESCRIÇÃO DE HARDWARE - HDL .....	96
6.3 – VHDL (VHSIC HARDWARE DESCRIPTION LANGUAGE).....	97
6.3.1 - <i>Descrição Estrutural e Comportamental</i> .....	99
6.4 - NÍVEIS DE ABSTRAÇÃO E DOMÍNIOS DE MODELOS DE HARDWARE.....	99
6.5 - CLASSIFICAÇÃO DE METODOLOGIAS DE PROJETO .....	103
6.5.1 - <i>Especificação e Documentação</i> .....	104
6.5.2 - <i>Simulação</i> .....	105
6.5.3 - <i>Síntese</i> .....	109
6.6 - CONCLUSÕES.....	111
 <b>7 - CONTROLE DIGITAL.....</b>	<b>112</b>
7.1 – INTRODUÇÃO .....	112
7.2 – CONTROLE DIGITAL.....	113
7.2.1 – <i>Metodologia de Desenvolvimento</i> .....	113
7.2.2 – <i>Estágios do Controle Digital</i> .....	115
7.2.3 – <i>Controle de Detecção de Zero</i> .....	116
7.2.4 – <i>Controle de Fase de Operação</i> .....	119
7.2.5 – <i>Implementação dos Blocos Funcionais</i> .....	125
7.2.5.1 - Componente AQUISIÇÃO_4.....	125
7.2.5.2 - Componente MAIN .....	129
7.2.5.3 - Componente ZERO_CONTROL.....	133
7.2.5.4 - Componente PERÍODO.....	136
7.2.5.5 - Componente PERÍODO_CTRL .....	138
7.2.5.6 - Sistema de Regulação P_CALC .....	141
7.2.5.7 - Sistema Completo .....	145
7.3 – CONCLUSÕES .....	149
 <b>8 – PROTÓTIPO DESENVOLVIDO PARA O PRÉ-REGULADOR RETIFICADOR BOOST ZCS-FM INTERLEAVED.....</b>	<b>150</b>
8.1 - ESPECIFICAÇÃO DOS SEMICONDUTORES.....	150
8.2 - ESPECIFICAÇÃO DOS INDUTORES .....	151

8.3 - CÁLCULO TÉRMICO PARA OS SEMICONDUTORES .....	157
8.4 – CIRCUITOS INTEGRANTES DO CONTROLE DIGITAL .....	162
8.4.1- <i>Sensor de Corrente</i> .....	163
8.4.2 – <i>Conversor Analógico-Digital (A/D)</i> .....	164
8.4.3 - <i>Estágio de Condicionamento de Sinais do Conversor A/D</i> .....	168
8.4.4 - <i>Circuito de Acionamento de Interruptores</i> .....	170
8.4.5 - <i>Circuito de Detecção de Zero Empregando a Metodologia Analógica</i> .....	171
8.4.6 - <i>Acoplamento Entre os Módulos</i> .....	172
8.5 – RESULTADOS EXPERIMENTAIS.....	173
8.5.1 – <i>Operação CC/CC</i> .....	175
8.5.2 – <i>Operação CA/CC</i> .....	182
8.6 – CONCLUSÕES .....	192
 <b>CONCLUSÕES GERAIS .....</b>	<b>194</b>
 <b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>197</b>
 <b>PUBLICAÇÕES RESULTANTES DO TRABALHO .....</b>	<b>204</b>
 <b>APÊNDICE A .....</b>	<b>205</b>



## 1- Introdução

Os conversores de potência convencionais, baseados em estágios de entrada retificadores com diodos e elevados filtros capacitivos, possuem uma forma de onda da corrente de entrada distorcida com um elevado conteúdo harmônico, resultando em fatores de potência normalmente reduzidos. Neste contexto, para se enquadrar em normas internacionais, tais como a IEC61000-3-2, técnicas de correção ativa do fator de potência foram desenvolvidas, com significativas vantagens em relação às técnicas passivas [1].

Novas metodologias utilizam-se de conversores com arquitetura celular para a construção de conversores chaveados, que processam grandes potências. Nestes conversores as estruturas são arranjadas em paralelo, formando um conversor equivalente àquele conversor de elevada potência, único e volumoso. A taxa de potência processada por cada célula é selecionada de acordo com certos compromissos, que envolvem a necessidade de construir os conversores utilizando componentes de baixo custo, fabricados em grande volume e usando técnicas automatizadas que possibilitam um incremento em seu desempenho, confiabilidade e resultem em baixos custos finais.

No que se refere ao estágio de entrada de fontes de alimentação, o retificador boost operando no Modo de Condução Contínua (MCC), com imposição ativa da corrente de entrada para a correção do fator de potência, é a topologia mais largamente empregada. Entretanto, a necessidade da tensão CC (tensão contínua) do estágio de saída do conversor boost ser maior que o pico da tensão de entrada alternada, limita-o somente para aplicações com características elevadoras de tensão [2, 3].

Devido às elevadas tensões de saída, o conversor boost exige a necessidade de um diodo de saída que proporcione uma rápida recuperação e que suporte estas elevadas tensões. Em frequências de chaveamento muito elevadas, geralmente estes diodos com rápida recuperação provocam perdas significativas durante a recuperação reversa, sob condições de chaveamento convencional (PWM – “*Pulse Width Modulated*”). Estas perdas podem ser significativamente reduzidas, proporcionando uma elevada eficiência, em elevadas frequências, utilizando-se técnicas de comutação suaves, como a ZCS (“*Zero Current Switching*”) e a ZVS (“*Zero Voltage Switching*”). Estas técnicas consistem na utilização de circuitos “*snubbers*” ativos, para controlar as derivadas de correntes ( $di/dt$ ) e/ou de tensões ( $dv/dt$ ) durante as comutações [3, 4].

Um outro método para alcançar um elevado rendimento em conversores elevadores, empregando diodos de elevadas tensões com recuperação rápida, consiste em operar o conversor boost na região de fronteira entre o modo de condução descontínua e o modo de condução contínua, ou seja, operando em condução crítica. As perdas devido à recuperação reversa serão minimizadas uma vez que não existirá energia circulando no diodo boost, no instante da comutação para entrada em condução do interruptor principal.

Entretanto, a operação na região de fronteira, ou condução crítica, exige adicionais filtragens adicionais na corrente de entrada e produz picos de corrente que são no mínimo duas vezes maior que a corrente média de entrada, durante um período de chaveamento. Esta é uma característica indesejável nestes tipos de aplicação [3, 5 e 6].

Por outro lado, as desvantagens do conversor boost operando na região de fronteira podem ser amenizadas se duas ou mais células de conversores forem entrelaçadas (“*interleaving*”). O entrelaçamento das células topológicas reduz o “*ripple*” e o valor de pico da corrente de entrada, enquanto mantém os benefícios da comutação suave no diodo boost durante seu bloqueio.

Porém, o entrelaçamento de conversores boost com correção do fator de potência (CFP), operando no modo de condução crítica, possuem frequência de chaveamento variável e conseqüentemente, requer um circuito de controle complexo [1-9].

A conversão de potência empregando estruturas entrelaçadas tem sido explorada em aplicações de elevadas potências, onde o sistema adquire a vantagem da redução do “*ripple*” e uma distribuição de potência entre as células das topologias conectadas em paralelo. Embora a distribuição de potência processada entre as células seja por si só um importante objetivo, os benefícios proporcionados pela redução do “*ripple*” justificam o aumento da utilização das técnicas de entrelaçamento nas mais diversas aplicações.

Em conversores CC/CC com topologia boost, a utilização das técnicas de entrelaçamento tornam-se especialmente apropriadas, proporcionando uma minimização da necessidade de um filtro de entrada volumoso, devido à eliminação da natureza pulsante da corrente de entrada, presente nas estruturas individuais, quando da operação no modo de condução crítica. Desta forma, os níveis de interferência eletromagnética podem ser reduzidos drasticamente.

Com o decréscimo do volume dos componentes reativos, uma vez que a potência que era processada por apenas uma célula passa a ser dividida entre as células entrelaçadas, dividem-se também as exigências de operação dos semicondutores, possibilitando a utilização de componentes mais usuais, contribuindo para a redução do custo total da estrutura.

Neste contexto, este trabalho se propõe a analisar e implementar um conversor retificador boost ZCS, operando no modo de condução crítica, para as seguintes condições de entrelaçamento: (a) duas células, processando um total de 1000W, e (b) quatro células, processando uma potência total de 2000W.

Além do desenvolvimento da análise da célula de comutação proposta, para a condição de operação no modo crítico, o presente trabalho apresenta uma metodologia de projeto para o circuito de controle, baseada em dispositivos lógicos programáveis (FPGA-*“Field Programmable Gate Array”*), com a finalidade de contornar as dificuldades inerentes aos circuitos de comando para as técnicas de entrelaçamento. A técnica para o desenvolvimento da lógica de controle, baseada em linguagem de descrição de hardware (VHDL-*“VHSIC Hardware Description Language”*), propicia grande versatilidade para a estrutura de comando, facilidade de manutenção e baixo custo relativo para aplicações em potências médias e elevadas.

## **2 - Técnicas de Associação de Conversores**

### **2.1 - Introdução**

Em função da constante necessidade de processamento eletrônico de energia elétrica em potências cada vez mais elevadas, os dispositivos semicondutores (interruptores) têm evoluído muito nas últimas décadas, especialmente na tentativa de superar os níveis de quilo-volts (kV) e quilo-ampéres (kA) processados individualmente por tais dispositivos. Desta forma, em função das limitações para os componentes individuais, uma alternativa praticada pelos fabricantes de semicondutores, é a produção de “módulos de potência”, constituídos por associações em série e/ou paralelo de dispositivos individuais [10].

Entretanto, tais “módulos” são normalmente caros, de difícil acesso para a elaboração de projetos. Neste contexto, uma prática comum dos engenheiros de projeto é o emprego de componentes consolidados, de baixo custo, de fácil acesso e confiáveis.

Desta forma, para aplicações em elevadas tensões poderia se adotar a associação série de componentes e, para elevadas correntes, a associação em paralelo de componentes “consolidados”. Entretanto, estes procedimentos exigem, de maneira geral, um projeto cuidadoso e uma escolha precisa de componentes (seleção de componentes com características estáticas e dinâmicas muito próximas). Alguns problemas muito comuns nestas associações são: variações bruscas de tensão e/ou correntes nos dispositivos, dificuldades de sincronismo tanto da entrada em condução quanto do bloqueio, instabilidade térmica, etc.

Portanto, para garantir a operação em níveis elevados de tensão e/ou corrente, melhorando-se a confiabilidade do projeto, pode-se recorrer à associação em paralelo ou série de estruturas conversoras e à associação série ou paralela de células de comutação. Estas opções podem garantir um equilíbrio seguro de distribuição de potência e possibilitar o emprego de dispositivos individuais de processamento com menores esforços de tensão e/ou corrente [3-17].

### **2.2 - Associação de Estruturas Conversoras**

A associação série ou paralela de conversores pode ser realizada para conversores com entrada em tensão ou corrente. O principal objetivo deste procedimento é a redução de perdas e a melhoria da confiabilidade e estabilidade da estrutura.

Um exemplo de associação série de conversores CC/CC é apresentada na figura 2.1.

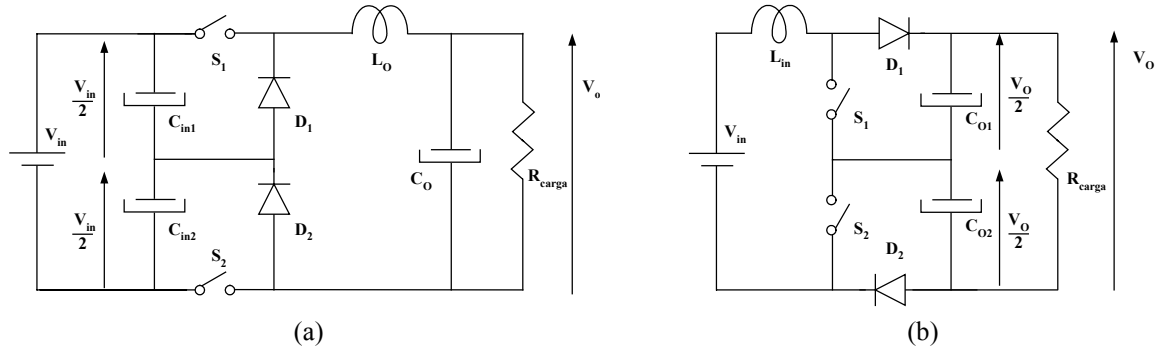


Figura 2.1 – Associação série de conversores CC/CC: (a) Duplo buck, (b) Duplo boost.

A estrutura duplo-boost foi analisada em [12] como forma de reduzir o volume total do conversor boost, operando com correção do fator de potência, tendo sido originalmente denominado de conversor boost três-níveis.

Como se observa na figura 2.1(b), obtém-se uma divisão da tensão de saída entre as duas estruturas, reduzindo-se os esforços de tensão em cada interruptor. Entretanto, na prática, a divisão igual de tensão entre as estruturas não é tão simples de ser obtida e problemas de desequilíbrios podem levar à degradação da performance desta associação.

Um exemplo de associação em paralelo de conversores CC/CC é apresentado na figura 2.2.

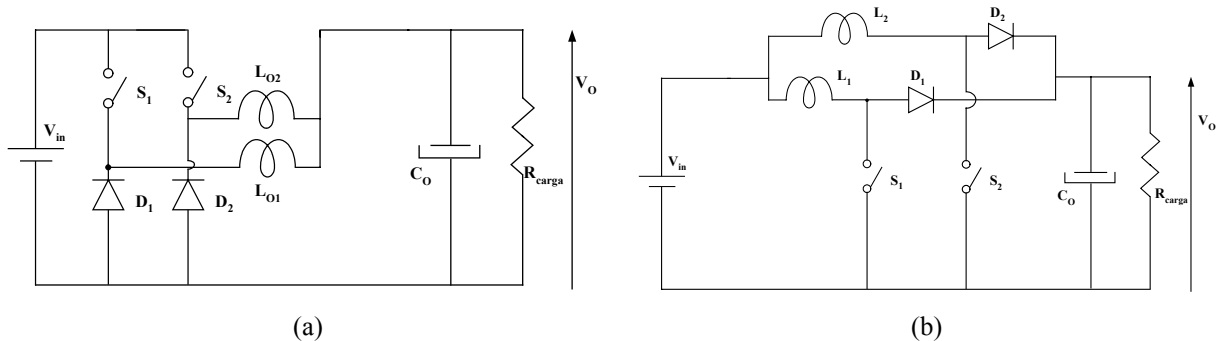


Figura 2.2 – Associação em paralelo de conversores CC/CC: (a) Buck em paralelo e (b) Boost em paralelo.

A associação em paralelo de estruturas foi proposta originalmente em [11], tendo sido denominada de técnica de entrelaçamento (“*interleaving*”). Mais recentemente esta técnica foi aplicada para correção ativa do fator de potência de fontes de alimentação [3-8, 11, 13-17].

A conversão em “*interleaving*” refere-se à interconexão de múltiplos conversores para os quais a frequência de chaveamento é a mesma, contudo, os pulsos de controle são defasados, em frações iguais do período de chaveamento. Este fato permite a repartição de corrente através dos interruptores principais da estrutura.

Logicamente, a técnica pode ser ampliada para um número qualquer de elementos, sincronizando-se todos os pulsos de controle a partir de um único sinal de comando.

Esta associação, em conjunto com a defasagem, diminui a amplitude do “*ripple*” de corrente no estágio de entrada e eleva a frequência do “*ripple*” efetivo do conversor global, sem aumentar as perdas de chaveamento ou os esforços sobre os componentes.

Um sistema entrelaçado pode proporcionar reduções nas exigências de filtragem e armazenagem de energia, resultando em aumento da densidade de conversão de potência, sem sacrificar a sua eficiência.

Com o paralelismo ocorrendo na forma de associações de componentes discretos, possibilita-se a aplicação do sistema em níveis mais elevados de potências, onde a área de atuação segura de um único componente processando este nível de energia é um fator limitante.

Os benefícios do entrelaçamento podem ser entendidos intuitivamente, utilizando-se uma análise gráfica simples. Seja o exemplo da configuração dupla do conversor boost mostrado na figura 2.3, composto por duas células PWM conectadas em paralelo.

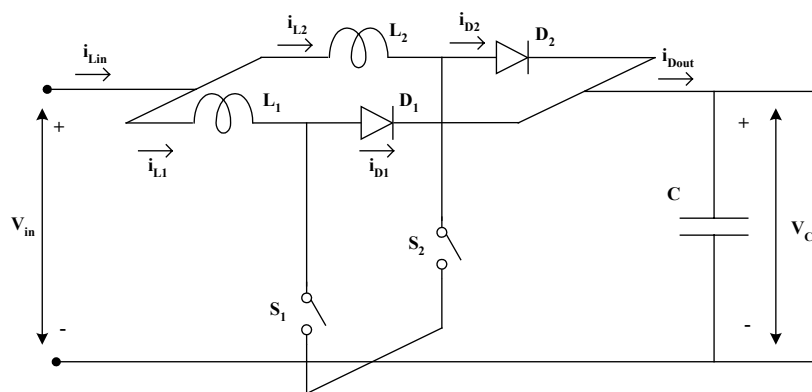


Figura 2.3 – Entrelaçamento de duas células de topologia boost PWM.

Considerando a operação síncrona e simultânea, onde os instantes de comutação dos dois interruptores são idênticos, a performance do circuito é equivalente àquela do conversor boost único com igual armazenagem de energia e igual área total “morta” do semicondutor. As correntes através do indutor e através dos diodos referentes a esta configuração são apresentadas na figura 2.4, representadas pelos traços cheios.

Por outro lado, se nesta mesma configuração as células forem entrelaçadas, fazendo com que os instantes de comutação do segundo interruptor sejam atrasados relativamente daqueles do primeiro interruptor por metade do período de chaveamento, a amplitude do “*ripple*” das formas de onda entrelaçadas serão menores e possuirão maiores frequências. Esta característica reduz as exigências de filtragens quando comparada com o caso da configuração não-entrelaçada e com igual armazenagem de energia.

As formas de onda referentes ao entrelaçamento são ilustradas na figura 2.4, com linhas tracejadas. No desenvolvimento desta ilustração, os indutores  $L_1$  e  $L_2$  foram considerados idênticos e ideais.

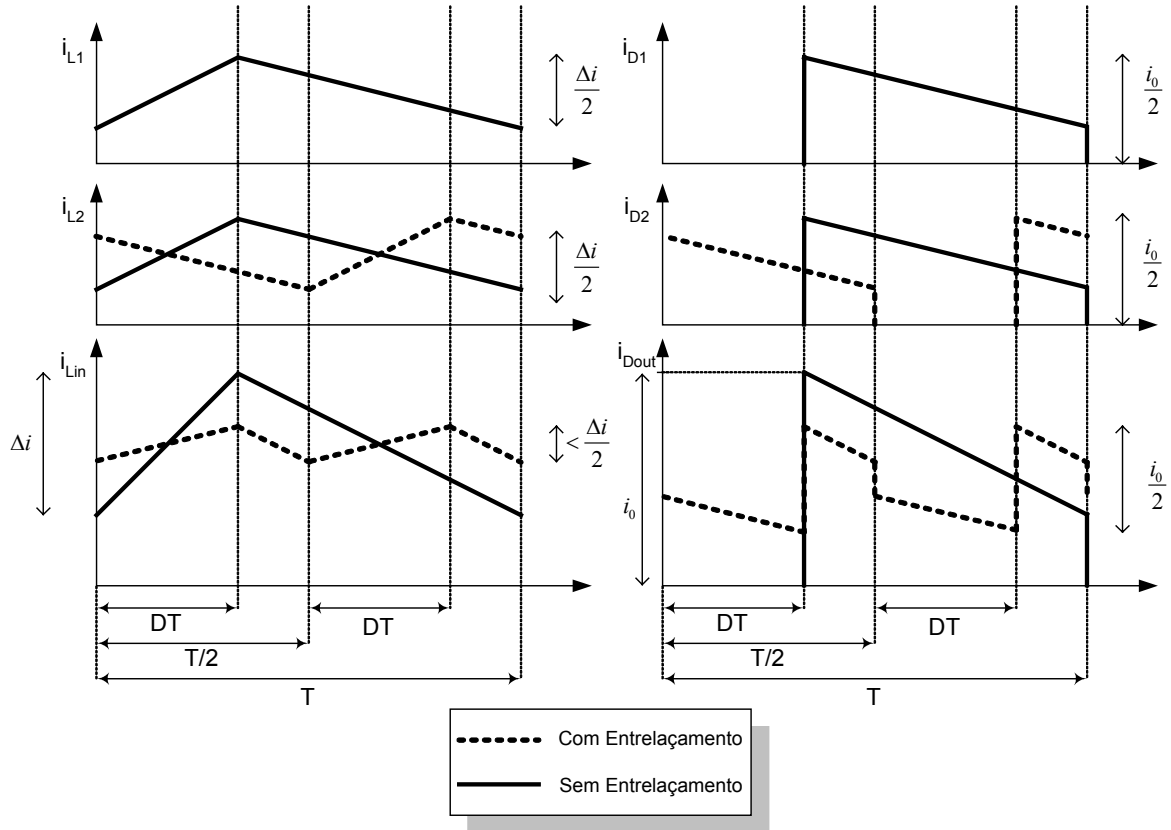


Figura 2.4 – “Ripple” das formas de onda do conversor duplo boost.

Um importante fato é que o conceito da técnica se estende diretamente para configurações com mais de duas células e para outras topologias de conversores.

A ilustração apresentada na figura 2.4, apesar de simples e de fácil compreensão, é insuficiente como ferramenta para a solução de projetos de circuitos. Alguns métodos já foram explorados anteriormente. Um deles consiste em primeiramente determinar através de equações algébricas (analíticas) o “ripple” das formas de onda de um conversor único. Uma superposição de um conjunto das formas de onda obtidas, defasadas no tempo por um valor apropriado é realizada, obtendo-se uma forma de onda resultante. As amplitudes dos “ripples” de pico a pico são extraídas desta forma de onda resultante e tabulada em função de  $N$  (número de células entrelaçadas) [8].

Outro método é baseado na superposição das amplitudes das componentes harmônicas no domínio da frequência, depois de primeiro se determinar os coeficientes de Fourier dos “ripples” das formas de onda. Esta técnica é utilizada para reconstruir as amplitudes de pico a

pico do “*ripple*” ou estimar as amplitudes das componentes harmônicas individuais. Considerando o caso onde o espectro do “*ripple*” é dominado por componentes harmônicas de ordem par da frequência de chaveamento fundamental, ao entrelaçar duas células com a usual defasagem de  $180^\circ$ , cancela-se as componentes de ordem ímpar, enquanto dobra-se as componentes de ordem par (no caso em que não há o entrelaçamento, tanto as componentes de ordem par quanto as componentes de ordem ímpar são dobradas) [9]. A composição resultante das componentes harmônicas é equivalente àquela produzida por um sistema multi-célula com operação síncrona simultânea, com combinação não adequada das componentes sub-harmônicas entre as células. Por outro lado, uma defasagem de  $90^\circ$  entre as células duplicaria somente as componentes harmônicas múltiplas da 4ª ordem (quarta, oitava, décima segunda ordens), enquanto eliminam-se as componentes harmônicas de segunda, sexta e décima ordem, e multiplicam-se as harmônicas de ordem ímpar por um fator de raiz de 2 [6].

### 2.3 - Associação de Células de Comutação

Uma forma de se propor conversores com capacidade de compartilhamento de tensão ou corrente é o emprego da associação de células de comutação. A célula de comutação é uma estrutura de três terminais, conforme figura 2.5, que representa toda a não-linearidade existente em um conversor. Sua operação é baseada no funcionamento complementar dos elementos de interrupção (ou seja, enquanto um interruptor conduz o outro permanece bloqueado).

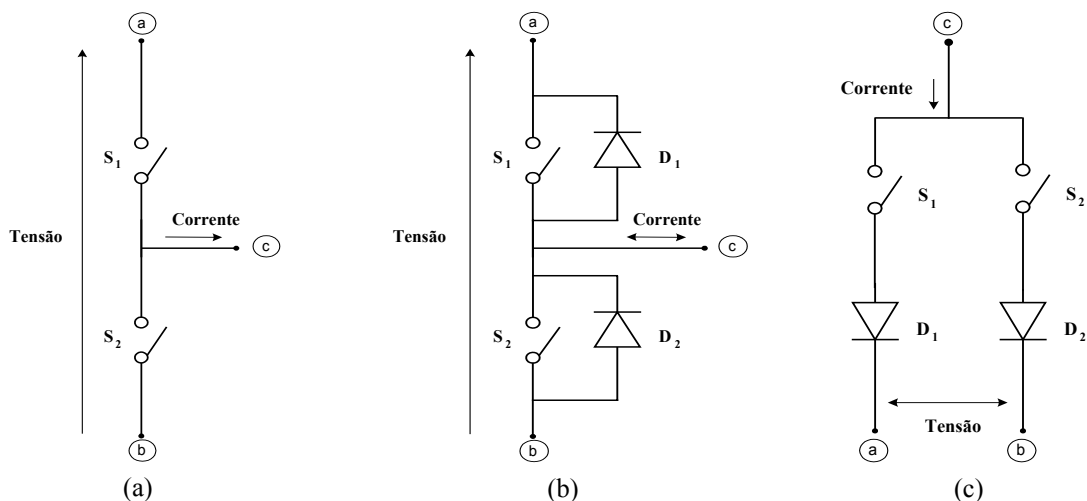


Figura 2.5 – Arranjos de células de comutação.

Da observação da figura 2.5, dependendo da estrutura do conversor, as tensões e correntes nos terminais da célula de comutação podem ser do tipo unidirecional ou bidirecional.



Na figura 2.6 apresentam-se exemplos para associações de células de comutação.

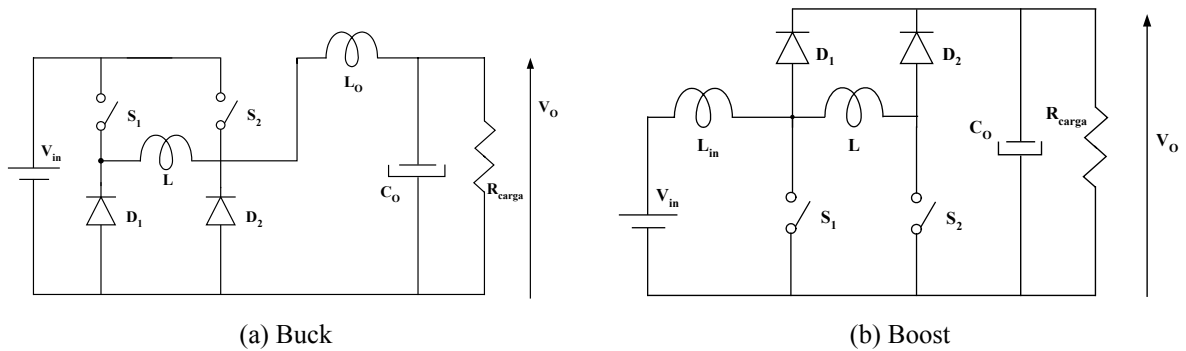


Figura 2.6 – Associação de células de comutação.

A associação apresentada na figura 2.6 é decorrente do paralelismo de células de comutação, através do emprego de indutor de equilíbrio ( $L$ ). Esta técnica pode ser generalizada para os demais conversores CC/CC, assim como, para aplicações CA/CC e CC/CA [11, 13].

Esta técnica foi proposta como alternativa ao paralelismo de componentes semicondutores, permitindo o equilíbrio dinâmico das correntes entre os interruptores. Entretanto, operando de forma sincronizada, com mesmas frequências de chaveamento e sem defasagem, impossibilita a redução de “*ripple*” tanto na entrada quanto na saída das estruturas conversoras. Neste sentido, tal técnica impossibilita a redução do volume da estrutura, principalmente quando o modo de condução é o descontínuo ou crítico.

Neste contexto, nos próximos capítulos será analisada uma célula de comutação ZCS aplicada a uma estrutura Boost com operação em “*interleaving*”, na conversão CC/CC inicialmente e na conversão CA/CC, ou seja, operando como retificador com elevado fator de potência.

### 3 – Um Novo Conversor CC/CC Boost do tipo “Interleaving” com Comutação não Dissipativa, ZCS-FM

#### 3.1 – Introdução

A célula de comutação ZCS-PWM apresentada em [19] é uma evolução daquela desenvolvida em [20], permitindo a aplicação em estruturas isoladas. O conversor básico CC/CC Boost ZCS-FM Interleaved proposto é uma aplicação da técnica de “*interleaving*”, através do emprego de uma derivação da célula de comutação ZCS analisada em [19], e apresentada na figura 3.1(b), utilizando-se duas células operando no modo de condução crítica, contudo proporcionando uma corrente contínua de entrada.

Nesta célula de comutação ZCS-PWM apresentada na figura 3.1(b), o diodo  $D_1$  é deslocado deixando de estar localizado em série com o diodo  $D_2$ , e conseqüentemente no caminho de transferência de energia para o estágio de saída [21].

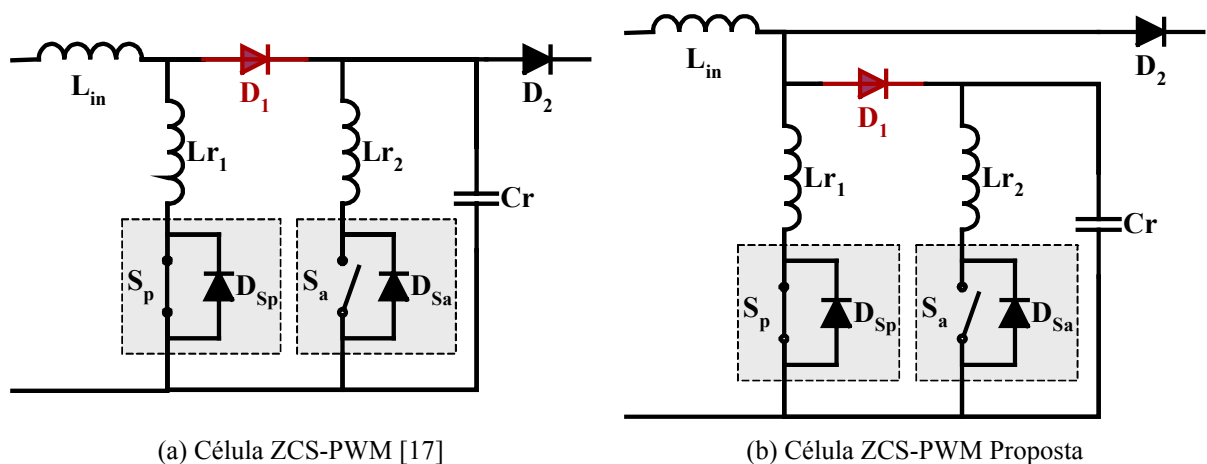


Figura 3.1 – Células de comutação ZCS-PWM.

Apesar da topologia da célula de comutação ser análoga àquela analisada em [19], com a imposição da operação no modo crítico todas as análises envolvendo as etapas de funcionamento, a obtenção do ganho estático e metodologia de projeto foram novamente deduzidas. Devido à alteração no modo de operação, algumas simplificações utilizadas nas deduções matemáticas em [19], tal como a substituição da fonte de tensão de entrada em série com o indutor boost ( $L_{in}$ ) por uma fonte de corrente constante, não são mais válidas quando o modo de operação torna-se crítico devido à forma de onda da corrente em  $L_{in}$  anular-se no final de cada período de chaveamento.

Observa-se que em trabalhos desenvolvidos anteriormente, como por exemplo em [17], a análise desenvolvida se preocupou principalmente com os aspectos da comutação,

considerando de forma inadequada a corrente de entrada como sendo constante, e, em consequência, não obtendo uma análise matemática fechada consistente.

Neste contexto, este trabalho propõe a aplicação da célula ZCS para permitir a eliminação das perdas durante o bloqueio do interruptor principal, devido ao fato de que no modo de operação com condução crítica, o valor de pico da corrente através deste interruptor no instante do seu bloqueio é bem superior àquele no modo de condução contínua considerando-se as mesmas condições de projeto e potência processada.

Adicionalmente, uma vez que o modo de condução crítica permite a entrada em condução do interruptor principal ( $S_p$ ) de maneira não dissipativa com corrente nula (ZCS) e o bloqueio do diodo  $D_2$  através de uma derivada suave, tem-se nesta estrutura proposta a entrada em condução ZVS do diodo  $D_2$ .

Para os interruptores auxiliares, ter-se-ão comutações também não dissipativas, do tipo ZCS na entrada em condução de  $S_a$ , com bloqueio com tensão e corrente nulas (ZCZVS), assim como entrada em condução ZVS do diodo auxiliar ( $D_1$ ).

Portanto, sendo todas as comutações não dissipativas e com a minimização da recuperação reversa de  $D_2$ , ter-se-á uma estrutura com reduzido nível de interferência eletromagnética e elevado rendimento, uma vez que as perdas em condução nos elementos auxiliares são desprezíveis quando comparadas com as perdas em condução dos dispositivos semicondutores principais  $S_p$  e  $D_2$ .

### 3.2 – Modelagem do Conversor CC/CC Boost do tipo “interleaving” com duas células

A figura 3.2 ilustra o diagrama esquemático do conversor básico CC/CC Boost ZCS-FM Interleaved empregando duas células de comutação.

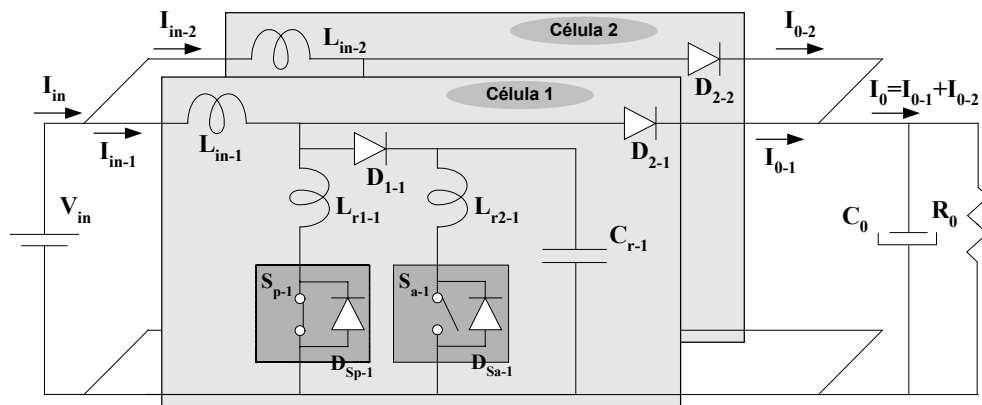


Figura 3.2 – Circuito básico do conversor CC/CC Boost ZCS-FM Interleaved.

O número após o hífen inserido no final do índice de cada componente indica de qual célula o mesmo é integrante.

Observa-se na figura 3.2 que cada célula de comutação é composta por um interruptor principal ( $S_{p-i}$ ), um interruptor auxiliar ( $S_{a-i}$ ), ambos com diodos associados em anti-paralelo com os mesmos ( $D_{Sp-i}$  e  $d_{a-i}$ , respectivamente). Em cada célula, tem-se um diodo principal ( $D_{2-i}$ ) e um diodo auxiliar ( $D_{1-i}$ ), além dos parâmetros ressonantes compostos pelos elementos passivos ( $L_{r1-i}$ ,  $L_{r2-i}$  e  $C_{r-i}$ ).

Em função da técnica de comutação ZCS propiciada pela estrutura proposta, os interruptores ativos serão do tipo IGBT (“*Insulated Gate Bipolar Transistor*”), com diodos encapsulados em anti-paralelo com os mesmos.

A análise das etapas de funcionamento, apresentada a seguir, permitirá a verificação do funcionamento da célula de comutação proposta, operando no modo de condução crítica.

### **3.2.1 - Etapas de Funcionamento e Principais Formas de Onda**

Partindo da imposição que todas as células integrantes do conversor serão consideradas idênticas, ou seja, possuirão a mesma topologia e todas as intensidades dos componentes armazenadores de energia serão as mesmas, as etapas de funcionamento do conversor global podem ser analisadas através das etapas de funcionamento de uma célula genérica ( $i$ ), pois, as demais células operam de maneira análoga. Assim, para facilitar a notação, no desenvolvimento da modelagem matemática foi excluída a indexação de identificação de célula “- $i$ ”, das denominações dos componentes.

Em regime permanente uma célula genérica da estrutura Boost ZCS analisada excursiona por oito etapas de funcionamento durante um período de chaveamento. As etapas de funcionamento de uma célula genérica da topologia conversora proposta são mostradas na figura 3.3, e as principais formas de ondas idealizadas através dos elementos ressonantes são mostradas na figura 3.4.

A figura 3.5 ilustra as principais formas de onda teóricas dos esforços nos semicondutores, para uma célula genérica da estrutura Boost ZCS analisada, durante um período de funcionamento genérico.

Na sequência, todas as etapas de funcionamento são descritas de forma detalhada apresentando as principais equações relacionadas com a evolução das formas de ondas através dos elementos ressonantes .

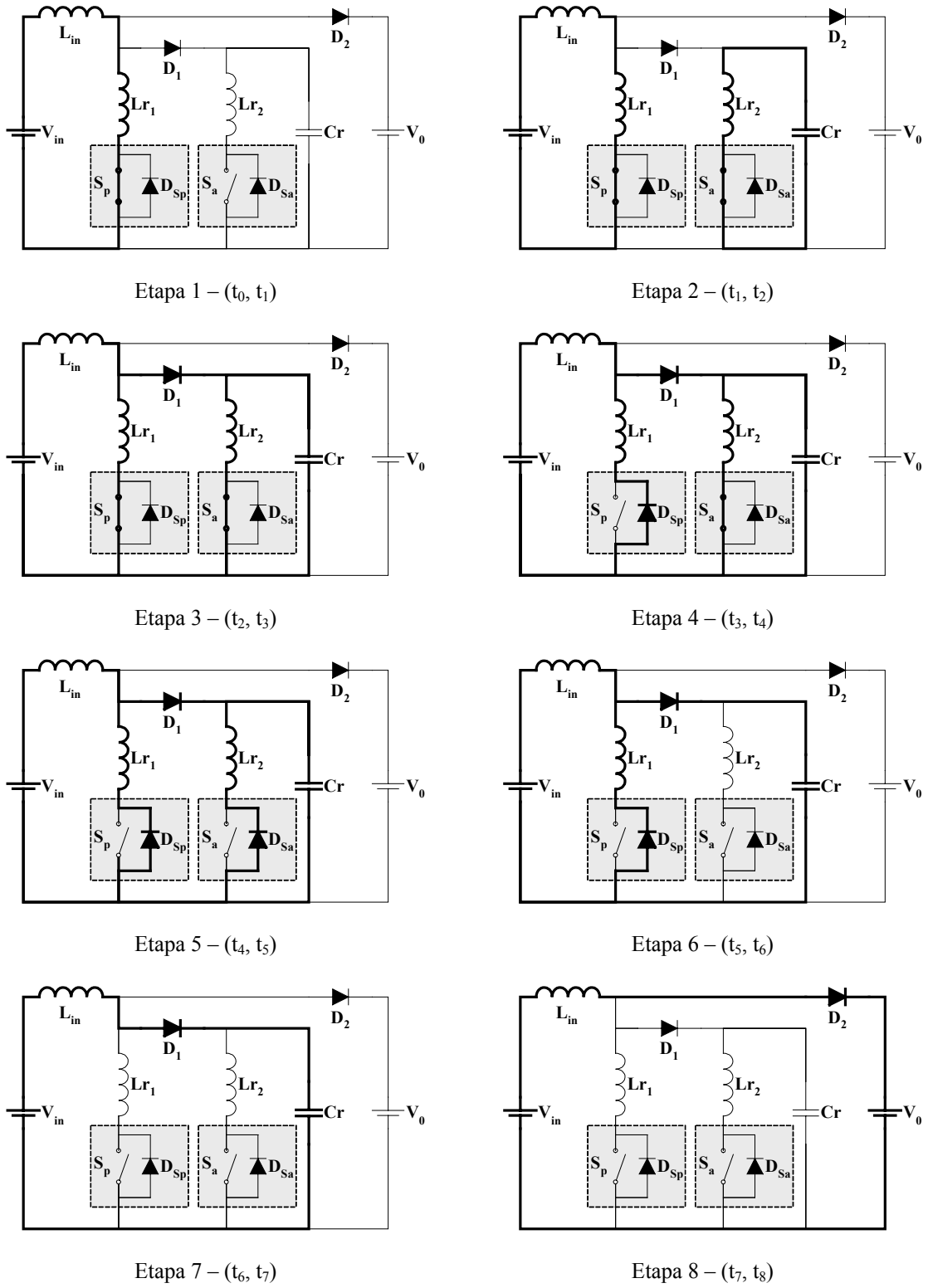


Figura 3.3 - Etapas de funcionamento referentes à uma célula genérica do conjunto em “interleaving”.

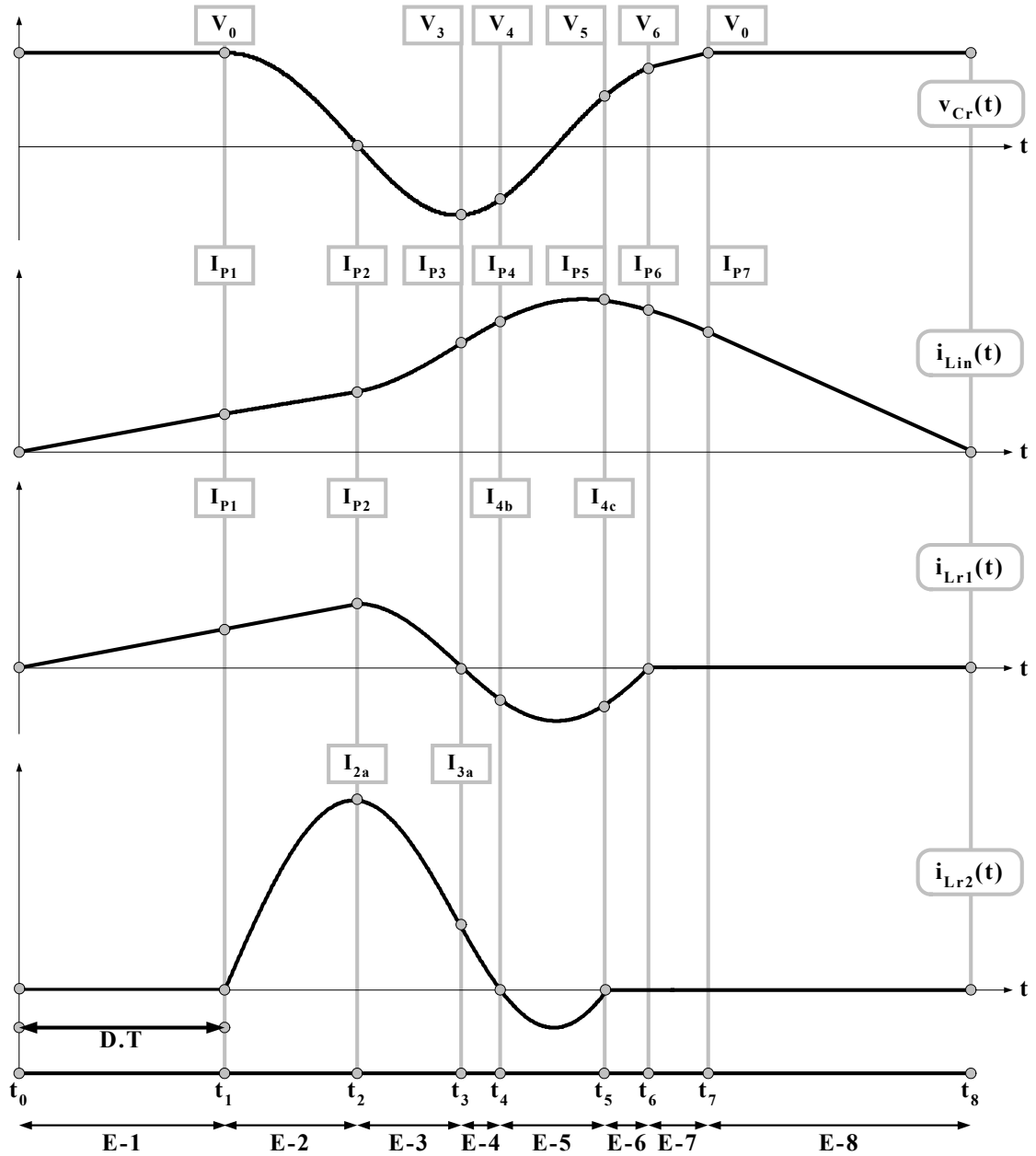


Figura 3.4 - Principais formas de onda teóricas, para uma célula genérica da estrutura Boost ZCS analisada, durante um período de funcionamento genérico.

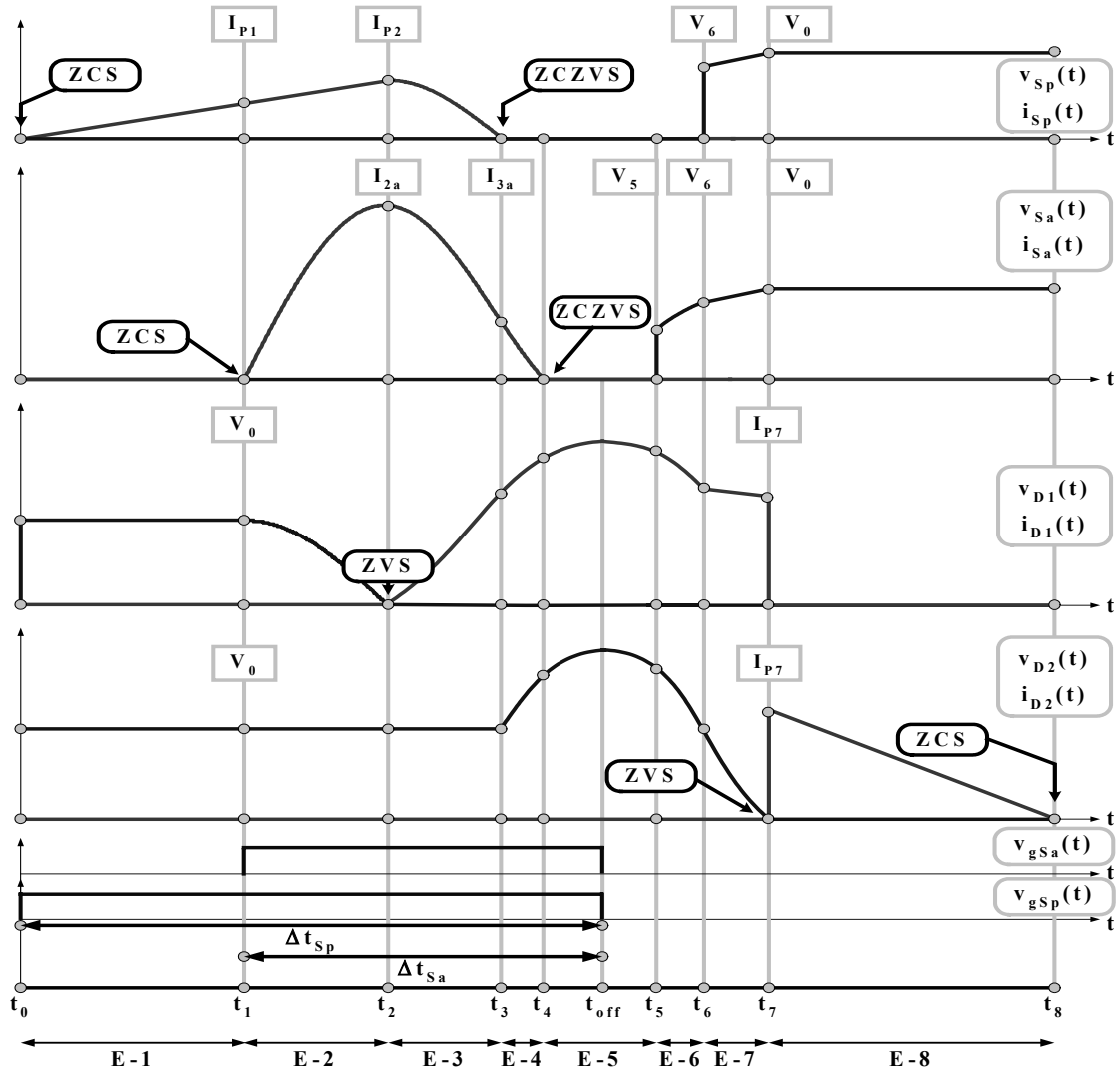


Figura 3.5 - Principais formas de onda teóricas dos esforços nos semicondutores, para uma célula genérica da estrutura Boost ZCS analisada, durante um período de funcionamento genérico.

### 3.2.2 - Equacionamento Passo a Passo

As análises de cada etapa de funcionamento de uma célula, enfatizando-se as variáveis de estado do circuito, são apresentadas no decorrer desta seção. No desenvolvimento da modelagem matemática foram admitidas as seguintes hipóteses de simplificação:

- os semicondutores são considerados como interruptores ideais, sendo assumidos como curtos-circuitos quando em condução e circuitos abertos quando bloqueados;
- o filtro de saída ( $C_0$ ) em conjunto com a carga ( $R_0$ ) pode ser representado por uma fonte de tensão constante ( $V_0$ ).

### 3.2.2.1 - Etapa 1 $[t_0, t_1]$

Esta etapa de funcionamento tem o seu início no instante de tempo  $t=t_0$ , onde o interruptor principal  $S_p$  é comandado para a condução com corrente nula (ZCS), conforme a figura 3.6 e a tabela 3.1. A corrente através do indutor boost  $L_{in}$ , parte do seu valor nulo, crescendo de forma linear regida pelas intensidades da tensão da fonte de entrada, da indutância boost e da indutância ressonante  $L_{r1}$ .

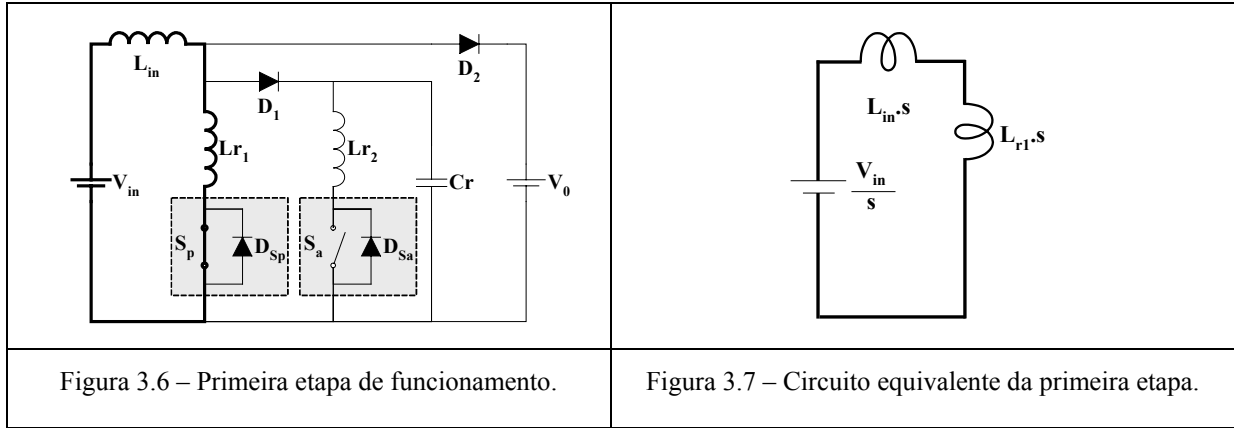


Tabela 3.1 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais - Variáveis	Estado Inicial dos Semicondutores
$i_{Lin}(t_0) = 0$	$S_p$ e $S_a = \text{OFF}$ $D_1$ e $D_2 = \text{OFF}$ $D_{Sp}$ e $D_{Sa} = \text{OFF}$
$i_{Lr1}(t_0) = 0$	
$i_{Lr2}(t_0) = 0$	
$v_{Cr}(t_0) = V_o$	

Neste contexto, tem-se as seguintes equações para esta etapa de funcionamento:

$$i_{Lin}(t) = \frac{V_{in}}{L_{in} + L_{r1}} \cdot t \quad (3.1)$$

$$i_{Lr1}(t) = \frac{V_{in}}{L_{in} + L_{r1}} \cdot t \quad (3.2)$$

$$i_{Lr2}(t) = 0 \quad (3.3)$$

$$v_{Cr}(t) = V_o \quad (3.4)$$



A duração desta etapa de funcionamento,  $\Delta t_1$ , é determinada pela razão cíclica do interruptor principal.

$$\Delta t_1 = D \cdot T \quad (3.5)$$

Onde:

$$T = \frac{1}{f_s}$$

D: razão cíclica do comando; T: período de chaveamento;

$f_s$ : frequência de chaveamento;

Observa-se que a modelagem considerará a operação em regime permanente para uma dada potência de saída, onde fica então definida uma frequência de operação. Obviamente, para uma potência média na carga distinta, a frequência de chaveamento será então também distinta, ou seja, a estrutura opera com frequência variável.

Adotando-se que a corrente normalizada de carga  $\alpha$ , a frequência angular de ressonância  $\omega_O$  e os parâmetros  $\beta_1$  e  $\beta_2$ , que envolvem as relações entre as indutâncias ressonantes e a indutância boost, são dadas por:

$$\alpha = \frac{I_{O[i]}}{V_{in}} \sqrt{\frac{L_{in} + L_{r1}}{C_r}} \quad (3.6)$$

Onde:

$I_{O[i]}$  é o valor médio da corrente de saída de uma célula genérica “i”;

$V_{in}$  é o valor médio da tensão de entrada.

$$\omega_O = \frac{1}{\sqrt{(L_{in} + L_{r1}) \cdot C_r}} \quad (3.7)$$

$$\beta_1 = \frac{L_{r2}}{L_{r1}} \quad (3.8)$$

$$\beta_2 = \frac{L_{in}}{L_{r1}} \quad (3.9)$$

Logo, ao final da etapa, no instante de tempo  $t=t_1$ , a corrente nos indutores boost e ressonante  $L_{r1}$ , serão dadas por:

$$i_{Lin}(t) = i_{Lr1}(t) = I_{P1} = \frac{I_{O[i]}}{\alpha} \cdot \omega_O \cdot D \cdot T \quad (3.10)$$

### 3.2.2.2 - Etapa 2 $[t_1, t_2]$

No instante de tempo  $t=t_1$  o interruptor auxiliar  $S_a$  é comandado para a condução com corrente nula (ZCS), conforme figura 3.8 e tabela 3.2.

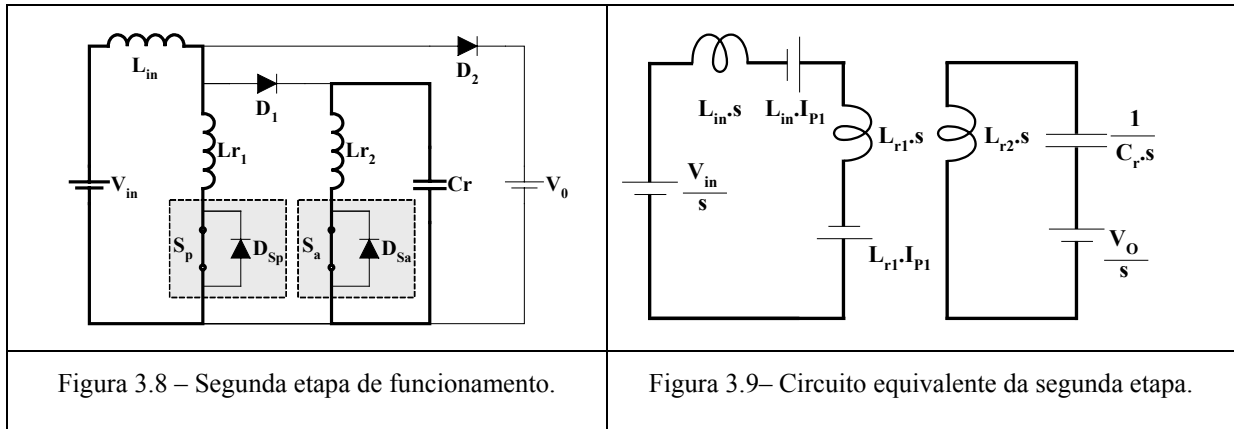


Tabela 3.2 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais - Variáveis	Estado Inicial dos Semicondutores
$i_{L_{in}}(t_1) = I_{P1}$	$S_p = \text{ON}$
$i_{L_{r1}}(t_1) = I_{P1}$	$S_a = \text{OFF}$
$i_{L_{r2}}(t_1) = 0$	$D_1 \text{ e } D_2 = \text{OFF}$
$v_{C_r}(t_1) = V_o$	$D_{Sp} \text{ e } D_{Sa} = \text{OFF}$

Inicia-se o período de ressonância entre os componentes  $L_{r2}$  e  $C_r$ , o que proporciona um crescimento senoidal da corrente através do indutor ressonante  $L_{r2}$  e um decrescimento cosenoidal da tensão sobre o capacitor ressonante  $C_r$ , regidos por uma frequência angular de ressonância  $\omega_{02}$  dada pela equação (3.11).

$$\omega_{02} = \frac{1}{\sqrt{L_{r2} \cdot C_r}} \quad (3.11)$$

A corrente através dos indutores boost  $L_{in}$  e ressonante  $L_{r1}$  continua crescendo de forma linear, regida pela seguinte equação:

$$i_{L_{in}}(t) = i_{L_{r1}}(t) = I_{P1} + \frac{V_{in}}{L_{in} + L_{r1}} \cdot t \quad (3.12)$$

A corrente através de  $L_{r2}$  e a tensão sobre  $C_r$  são regidos pelas equações (3.13) e (3.14).

$$i_{L_{r2}}(t) = \sqrt{\frac{C_r}{L_{r2}}} \cdot V_o \cdot \text{sen}(\omega_{02} \cdot t) \quad (3.13)$$

$$v_{C_r}(t) = V_o \cdot \text{cos}(\omega_{02} \cdot t) \quad (3.14)$$

Esta etapa termina no instante  $t=t_2$ , no qual a tensão sobre o capacitor ressonante  $C_r$  chega a zero, proporcionando que o diodo  $D_1$  entre em condução com tensão nula (ZVS), conforme figura 3.5.

$$v_{Cr}(t_2) = 0 \quad (3.15)$$

O intervalo de tempo de duração desta etapa de funcionamento é dado por:

$$\Delta t_2 = \frac{1}{\omega_{O2}} \cdot \frac{\pi}{2} \quad (3.16)$$

Ao final desta etapa tem-se que as variáveis de estado apresentam as condições descritas nas equações (3.17) até (3.20).

$$i_{Lin}(t_2) = i_{Lr1}(t_2) = I_{P2} = \frac{I_{O[i]}}{\alpha} \cdot \left( \sqrt{\frac{\beta_1}{\beta_2 + 1}} \cdot \frac{\pi}{2} + \omega_O \cdot D \cdot T \right) \quad (3.17)$$

$$i_{Lr2}(t_2) = I_{2a} = \frac{I_{O[i]}}{\alpha} \cdot \frac{V_O}{V_{in}} \cdot \sqrt{\frac{\beta_2 + 1}{\beta_1}} \quad (3.18)$$

$$v_{Cr}(t_2) = 0 \quad (3.19)$$

### 3.2.2.3 - Etapa 3 $[t_2, t_3]$

Esta etapa tem início com a entrada em condução ZVS do diodo  $D_1$ , sendo regida por uma nova frequência de ressonância  $\omega_{03}$ , pois com a entrada do diodo  $D_1$  há a interconexão entre os dois circuitos que vinham funcionando separadamente na etapa anterior, conforme a figura 3.10 e a tabela 3.3.

A tensão sobre o capacitor ressonante  $C_r$  passa a crescer de forma ressonante, mas com polaridade negativa, conforme figura 3.4. Observa-se também que a tensão sobre  $C_r$ , durante a sua excursão por esta etapa, passa pelo seu máximo valor negativo (pico).

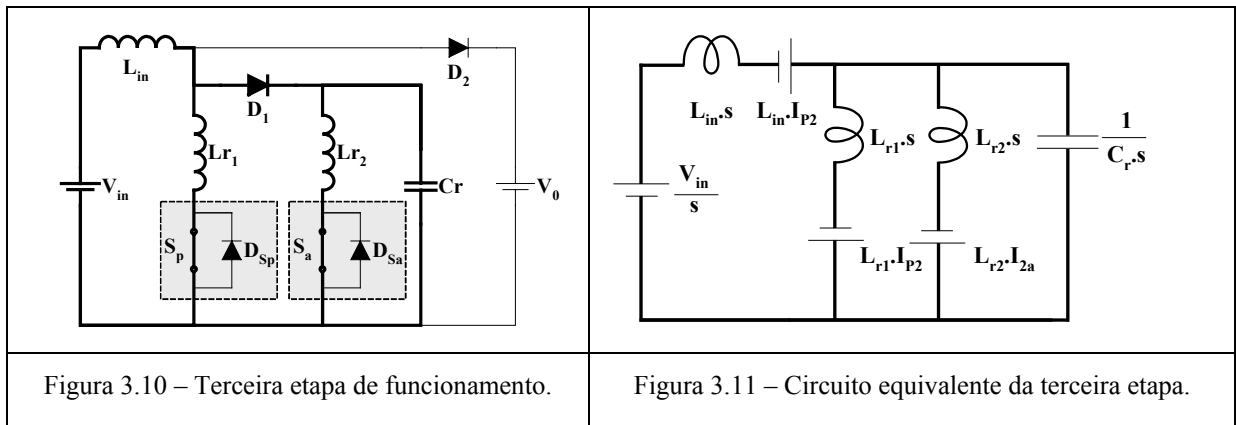


Tabela 3.3 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais -Variáveis	Estado Inicial dos Semicondutores
$i_{Lin}(t_2) = I_{P2}$	$S_p = \text{ON}$
$i_{Lr1}(t_2) = I_{P2}$	$S_a = \text{ON}$
$i_{Lr2}(t_2) = I_{2a}$	$D_1 = \text{ON}$
$v_{Cr}(t_2) = 0$	$D_2 = \text{OFF}$
	$D_{Sp} \text{ e } D_{Sa} = \text{OFF}$

De forma ressonante, as correntes através dos indutores ressonantes  $L_{r1}$  e  $L_{r2}$  decrescem, até o instante de tempo  $t=t_3$ , onde a corrente que flui através de  $L_{r1}$  chega a zero.

$$\omega_{O3} = \sqrt{\frac{L_{in} \cdot (L_{r1} + L_{r2}) + L_{r1} \cdot L_{r2}}{L_{in} \cdot L_{r1} \cdot L_{r2} \cdot C_r}} \quad (3.20)$$

As variáveis de estado do circuito equivalente da figura 3.11 sem normalização são apresentadas nas expressões 3.21, 3.22, 3.23 e 3.24.

$$i_{Lin}(t) = \frac{V_{in}}{L_{in}} \cdot \frac{\sin(\omega_{O3} \cdot t)}{\omega_{O3}} + I_{P2} \cdot \cos(\omega_{O3} \cdot t) + \frac{V_{in}}{L_{in} \cdot L_{req} \cdot C_r} \cdot \left( \frac{t}{\omega_{O3}^2} - \frac{\sin(\omega_{O3} \cdot t)}{\omega_{O3}^3} \right) + \frac{(1 - \cos(\omega_{O3} \cdot t))}{\omega_{O3}^2} \cdot \left( \frac{I_{P2}}{C_r \cdot L_{req}} + \frac{(I_{P2} + I_{2a})}{L_{in} \cdot C_r} \right) \quad (3.21)$$

$$i_{Lr1}(t) = \frac{V_{in}}{L_{in} \cdot L_{r1} \cdot C_r} \cdot \left( \frac{t}{\omega_{O3}^2} - \frac{\sin(\omega_{O3} \cdot t)}{\omega_{O3}^3} \right) + \frac{(1 - \cos(\omega_{O3} \cdot t))}{\omega_{O3}^2} \cdot \left( \frac{I_{P2}}{C_r} \cdot \left( \frac{1}{L_{in}} + \frac{1}{L_{r2}} \right) + \frac{(I_{P2} - I_{2a})}{L_{r1} \cdot C_r} \right) + I_{P2} \cdot \cos(\omega_{O3} \cdot t) \quad (3.22)$$

$$i_{Lr2}(t) = \frac{V_{in}}{L_{in} \cdot L_{r2} \cdot C_r} \cdot \left( \frac{t}{\omega_{O3}^2} - \frac{\sin(\omega_{O3} \cdot t)}{\omega_{O3}^3} \right) + \frac{(1 - \cos(\omega_{O3} \cdot t))}{\omega_{O3}^2} \cdot \left( \frac{I_{P2}}{C_r} \cdot \left( \frac{1}{L_{in}} + \frac{1}{L_{r1}} \right) \right) + I_{2a} \cdot \cos(\omega_{O3} \cdot t) \quad (3.23)$$

$$v_{Cr}(t) = \frac{V_{in}}{L_{in} \cdot C_r} \cdot \left( \frac{1}{\omega_{O3}^2} - \frac{\cos(\omega_{O3} \cdot t)}{\omega_{O3}^2} \right) + \frac{(\sin(\omega_{O3} \cdot t))}{\omega_{O3}} \cdot \left( \frac{I_{P2}}{C_r} \cdot \left( \frac{L_{r1}}{L_{in}} + \frac{L_{r1}}{L_{r2}} \right) + \frac{(I_{P2} - I_{2a})}{C_r} \right) - I_{P2} \cdot L_{r1} \cdot \omega_{O3} \cdot \sin(\omega_{O3} \cdot t) \quad (3.24)$$

Onde:

$$L_{req} = \frac{L_{r1} \cdot L_{r2}}{L_{r1} + L_{r2}} \quad (3.25)$$

O final desta etapa, no instante de tempo  $t=t_3$ , é marcado pelo fato da corrente que flui através do indutor ressonante  $L_{r1}$  chegar a zero, ou seja:

$$i_{Lr1}(t_3) = 0 \quad (3.26)$$

Após este instante, a corrente através de  $L_{r1}$  começa a fluir em sentido contrário, fazendo com que ocorra a entrada em condução do diodo  $D_{Sp}$ , associado em antiparalelo com  $S_p$ .

Nota-se claramente na equação referente à corrente através do indutor  $L_{r1}$ , equação (3.21), que a determinação do intervalo de tempo de duração desta etapa,  $\Delta t_3$ , não pode ser efetuada através de métodos de solução lineares convencionais. Desta forma, para resolução do intervalo de duração desta etapa, deve-se empregar métodos de solução de sistemas não lineares de equações. Assim, para a determinação de  $\Delta t_3$  utilizou-se o Método de Newton-Rapson, implementado através do algoritmo apresentado na figura 3.12.

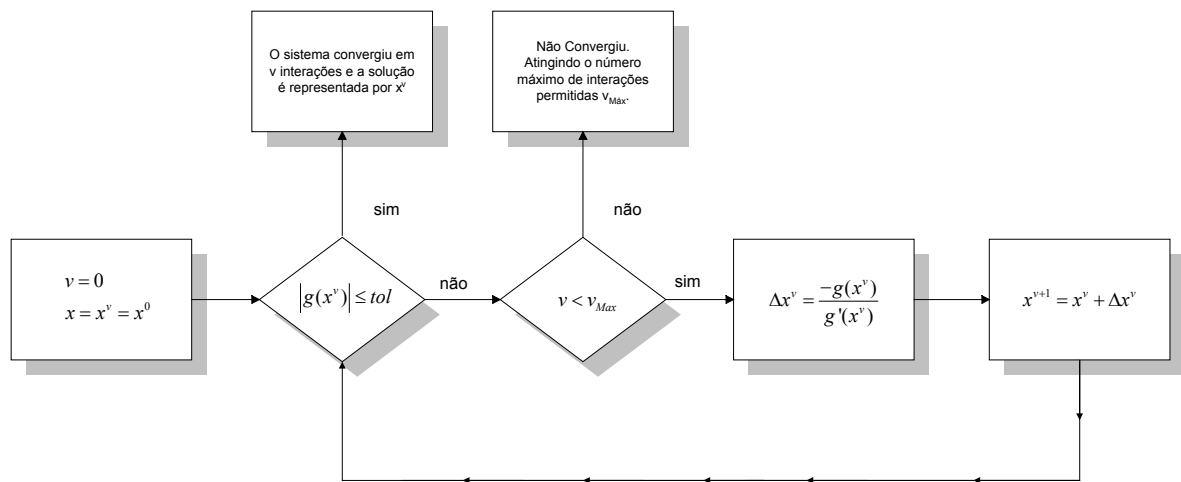


Figura 3.12– Fluxograma ilustrando a resolução do sistema não-linear baseado no Método de Newton-Rapson.

#### 3.2.2.4 -Etapa 4 $[t_3, t_4]$

Esta etapa começa com a entrada em condução do diodo  $D_{Sp}$ , associado em antiparalelo com o interruptor  $S_p$ , o qual começa a assumir a condução da corrente através do indutor ressonante  $L_{r1}$ , que agora flui em seu sentido negativo, conforme a figura 3.13 e a tabela 3.4.

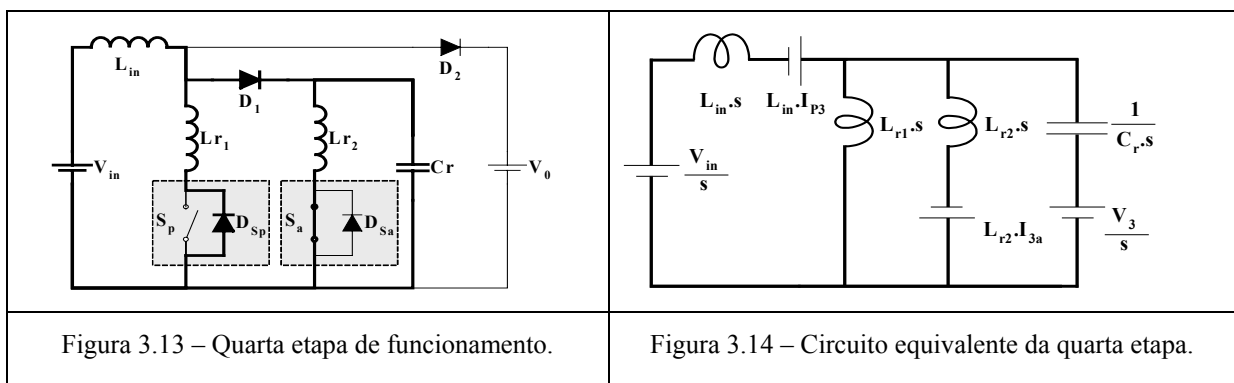


Tabela 3.4 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais – Variáveis	Estado Inicial dos Semicondutores
$i_{Lin}(t_3) = I_{P3}$	$S_p = \text{OFF}$
$i_{Lr1}(t_3) = 0$	$S_a = \text{ON}$
$i_{Lr2}(t_3) = I_{3a}$	$D_1 = \text{ON}$
$v_{Cr}(t_3) = V_3$	$D_2 = \text{OFF}$
	$D_{Sp} = \text{ON}$
	$D_{Sa} = \text{OFF}$

Assim, as correntes através dos indutores  $L_{in}$ ,  $L_{r1}$  e  $L_{r2}$  e a tensão sobre o capacitor  $C_r$  continuam a evoluir de forma ressonante, com a mesma frequência de ressonância angular  $\omega_0$ .

Durante esta etapa de funcionamento seria possível comandar para o bloqueio o interruptor principal  $S_p$  em condições de corrente e tensão nulas (ZCZVS). Entretanto, apesar da circulação de corrente somente através de  $D_{Sp}$ , o bloqueio de  $S_p$  se dará conjuntamente com  $S_a$ , como se analisará a seguir.

Esta etapa termina no instante de tempo  $t=t_4$ , momento em que a corrente que flui pelo indutor ressoante  $L_{r2}$  chega a zero, fazendo com que o diodo  $D_{Sa}$  associado em antiparalelo com o interruptor auxiliar  $S_a$  entre em condução assumindo esta corrente através de  $L_{r2}$ .

As equações que regem as variáveis de estado desta etapa são as mesmas da etapa anterior. Assim sendo, a duração desta etapa,  $\Delta t_4$ , é determinada pelo método de solução não linear apresentado na figura 3.12.

### 3.2.2.5 -Etapa 5 [ $t_4$ , $t_5$ ]

Esta etapa tem início com a entrada em condução do diodo  $D_{Sa}$  em anti-paralelo com o interruptor auxiliar, assumindo a excursão negativa da corrente que flui através do indutor ressonante  $L_{r2}$ , conforme a figura 3.15 e a tabela 3.5.

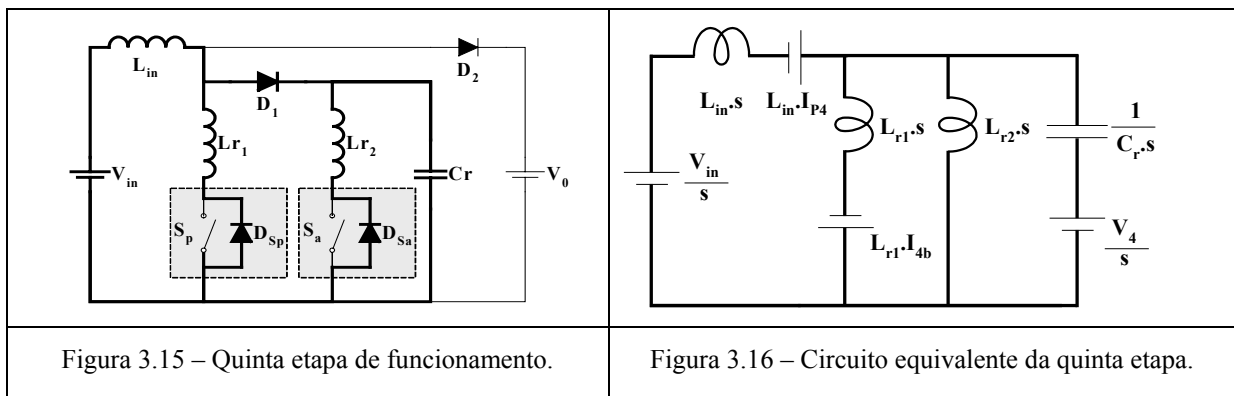


Tabela 3.5 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais - Variáveis	Estado Inicial dos Semicondutores
$i_{Lin}(t_4) = I_{P4}$	$S_p = \text{OFF}$
$i_{Lr1}(t_4) = I_{4b}$	$S_a = \text{OFF}$
$i_{Lr2}(t_4) = I_{4a}$	$D_1 = \text{ON}$
$v_{Cr}(t_4) = V_4$	$D_2 = \text{OFF}$
	$D_{Sp} = \text{ON}$
	$D_{Sa} = \text{ON}$

Assim, as correntes através dos indutores  $L_{in}$ ,  $L_{r1}$  e  $L_{r2}$  e a tensão sobre o capacitor  $C_r$  continuam a evoluir de forma ressonante, com a frequência de ressonância angular  $\omega_{03}$ .

Nesta etapa de funcionamento propicia-se condições de tensão e corrente nulas para o interruptor auxiliar  $S_a$ , permitindo seu bloqueio, conjuntamente com o interruptor principal  $S_p$ , com comutação não dissipativa do tipo ZCZVS, conforme figura 3.5.

O término desta etapa é marcado pelo fato da corrente através do indutor  $L_{r2}$  voltar a se anular, fazendo com que o diodo  $D_{Sa}$  seja bloqueado por corrente nula (ZCS).

As equações que regem esta etapa são as mesmas da etapa anterior. No instante de tempo  $t=t_5$ , as variáveis de estado apresentam as seguintes intensidades:

$$i_{Lin}(t_5) = I_{P5} = \frac{I_{O[i]}}{\alpha} \cdot \left( C \cdot A^3 \cdot \text{sen}(\omega_{03} \cdot \Delta t x) + E^2 \cdot C \cdot \omega_0 \cdot \Delta t x + F \cdot \frac{\pi}{2} + \omega_0 \cdot D \cdot T \right) + \frac{V_O}{V_{in}} \cdot \frac{A^2}{F} \cdot (1 - \cos(\omega_{03} \cdot \Delta t x)) \quad (3.27)$$

$$i_{Lr1}(t_5) = I_{Sb} = \frac{I_{O[i]}}{\alpha} \cdot \left( C \cdot A^2 \cdot \beta_2 \cdot (C \cdot \omega_0 \cdot \Delta t x - \text{sen}(\omega_{03} \cdot \Delta t x) \cdot A) + F \cdot \frac{\pi}{2} + \omega_0 \cdot D \cdot T \right) - \frac{V_O}{V_{in}} \cdot \frac{A^2}{F} \cdot \beta_2 \cdot (1 - \cos(\omega_{03} \cdot \Delta t x)) \quad (3.28)$$

$$i_{Lr2}(t_5) = 0 \quad (3.29)$$

$$v_{Cr}(t_5) = V_5 = \frac{I_{O[i]} \cdot L_{r1} \cdot \omega_0}{\alpha} \cdot \left( C^2 \cdot A^2 \cdot \beta_2 \cdot (1 - \cos(\omega_{03} \cdot \Delta t x) \cdot A) - \frac{V_O}{V_{in}} \cdot \frac{A \cdot C}{F} \cdot \beta_2 \cdot \text{sen}(\omega_{03} \cdot \Delta t x) \right) \quad (3.30)$$

Onde:

$$A = \sqrt{\frac{\beta_1}{\beta_2 \cdot (\beta_1 + 1) + \beta_1}} \quad (3.31)$$

$$C = \sqrt{\frac{\beta_2 + 1}{\beta_2}} \quad (3.32)$$

$$E = \sqrt{\frac{\beta_2 \cdot (\beta_1 + 1)}{\beta_2 \cdot (\beta_1 + 1) + \beta_1}} \quad (3.33)$$

$$F = \sqrt{\frac{\beta_1}{\beta_2 + 1}} \quad (3.34)$$

Para garantir a comutação do tipo não dissipativa em ambos os interruptores ( $S_P$  e  $S_a$ ), ou seja, que as etapas de funcionamento ocorram da maneira teórica esperada, deve-se garantir por meio de restrições impostas, em função dos parâmetros de normalização, que a corrente através do indutor ressonante  $L_{r1}$  chegue a zero, na ressonância, antes da corrente através do indutor ressonante  $L_{r2}$ . Adicionalmente, deve-se garantir também que a corrente através do indutor ressonante  $L_{r2}$  chegue a zero e que exista uma parcela negativa, de intensidade estipulada, durante esta etapa.

Assim, as inequações 3.35, 3.36 e 3.37 apresentam as restrições que garantem a comutação do tipo ZCS determinadas a partir das equações das variáveis de estado envolvidas nestas três últimas etapas de operação. A inequação 3.37 foi determinada através da determinação do valor máximo negativo da corrente através do indutor ressonante  $L_{r2}$ .

$$\alpha < \beta_2 + 1 \quad (3.35)$$

$$\beta_1 < 1 \quad (3.36)$$

$$\left[ \left( \frac{A}{C} \cdot \arccos \left( \frac{1 - \left( \frac{V_o}{V_{in}} \cdot \frac{1}{C \cdot A \cdot F} \right)^2}{1 + \left( \frac{V_o}{V_{in}} \cdot \frac{1}{C \cdot A \cdot F} \right)^2} \right) - \left( \frac{V_o}{V_{in}} \cdot \frac{1}{C \cdot A \cdot F} \right) + \frac{V_o}{V_{in}} \cdot [F \cdot (1 + \beta_2)] \right] > 0 \quad (3.37)$$

### 3.2.2.6 -Etapas 6 [ $t_5$ , $t_6$ ]

Esta etapa inicia no instante de tempo  $t = t_5$ , com o bloqueio do diodo  $D_{Sa}$  com corrente nula (ZCS), removendo o braço do circuito da célula que continha o interruptor auxiliar  $S_a$  e o indutor ressonante  $L_{r2}$ , conforme a figura 3.17 e a tabela 3.6.

Uma nova etapa de ressonância composta pelos indutores  $L_{in}$  e  $L_{r1}$ , em conjunto com capacitor  $C_r$  tem início, resultando na frequência de ressonância angular  $\omega_{06}$ .

$$\omega_{06} = \sqrt{\frac{L_{in} + L_{r1}}{L_{in} \cdot L_{r1} \cdot C_r}} \quad (3.38)$$



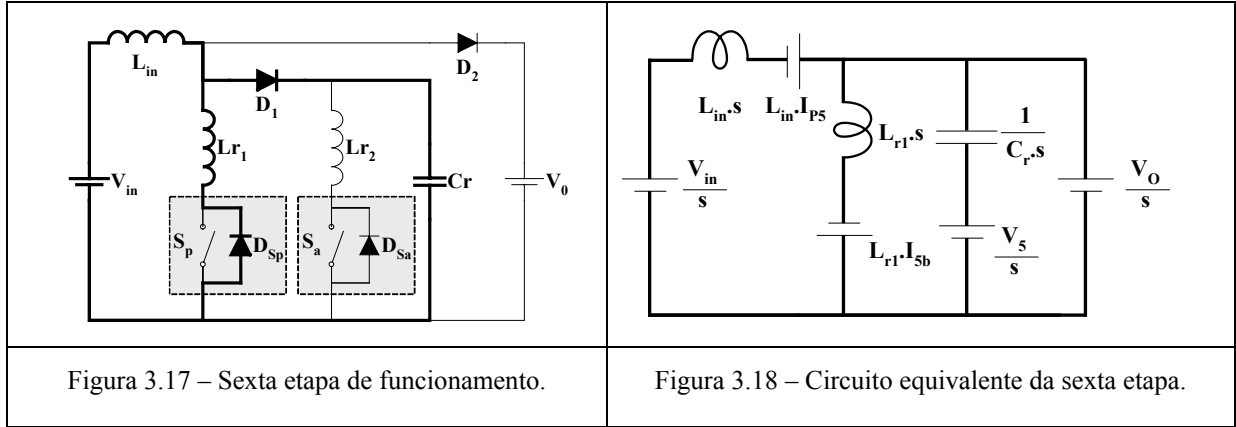


Tabela 3.6 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais Variáveis	Estado Inicial dos Semicondutores
$i_{L_{in}}(t_5) = I_{P5}$	$S_p = \text{OFF}$
$i_{L_{r1}}(t_5) = I_{5b}$	$S_a = \text{OFF}$
$i_{L_{r2}}(t_5) = 0$	$D_1 = \text{ON}$
$v_{C_r}(t_5) = V_5$	$D_2 = \text{OFF}$
	$D_{Sp} = \text{ON}$
	$D_{Sa} = \text{OFF}$

A corrente através do indutor ressonante  $L_{r1}$  decresce de forma ressonante, até que no instante de tempo  $t=t_6$  se anula. Conseqüentemente, ocorre o bloqueio o diodo  $D_{Sp}$  com corrente nula (ZCS).

A corrente através do indutor boost e a tensão sobre o capacitor  $C_r$ , crescem de maneira ressonante regidas pelas equações 3.39 até 3.42.

$$i_{L_{in}}(t) = \frac{(V_{in} - V_5)}{L_{in}} \cdot \frac{\text{sen}(\omega_{06} \cdot t)}{\omega_{06}} + I_{P5} \cdot \cos(\omega_{06} \cdot t) + \frac{V_{in}}{L_{in} \cdot L_{r1} \cdot C_r} \cdot \left( \frac{t}{\omega_{06}^2} - \frac{\text{sen}(\omega_{06} \cdot t)}{\omega_{06}^3} \right) + \frac{(1 - \cos(\omega_{06} \cdot t))}{\omega_{06}^2} \cdot \left( \frac{I_{P5}}{C_r \cdot L_{r1}} + \frac{(I_{5b})}{L_{in} \cdot C_r} \right) \quad (3.39)$$

$$i_{L_{r1}}(t) = \frac{V_{in}}{L_{in} \cdot L_{r1} \cdot C_r} \cdot \left( \frac{t}{\omega_{06}^2} - \frac{\text{sen}(\omega_{06} \cdot t)}{\omega_{06}^3} \right) + \frac{(1 - \cos(\omega_{06} \cdot t))}{\omega_{06}^2} \cdot \left( \frac{I_{P5}}{L_{r1} \cdot C_r} + \frac{I_{5b}}{L_{in} \cdot C_r} \right) + I_{P5} \cdot \cos(\omega_{03} \cdot t) + \frac{V_5}{L_{r1}} \cdot \frac{\text{sen}(\omega_{06} \cdot t)}{\omega_{06}} \quad (3.40)$$

$$i_{L_{r2}}(t) = 0 \quad (3.41)$$

$$v_{C_r}(t) = \frac{V_{in}}{L_{in} \cdot C_r} \cdot \left( \frac{1}{\omega_{06}^2} - \frac{\cos(\omega_{06} \cdot t)}{\omega_{06}^2} \right) + \frac{\text{sen}(\omega_{06} \cdot t)}{\omega_{06}} \cdot \left( \frac{I_{P5}}{C_r} + \frac{L_{r1}}{L_{in} \cdot C_r} \cdot I_{5b} \right) - I_{P5} \cdot L_{r1} \cdot \omega_{06} \cdot \text{sen}(\omega_{06} \cdot t) + V_5 \cdot \cos(\omega_{06} \cdot t) \quad (3.42)$$

### 3.2.2.7 - Etapa 7 $[t_6, t_7]$

Esta etapa tem seu início demarcado com o bloqueio do diodo  $D_{Sp}$  associado em anti-paralelo com o interruptor principal, conforme a figura 3.19 e a tabela 3.7.

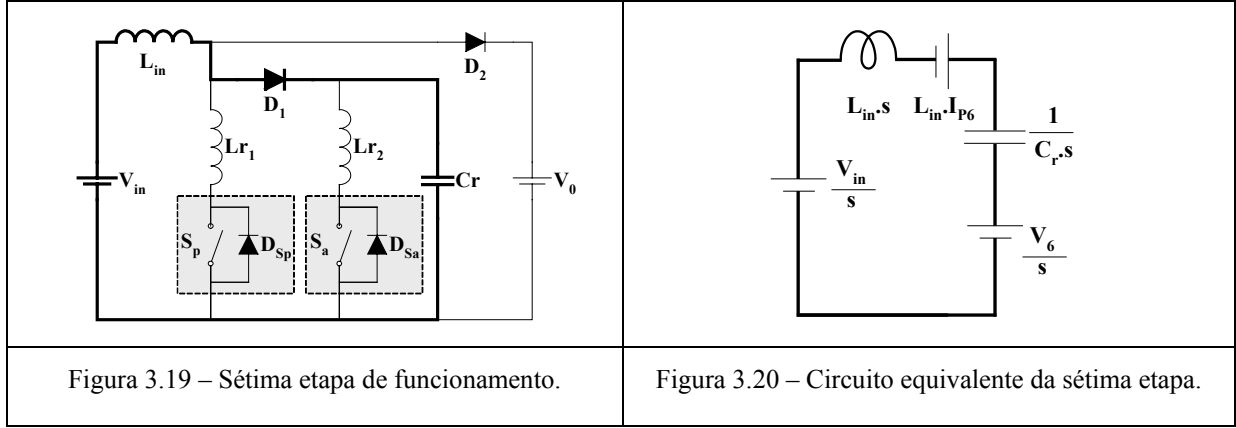


Tabela 3.7 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais - Variáveis	Estado Inicial dos Semicondutores
$i_{L_{in}}(t_6) = I_{P6}$	$S_p = \text{OFF}$
$i_{L_{r1}}(t_6) = 0$	$S_a = \text{OFF}$
$i_{L_{r2}}(t_6) = 0$	$D_1 = \text{ON}$
$v_{Cr}(t_6) = V_6$	$D_2 = \text{OFF}$
	$D_{Sp} = \text{OFF}$
	$D_{Sa} = \text{OFF}$

A corrente através do indutor boost  $L_{in}$  e a tensão sobre o capacitor ressonante  $C_r$  variam de forma ressonante com a frequência de ressonância angular  $\omega_{07}$ .

$$\omega_{07} = \frac{1}{\sqrt{L_{in} \cdot C_r}} \quad (3.43)$$

As variáveis de estado evoluem para esta etapa de funcionamento de acordo com as equações 3.44 até 3.47.

$$i_{L_{in}}(t) = \frac{(V_{in} - V_6)}{L_{in}} \cdot \frac{\text{sen}(\omega_{07} \cdot t)}{\omega_{07}} + I_{P6} \cdot \cos(\omega_{07} \cdot t) \quad (3.44)$$

$$i_{L_{r1}}(t) = 0 \quad (3.45)$$

$$i_{L_{r2}}(t) = 0 \quad (3.46)$$

$$v_{Cr}(t) = V_{in} - (V_{in} - V_6) \cdot \cos(\omega_{07} \cdot t) + \sqrt{\frac{L_{in}}{C_r}} \cdot I_{P6} \cdot \text{sen}(\omega_{07} \cdot t) \quad (3.47)$$

Esta etapa tem o seu término determinado pelo instante de tempo em que o capacitor ressonante  $C_r$  atinge o valor da tensão de saída  $V_O$ , fazendo com que o diodo  $D_2$  entre em condução com condições de tensão nula (ZVS), conforme figura 3.5, provocando o bloqueio do diodo auxiliar  $D_1$ .

$$v_{Cr}(t_7) = 0 \quad (3.48)$$

Assim, resolvendo-se as equações 3.47 e 3.48 consegue-se determinar o intervalo  $\Delta t_7$ , de duração desta etapa, dado pela equação 3.49.

$$\Delta t_7 = \frac{1}{\omega_{07}} \cdot \arcsen \left( \frac{K_1 \cdot K_2 - \sqrt{K_2^2 + 1 - K_1^2}}{K_2^2 + 1} \right) \quad (3.49)$$

Onde:

$$K_1 = \frac{V_O - V_{in}}{V_{in} - V_6} \quad (3.50)$$

$$K_2 = \sqrt{\frac{L_{in}}{C_r}} \cdot \frac{I_{P6}}{V_{in} - V_6} \quad (3.51)$$

### 3.2.2.8 -Etapa 8 $[t_7, t_8]$

Esta etapa tem o seu início com a entrada em condução do diodo  $D_2$ , realizando a interconexão entre o elemento armazenador de energia, o indutor boost  $L_{in}$  e a carga, representada pela fonte de tensão  $V_O$ , ocorrendo assim a transferência de energia para a carga, conforme a figura 3.21 e a tabela 3.8.

A corrente através do indutor  $L_{in}$  decresce de forma linear, enquanto a tensão sobre o capacitor ressonante fica grampeada em  $V_O$ .

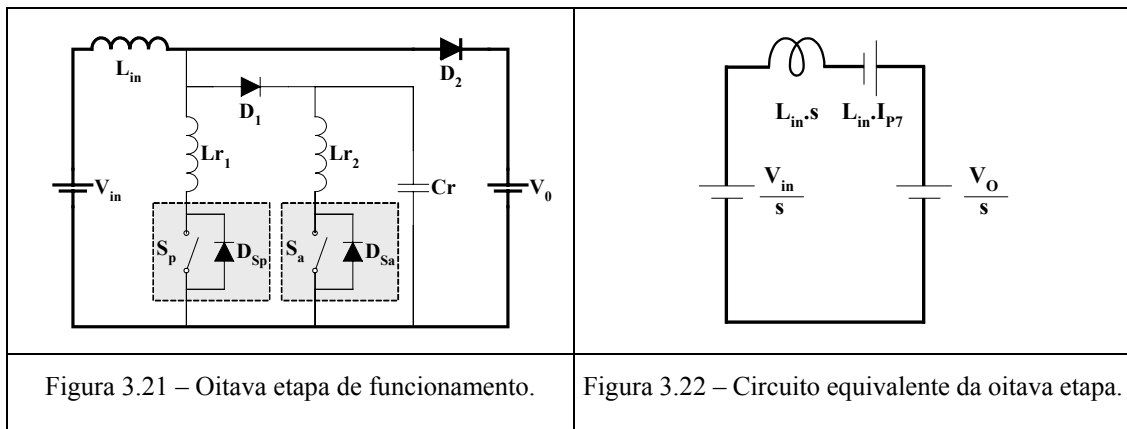


Tabela 3.8 – Condições iniciais das variáveis de estado e do estado dos semicondutores.

Condições Iniciais - Variáveis	Estado Inicial dos Semicondutores
$i_{Lin}(t_7) = I_{P7}$	$S_p = \text{OFF}$
$i_{Lr1}(t_7) = 0$	$S_a = \text{OFF}$
$i_{Lr2}(t_7) = 0$	$D_1 = \text{OFF}$
$v_{Cr}(t_7) = V_O$	$D_2 = \text{ON}$
	$D_{Sp} = \text{OFF}$
	$D_{Sa} = \text{OFF}$

As equações que regem as variáveis de estado desta etapa estão presentes nas equações de 3.52 até 3.55.

$$i_{Lin}(t) = I_{P7} - \frac{(V_O - V_{in})}{L_{in}} \cdot t \quad (3.52)$$

$$i_{Lr1}(t) = 0 \quad (3.53)$$

$$i_{Lr2}(t) = 0 \quad (3.54)$$

$$v_{Cr}(t) = V_O \quad (3.55)$$

O final desta etapa ocorre no instante de tempo  $t=t_8$ , instante em que a corrente através de  $L_{in}$  chega a zero, fazendo com que o diodo  $D_2$  seja bloqueado com corrente nula (ZCS), onde o decréscimo da corrente ocorre com uma derivada suave, conforme a figura 3.5.

$$i_{Lin}(t_8) = 0 \quad (3.56)$$

Assim, resolvendo o sistema dado pelas equações 3.52 e 3.56 determina-se o intervalo de tempo referente à duração desta etapa de funcionamento  $\Delta t_8$ , expresso pela equação 3.57.

$$\Delta t_8 = \frac{I_{P7} \cdot V_{in}}{V_O - V_{in}} = \frac{I_{P7}}{\frac{V_O}{V_{in}} - 1} \quad (3.57)$$

### 3.3 - Condições Necessárias para a comutação ser Não Dissipativa

Como visto durante o desenvolvimento da análise do conversor Boost CC/CC ZCS-FM, é necessário que se atenda as inequações 3.35, 3.36 e 3.37, para proporcionar uma comutação não dissipativa em ambos os interruptores. Caso tais condições não sejam atendidas, as etapas de funcionamento não se darão da forma descrita, e, conseqüentemente não garantindo a comutação de maneira não dissipativa nos interruptores e demais semicondutores, de acordo com a figura 3.5.

A figura 3.23 ilustra conjuntos discretos de pontos representando os parâmetros  $\beta_1$  e  $\beta_2$  válidos e inválidos, dados pela inequação 3.37, em um caso específico analisado, tomando-se a relação entre a tensão de saída ( $V_{in}$ ) e a tensão de entrada ( $V_o$ ) igual a 1,81.

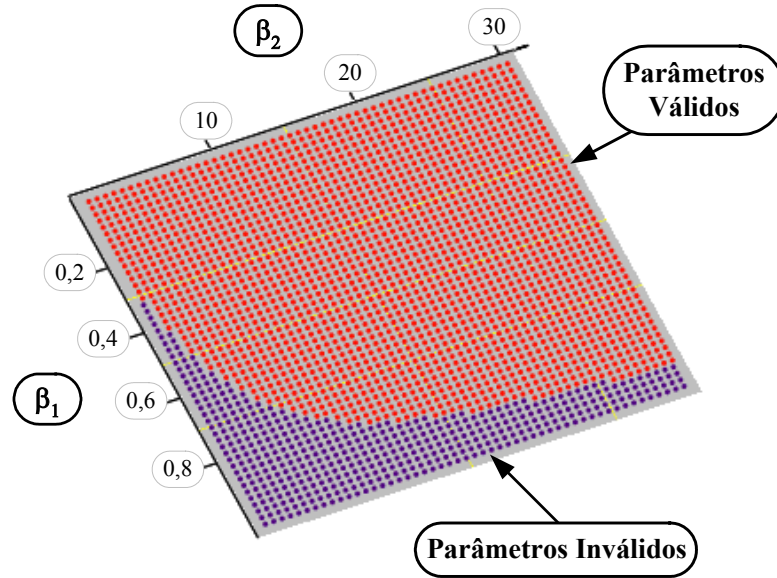


Figura 3.23 – Resultados da inequação 3.37, tomando-se  $q=1.81$ .

Como analisado o bloqueio dos interruptores principal ( $S_p$ ) e auxiliar ( $S_a$ ) deve ocorrer durante a quinta etapa. Assim, o intervalo de tempo ( $\Delta t_{off}$ ) destinado ao bloqueio simultâneo dos interruptores é dado por:

$$\Delta t_{off} = \Delta t_5 \quad (3.58)$$

Adotando-se que o instante de bloqueio dos interruptores aconteça na metade do intervalo de tempo da quinta etapa de funcionamento, os intervalos de tempo referentes ao controle dos mesmos são determinados à partir das equações 3.59 e 3.60.

$$\Delta t_{Sp} = D \cdot T + \frac{1}{\omega_{02}} \cdot \frac{\pi}{2} + \Delta t_{345-off} \quad (3.59)$$

$$\Delta t_{Sa} = \frac{1}{\omega_{02}} \cdot \frac{\pi}{2} + \Delta t_{345-off} \quad (3.60)$$

Onde:

$$\Delta t_{345-off} = \Delta t_3 + \Delta t_4 + \frac{\Delta t_{off}}{2} \quad (3.61)$$

Portanto, o intervalo de tempo de atraso ( $\Delta t_{\text{atraso}}$ ) entre os sinais de controle dos interruptores principal e auxiliar é o próprio intervalo de tempo determinado pela multiplicação do período de chaveamento e a razão cíclica.

$$\Delta t_{\text{atraso}} = D \cdot T \quad (3.62)$$

### 3.4 - Ganho Estático

Admitindo-se que o rendimento seja de 100%, a razão de conversão estática deste conversor, ou seja, o ganho estático ( $q$ ) é definido pela equação 3.63, onde se considera a distribuição uniforme de potência entre as células.

$$q = \frac{\sum_{i=1}^n I_{in-i}}{I_O} = \frac{I_{in-i}}{I_{O-i}} = \frac{V_O}{V_{in}} \quad (3.63)$$

Onde:

$I_{in-i}$  é o valor médio da corrente de entrada em uma célula genérica  $i$ ;

$I_O$  é o valor médio da corrente na carga;

$I_{O-i}$  é o valor médio da corrente de saída de uma célula genérica  $i$ ;

$V_{in}$  é o valor médio da tensão de entrada;

$V_O$  é o valor médio da tensão sobre a carga;

$n$  é o número de células idênticas.

A corrente média de entrada  $I_{in-i}$  de uma célula genérica “ $i$ ” é definida pela equação 3.64.

$$I_{in-i} = \frac{1}{T} \cdot \left\{ \int_0^{\Delta t_1} i_{Lin-etapa1}(t) \cdot dt + \int_0^{\Delta t_2} i_{Lin-etapa2}(t) \cdot dt + \int_0^{\Delta t_3} i_{Lin-etapas\ 3,4\ e\ 5}(t) \cdot dt + \int_0^{\Delta t_6} i_{Lin-etapa6}(t) \cdot dt \right. \\ \left. + \int_0^{\Delta t_7} i_{Lin-etapa7}(t) \cdot dt + \int_0^{\Delta t_8} i_{Lin-etapa8}(t) \cdot dt \right\} \quad (3.64)$$

Onde:

$i_{Lin-etapan}(t)$  é a equação da corrente através do indutor  $L_{in}$ , em uma célula genérica durante a etapa “ $n$ ”.

Desenvolvendo a equação 3.64 e simplificando, chega-se a equação 3.65.

$$q = \frac{\alpha + (K_{a1} + K_{a2} + K_{a3} + K_{a4} + K_{a5} + K_{a6} + K_{a7})}{\alpha - (K_{b1} + K_{b2} + K_{b3})} \quad (3.65)$$

Onde:

$$K_{a1} = D \cdot \left[ \omega_0 \cdot \left( \Delta tx + \Delta t6 + \frac{D \cdot T}{2} \right) + \left( \frac{\text{sen}(\omega_0 \cdot C \cdot \Delta t7)}{C} + \frac{F \cdot \pi}{2} \right) \right] \quad (3.66)$$

$$K_{a2} = \left[ F \cdot \left( \frac{F \cdot \pi^2}{8} \cdot \frac{1}{T \cdot \omega_0} \right) + \left[ A^4 \cdot \frac{\left( 1 - \cos\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right) \right)}{T \cdot \omega_0} + \frac{C^2 \cdot E^2 \cdot \Delta tx^2 \cdot \omega_0}{2 \cdot T} + \frac{F \cdot \pi}{T} \cdot \frac{1}{2} \right] \right. \\ \left. + \frac{1}{\beta_2^2 \cdot C^4} \cdot \frac{\left( 1 - \cos\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \right)}{T \cdot \omega_0} + \frac{\Delta t6^2}{2} \cdot \frac{\omega_0}{T} \right] \quad (3.67)$$

$$K_{a3} = \left[ \frac{-1}{\beta_2^2 \cdot C^4} \cdot \frac{\left( 1 - \cos\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \right)}{T \cdot \omega_0} \cdot \left[ A^2 \cdot \left( 1 - \cos\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right) \right) \right] \right. \\ \left. + \frac{1}{\beta_2^2 \cdot C^4} \cdot \frac{\text{sen}\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right)}{T \cdot \omega_0} \cdot \frac{\sqrt{\beta_2}}{\beta_2 + 1} \cdot \left( \frac{C^2 \cdot \omega_0 \cdot \Delta tx \cdot (E^2 - \beta_2 \cdot A^2) +}{C \cdot A^3 \cdot (1 + \beta_2) \cdot \text{sen}\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right)} \right) \right] \quad (3.68)$$

$$K_{a4} = \left[ \frac{\Delta t6}{T} \cdot \left[ \omega_0 \cdot \Delta tx + \frac{F \cdot \pi}{2} \right] + \frac{\left( 1 - \cos(C \cdot \omega_0 \cdot \Delta t7) \right)}{T \cdot \omega_0} \right] \quad (3.69)$$

$$K_{a5} = \left[ \frac{-\left( 1 - \cos(C \cdot \omega_0 \cdot \Delta t7) \right)}{\beta_2 \cdot C^2 \cdot T \cdot \omega_0} \cdot \left[ \left( 1 - \cos\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \right) + \right. \right. \\ \left. \left. \sqrt{\beta_2} \cdot \text{sen}\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \cdot \left( \frac{C^2 \cdot \omega_0 \cdot \Delta tx \cdot (E^2 - \beta_2 \cdot A^2) +}{C \cdot A^3 \cdot (1 + \beta_2) \cdot \text{sen}\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right)} \right) \right] \right. \\ \left. + \cos\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \cdot \left( C^2 \cdot A^2 \cdot \beta_2 \cdot \left( 1 - \cos\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right) \right) \right) \right] \quad (3.70)$$

$$K_{a6} = \left[ \frac{\text{sen}\left( \frac{C \cdot \omega_0 \cdot \Delta t7}{C \cdot T \cdot \omega_0} \right) \cdot \left[ \text{sen}\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \cdot \frac{1}{\sqrt{\beta_2}} \cdot \left( 1 - \frac{1}{C^2} \right) + \omega_0 \cdot \Delta t6 \right]}{A^2} \cdot \left( 1 - \cos\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right) \right) \cdot \text{sen}\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) + \right. \\ \left. \frac{1}{C^2 \cdot \beta_2} \cdot \left( \cos\left( C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t6 \right) \cdot \left( C \cdot A^3 \cdot (1 + \beta_2) \cdot \text{sen}\left( \frac{C \cdot \omega_0 \cdot \Delta tx}{A} \right) \right) \right. \right. \\ \left. \left. + C^2 \cdot \omega_0 \cdot \Delta tx \cdot (E^2 - \beta_2 \cdot A^2) \right) \right] \quad (3.71)$$

$$K_{a7} = \left[ \frac{\text{sen}(C \cdot \omega_0 \cdot \Delta t 7)}{C \cdot T \cdot \omega_0} \cdot \left( \omega_0 \cdot \Delta t x + \frac{F \cdot \pi}{2} \right) \right] \quad (3.72)$$

$$K_{b1} = \left[ \frac{A^2}{F} \cdot \left( \frac{\Delta t x}{T} - \frac{\text{sen}\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right)}{T \cdot \omega_0} \cdot \frac{A}{C} \right) + \frac{A}{F \cdot C} \cdot \frac{\left(1 - \cos(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6)\right)}{T \cdot \omega_0} \cdot \text{sen}\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right) \right] \\ + \frac{A^2}{F^2 \cdot \beta_2} \cdot \left(1 - \cos\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right)\right) \cdot \text{sen}(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6) \cdot \sqrt{\beta_2} \quad (3.73)$$

$$K_{b2} = \left[ \frac{-\left(1 - \cos(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6)\right)}{T \cdot \omega_0} \cdot \left( \frac{\sqrt{\beta_2} \cdot \text{sen}(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6)}{\left( \frac{A^2}{F^2 \cdot C} \cdot \frac{(1 + \beta_2)}{\beta_2} \right)} \right) \cdot \left(1 - \cos\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right)\right) \right] \\ - \cos(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6) \cdot \frac{A}{F \cdot C} \cdot \text{sen}\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right) \quad (3.74)$$

$$K_{b3} = \left[ \frac{\text{sen}(C \cdot \omega_0 \cdot \Delta t 7)}{\omega_0 \cdot T \cdot C} \cdot \left( \frac{A}{F \cdot C \cdot \sqrt{\beta_2}} \cdot \text{sen}\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right) \cdot \text{sen}(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6) \right) \right] \\ + \frac{A^2}{F} \cdot \left(1 - \cos\left(\frac{C \cdot \omega_0 \cdot \Delta t x}{A}\right)\right) \cdot \cos(C^2 \cdot \sqrt{\beta_2} \cdot \omega_0 \cdot \Delta t 6) \quad (3.75)$$

O parâmetro “ $f$ ” é definido pela equação 3.76.

$$f = \frac{f_s}{f_0} \quad (3.76)$$

Onde:

$f_s$  é a frequência de chaveamento;

$f_0$  é a frequência de ressonância da primeira etapa;

As figuras 3.24 e 3.25 ilustram ábacos da corrente de carga normalizada  $\alpha$ , em função do ganho estático  $q$ , utilizando-se  $\beta_1$ ,  $\beta_2$ ,  $f$ ,  $f_s$  e  $D$  como parâmetros.



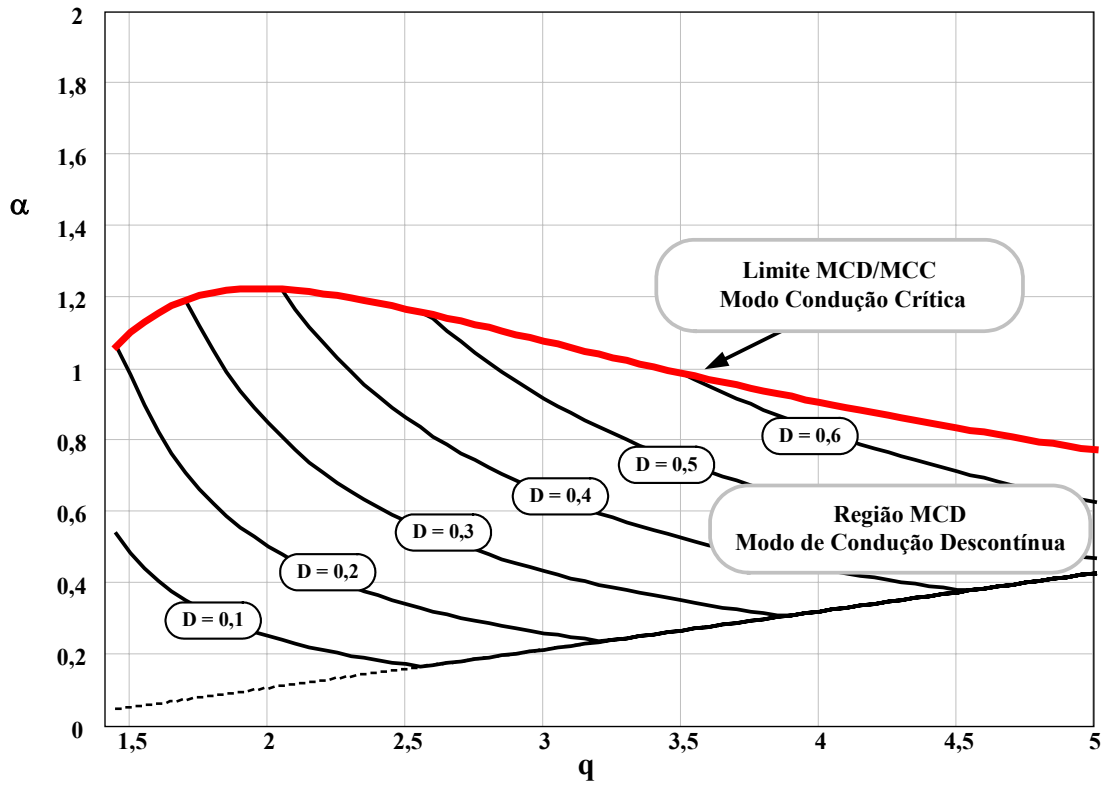


Figura 3.24 – Corrente de carga normalizada ( $\alpha$ ), em função do ganho estático ( $q$ ), tomando-se  $D$  como parâmetro e:  $\beta_1 = 0,7$ ,  $\beta_2 = 15$ ,  $f = 0,671$  e  $f_s = 50\text{kHz}$ .

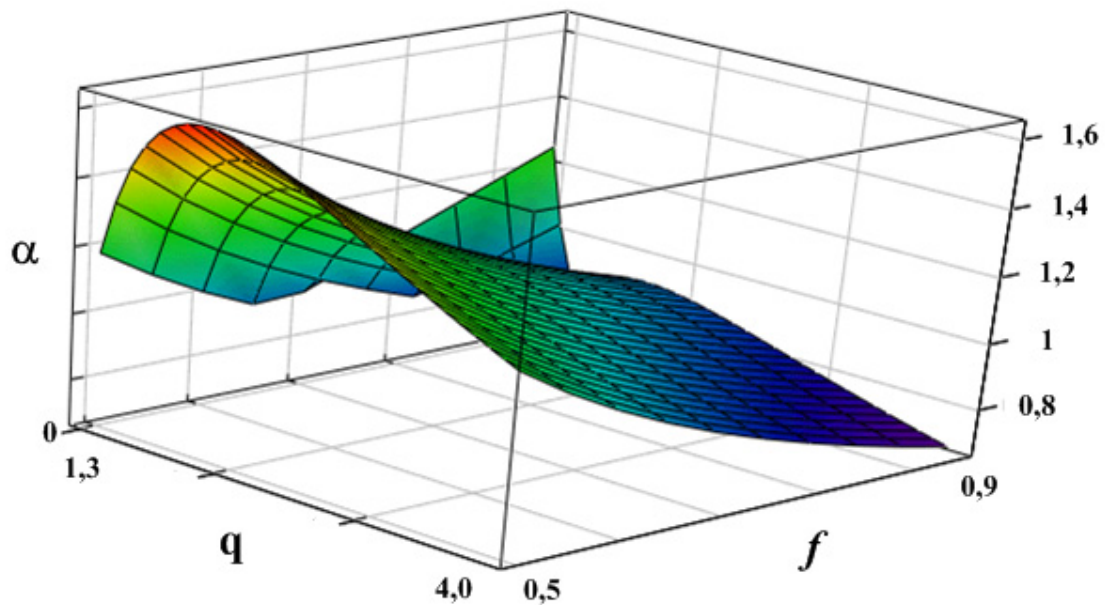


Figura 3.25 – Corrente de carga normalizada ( $\alpha$ ) em função do ganho estático ( $q$ ) e da relação de frequências ( $f$ ), em 3 Dimensões, tomando-se  $D$  como parâmetro e  $\beta_1 = 0,7$ ,  $\beta_2 = 15$ ,  $f_s = 50\text{kHz}$ .

### 3.5 - Metodologia de Projeto

De posse do equacionamento matemático de todas as etapas de funcionamento da estrutura em questão é possível elaborar uma metodologia detalhada de projeto, para a obtenção do novo conversor Boost CC/CC ZCS-FM entrelaçado, operando com duas células em condução crítica.

Para exemplificar o funcionamento deste novo conversor, especificam-se os parâmetros de projeto na tabela 3.9.

Tabela 3.9 – Dados para o projeto.

Parâmetro	Intensidade
$V_{in}$	220 V
$V_o$	400 V
$P_o$	1 kW
$f_s$	50 kHz
Número de Células	2

#### 3.5.1 – Determinação do ganho Estático

Admitiu-se no desenvolvimento do equacionamento que o conversor possui um rendimento de 100%. Assim, possuindo as características de tensão de entrada e de saída do conversor, obtém-se o valor do ganho estático  $q$ , através da equação 3.63.

$$q = \frac{V_o}{V_{in}} = \frac{400}{220} = 1,8181 \quad (3.77)$$

Considerando-se que a distribuição de potência será uniforme entre as células genéricas existentes, a energia total transferida para a carga será a soma das parcelas de energia transferida para a carga por cada célula genérica. Assim, o valor médio da corrente de saída de uma célula genérica pode ser determinado através da equação 3.78.

$$I_{o-i} = \frac{P_o}{n \cdot V_o} = \frac{1000}{2 \cdot 400} = 1,25 A \quad (3.78)$$

#### 3.5.2 – Determinação dos Parâmetros Ressonantes e Razão Cíclica Crítica

O valor do ganho estático, de acordo com a equação 3.65, depende do conjunto de parâmetros  $\beta_1$ ,  $\beta_2$ ,  $f$ ,  $f_s$ ,  $\alpha$  e  $D$ . Existem vários conjuntos de parâmetros que resultam no ganho

estático requerido no projeto. A determinação otimizada destes parâmetros deve ser efetuada levando-se em conta o paradoxo custo versus benefício.

Os parâmetros  $\beta_1$  e  $\beta_2$  devem ser estipulados de maneira a satisfazer a inequação 3.37. Pode-se gerar conjuntos discretos de parâmetros  $\beta_1$  e  $\beta_2$  que obedecem à restrição dada pela inequação 3.37, estipulando o valor do ganho estático  $q$ , como ilustrado na figura 3.24.

Adicionalmente, a figura 3.26 apresenta a excursão do valor máximo de inversão da corrente através do indutor ressonante  $L_{r2}$  para os mesmos parâmetros utilizados na figura 3.24. Assim, adotou-se 0,7 para o parâmetro  $\beta_1$  e 15 para o parâmetro  $\beta_2$ .

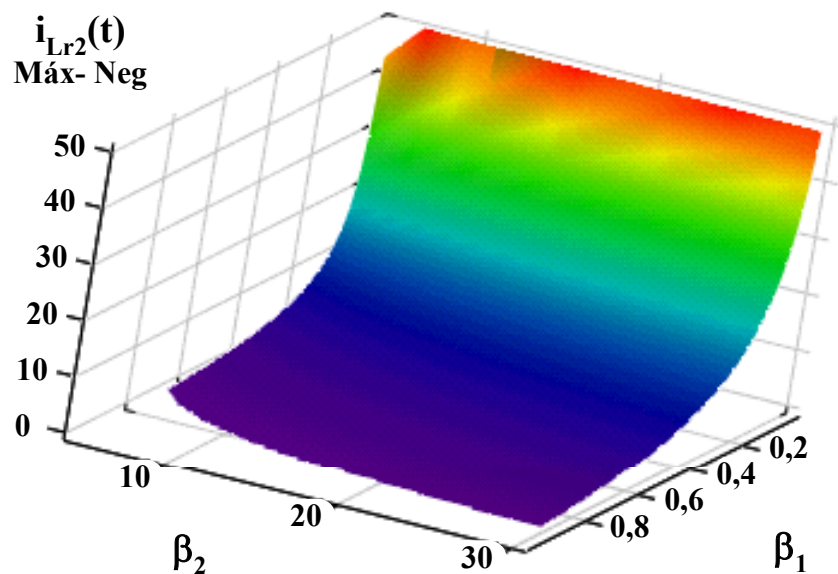


Figura 3.26 – Valor máximo negativo para a corrente através do indutor ressonante  $L_{r2}$ , função de  $\beta_1$  e  $\beta_2$ , tomando-se ganho estático  $q$  igual a 1.81.

Um elemento que influencia diretamente nesta etapa inicial de projeto é a escolha do capacitor ressonante  $C_r$ , tipo polipropileno, através de um valor comercial discreto. Entretanto, este elemento pode ser calculado resolvendo-se o sistema das equações 3.6, 3.8, 3.9 e 3.76, resultando na equação 3.79.

$$C_r = \left( \frac{f}{f_s \cdot 2 \cdot \pi} \right) \cdot \left( \frac{I_{O-i}}{V_{in} \cdot \alpha} \right) \quad (3.79)$$

Uma vez que a relação entre os parâmetros  $f$  e  $\alpha$  não é uma função linear, pois  $\alpha$  é dependente de  $f$  e vice-versa, o valor do capacitor ressonante  $C_r$  adotado deve estar dentro do conjunto de pontos discretos válidos para a relação entre  $f$  e  $\alpha$ . A figura 3.27 apresenta o comportamento da relação entre  $f$  e  $\alpha$ , tomando-se os parâmetros definidos  $\beta_1$ ,  $\beta_2$ ,  $q$  e  $f_s$ .

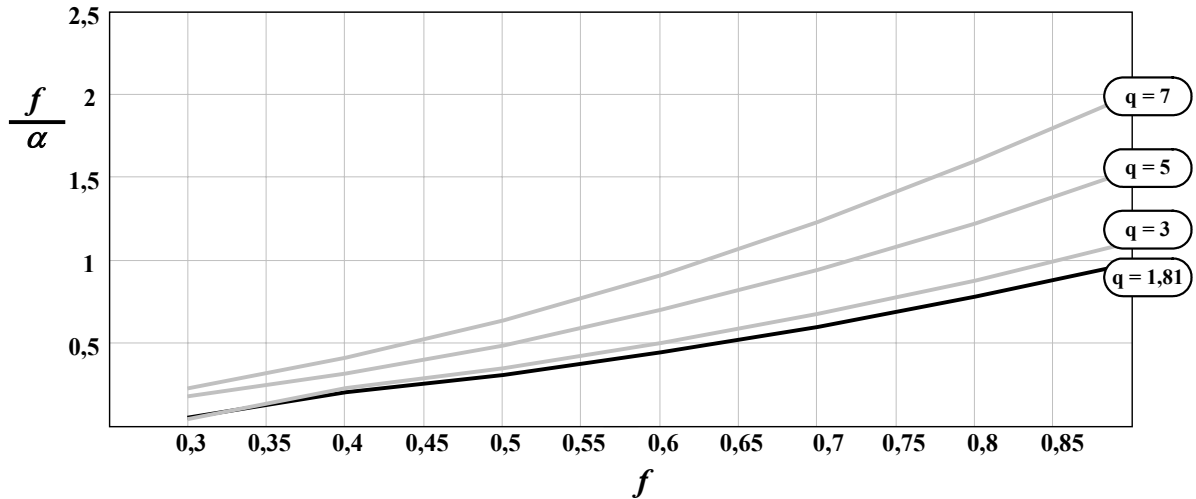


Figura 3.27 – Relação entre a corrente de carga normalizada ( $\alpha$ ) e a relação de frequências ( $f$ ), tomando-se  $q$  como parâmetro e  $\beta_1 = 0,7$ ,  $\beta_2 = 15$ ,  $f_s = 50\text{kHz}$ .

Para um capacitor ressonante  $C_r$  comercial de intensidade  $10\text{nF}$ , de acordo com a equação 3.79, a relação entre  $f$  e  $\alpha$  deve ser igual a  $0,5529$ .

Assim, através de um método numérico iterativo obtém-se que a relação de frequências  $f$  deve ser igual a  $0,6716$ , para que a corrente de carga normalizada  $\alpha$  seja igual a  $1,2146$ , alcançando-se a relação requerida para a utilização do capacitor ressonante  $C_r$  adotado.

Uma vez estipulados, os valores de  $f$  e  $\alpha$  devem ser validados, verificando se as restrições impostas pelas inequações 3.35 e 3.36 são satisfeitas.

Através do parâmetro  $f$ , encontra-se o valor da frequência de ressonância angular referente à primeira etapa de funcionamento  $\omega_0$ , e conseqüentemente possibilita a obtenção de todos os elementos ressonantes restantes do circuito  $L_{r1}$ ,  $L_{r2}$ .

A razão cíclica crítica  $D$  é determinada através de um método numérico iterativo, diretamente ligado aos parâmetros  $f$  e  $\alpha$ , onde a solução é a razão cíclica que proporciona um modo operação que satisfaz tanto as restrições de frequência de chaveamento quanto à de processamento de energia requerida. Assim, considerando o parâmetro  $f$  constante, se o conversor operar com a razão cíclica abaixo da razão cíclica crítica determinada, o mesmo estará localizado na região de operação em modo descontínuo de condução. Entretanto, se o conversor operar empregando a razão cíclica crítica, o conversor estará operando na região de fronteira entre os modos descontínuo e contínuo de condução, denominado modo de operação em condução crítica.

Assim, para o conversor operar no modo de condução crítica, aplicando o conjunto de parâmetros adotados, encontrou-se como solução do método numérico iterativo que o valor da razão cíclica crítica deve ser de 0,3377.

### 3.5.3 – Determinação da Indutância Crítica

O conversor operando com a máxima razão cíclica permitida, a razão cíclica crítica, apresenta a potência máxima de saída, e, portanto a corrente na carga também é máxima. Entretanto, a indutância boost é um fator que influencia de forma inversamente proporcional a corrente de saída. Deve-se, portanto, estipular a máxima indutância boost, indutância crítica, que impõe ao conversor a operação em condução crítica.

Decorrente da última etapa de funcionamento, o valor da corrente média de saída da célula genérica  $I_{O-i}$ , pode ser determinado através de 3.80.

$$I_{O-i} = \frac{I_{P7}}{\sqrt{\frac{1}{\alpha} \cdot \frac{\beta_2 + 1}{\beta_2} \cdot \frac{4\pi}{f} \cdot (q-1)}} \quad (3.80)$$

$$I_{O-i} = \frac{I_{P7}^2}{2 \cdot T} \cdot \frac{L_{in}}{V_O - V_{in}} \quad (3.81)$$

Temos que a potência máxima,  $P_{O-i}$ , dada na saída da célula genérica “i” é definida pela expressão 3.82.

$$P_{O-i} = V_O \cdot I_{O-i} \quad (3.82)$$

Logo, substituindo 3.80 e 3.81 em 3.82 temos que, a indutância crítica é determinada pela expressão 3.83.

$$L_{inc} \leq \frac{P_{O-i}}{I_{O-i}^2} \cdot \frac{\alpha}{q} \cdot \frac{\beta_2}{\beta_2 + 1} \cdot \frac{f \cdot T}{2\pi} \quad \text{ou} \quad L_{inc} \leq \frac{P_{O-i}}{I_{O-i}^2} \cdot \frac{\alpha}{q} \cdot \frac{\beta_2}{\beta_2 + 1} \cdot \frac{1}{\omega_0} \quad (3.83)$$

$$L_{inc} \leq 0,42843mH \quad (3.84)$$

### 3.5.4 – Cálculo dos Elementos Ressonantes

O parâmetro  $f$  é definido pela equação 3.76. Logo, a frequência de ressonância angular da primeira etapa de funcionamento pode ser determinada a seguir:

$$\omega_0 = 2\pi \cdot f_0 = 2\pi \cdot \frac{f_s}{f} = 2\pi \cdot \frac{50 \cdot 10^3}{0,6716} = 467,77 \cdot 10^3 \text{ rad/seg} \quad (3.85)$$

Manipulando as equações de  $\alpha$ ,  $\beta_1$ ,  $\beta_2$  e  $\omega_0$ , e utilizando os valores adotados para os parâmetros, determina-se os valores para os elementos ressonantes.

Das equações 3.7 e 3.76, chega-se à expressão 3.86.

$$(L_{in} + L_{r1}) \cdot C_r = \left( \frac{f}{f_s \cdot 2 \cdot \pi} \right)^2 \quad (3.86)$$

Partindo da equação que define a corrente normalizada ( $\alpha$ ), equação 3.6, resulta que:

$$C_r = (L_{in} + L_{r1}) \cdot \left( \frac{\alpha \cdot V_{in}}{I_{O-i}} \right)^2 \quad (3.87)$$

Logo, resolvendo o sistema composto pelas equações 3.86, 3.87 e 3.6, consegue-se determinar os valores requeridos para os elementos ressonantes e para a indutância boost de entrada.

$$L_{in} = \left( \frac{f}{f_s \cdot 2 \cdot \pi} \right)^2 \cdot \left( \frac{\beta_2}{(1 + \beta_2) \cdot C_r} \right) \quad (3.88)$$

Logo,

$$L_{in} = 0,42843mH \quad (3.89)$$

Como os indutores ressonantes estão relacionados com o indutor de entrada  $L_{in}$ , através dos parâmetros  $\beta_1$  e  $\beta_2$ , tem-se:

$$L_{r1} = \frac{L_{in}}{\beta_2} \quad (3.90)$$

$$L_{r2} = \beta_1 \cdot L_{r1} \quad (3.91)$$

Assim,

$$L_{r1} = 28,56\mu H \quad (3.92)$$

$$L_{r2} = 19,99\mu H \quad (3.93)$$

### 3.5.6 – Amplitude do “*Ripple*” da Corrente de Entrada ( $I_{in}$ )

Devido ao emprego da técnica de “*interleaving*”, a amplitude do “*ripple*” da corrente de entrada ( $I_{in}$ ) do conversor, depende diretamente do número de células utilizadas e da defasagem angular entre as células.

A Figura 3.28 ilustra a amplitude do “*ripple*” da corrente de entrada normalizada, considerando o conversor operando no modo de condução crítica, em função da defasagem angular entre as células, tomando-se o número de células utilizadas como parâmetro.

Um resultado interessante que pode ser verificado na figura 3.28 é a demonstração que a defasagem angular ótima entre as células não é necessariamente igual a

( $2\pi$  radianos dividido pelo número de células), se o número de células utilizado for maior que dois.

A amplitude do “*ripple*” da corrente de entrada da topologia Boost ZCS interleaved operando como conversor CC/CC durante um período genérico de funcionamento, onde a defasagem angular entre as células foi estipulada como sendo ( $2\pi$  radianos dividido pelo número de células), é apresentada na figura 3.28.

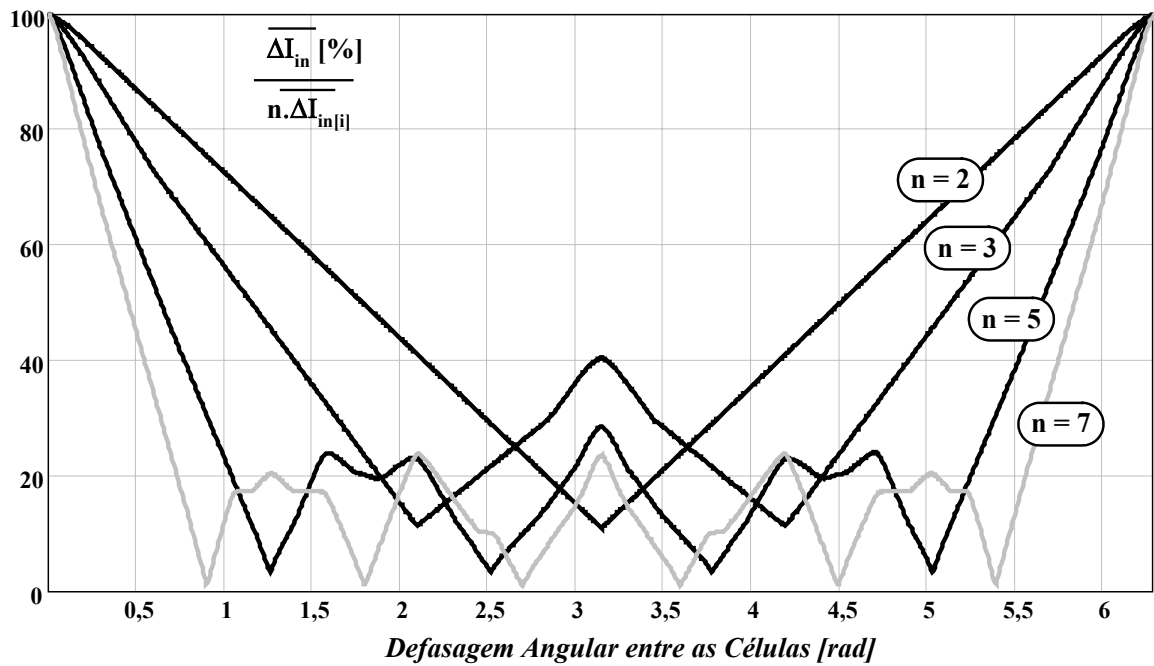


Figura 3.28 – Amplitude do “*ripple*” da corrente de entrada normalizada, em função da defasagem angular entre as células, tomando-se o número de células utilizadas como parâmetro.

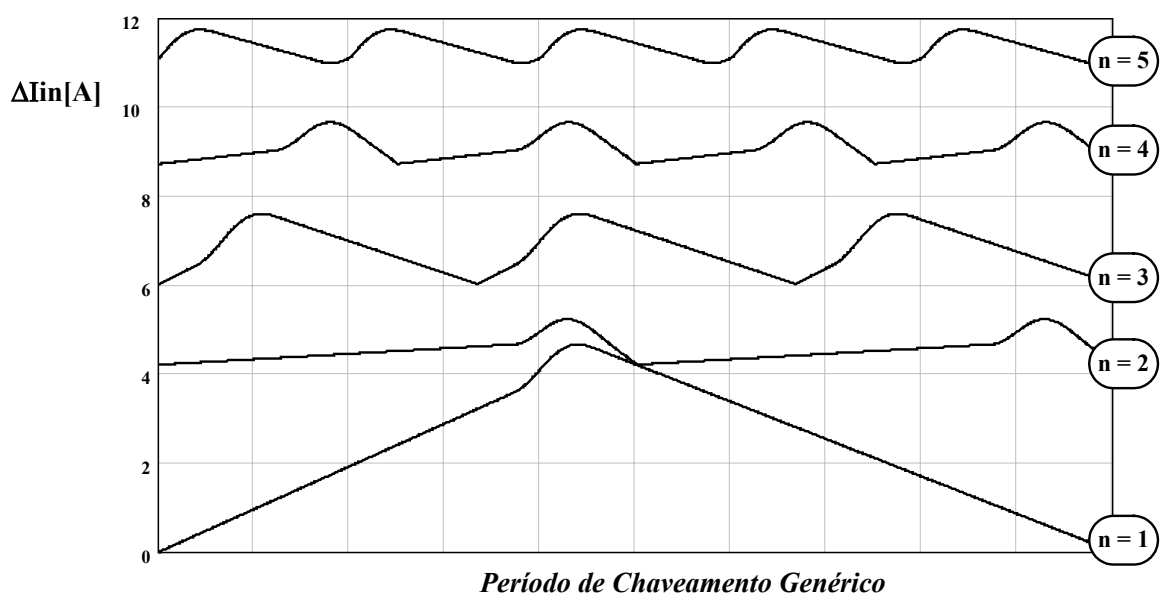


Figura 3.29 – Forma de onda do “*ripple*” da corrente de entrada durante um período de chaveamento genérico, tomando-se o número de células utilizadas ( $n$ ) como parâmetro.

### 3.5.7 - Determinação do filtro de saída ( $C_o$ )

O filtro capacitivo do conversor é obtido através da equação 3.94, como segue:

$$C_o \geq \frac{P_o}{2 \cdot \pi \cdot f_s \cdot I_o \cdot \Delta V_o} \quad (3.94)$$

Considerando uma variação de tensão nos terminais do capacitor de 1%, temos que,

$$\Delta V_C = V_o \cdot \frac{1}{100} = 4V \quad (3.95)$$

A resistência representando a carga nominal da contribuição de energia para uma célula é dada pela equação 3.96.

$$R_{\text{Carga-}i} = \frac{V_o^2}{\frac{P_o}{n}} = \frac{V_o^2}{P_{o-i}} = \frac{400^2}{500} = 320\Omega \quad (3.96)$$

$$C_{o-i} = \frac{P_{o-i}}{2\pi \cdot f_s \cdot I_{o-i} \cdot \Delta V_C} = \frac{500}{2\pi \cdot 50 \cdot 10^3 \cdot 1,25 \cdot 4} \quad (3.97)$$

$$C_{o-i} \geq 318,30\mu F \quad (3.98)$$

Observa-se que com a utilização do entrelaçamento entre duas células, a frequência dobra no estágio de saída, conseqüentemente, o volume do filtro capacitivo de saída compartilhado pelas duas células torna-se menor. A resistência de carga nominal para a estrutura entrelaçada com duas células é determinada através da equação 3.99.

$$R_{\text{Carga}} = \frac{V_o^2}{P_o} = 160\Omega \quad (3.99)$$

Sendo que:

$$C_o \geq \frac{P_o}{2\pi \cdot n \cdot f_s \cdot I_o \cdot \Delta V_C} \quad (3.100)$$

Assim,

$$C_o \geq 159,15\mu F \quad (3.101)$$

Portanto, adota-se o valor comercial discreto mais próximo,  $C_o = 220\mu F$ .

### 3.5.8 - Cálculo dos Tempos Envolvidos nas Etapas de Funcionamento e na Largura de Pulso de comando dos Interruptores

Os tempos de condução dos interruptores principal ( $\Delta t_{sp}$ ) e auxiliar ( $\Delta t_{sa}$ ) são obtidos a partir das equações 3.59 e 3.60, assim:

$$\Delta t_{s_p} = 8,5056\mu s \quad (3.102)$$



$$\Delta t_{S_a} = 1,7516\mu s \quad (3.103)$$

O tempo de atraso ( $\Delta t_a$ ) do disparo do interruptor auxiliar, em relação ao disparo do interruptor principal, é obtido através da equação 3.62 como segue:

$$\Delta t_{S_a} = 6,754\mu s \quad (3.104)$$

Tem-se na tabela 3.10 os tempos envolvidos no funcionamento da estrutura, no decorrer de um período genérico de funcionamento.

Após a obtenção de todos os parâmetros do circuito do conversor Boost CC/CC ZCS-FM é possível realizar uma simulação, com a intenção da verificação da análise desenvolvida.

Tabela 3.10 – Tempos envolvidos no funcionamento da estrutura e ações de comutação dos semicondutores.

Etapa De Funcionamento	Duração (segundos)	Instantes de Tempo (segundos)	Ações De Comutação
Etapa 1 [ $t_0, t_1$ ]	6,754 $\mu$	$[t_0] = 0$ $[t_1] = 6,754\mu$	Disparo de $S_p$ em $t_0$ com ZCS
Etapa 2 [ $t_1, t_2$ ]	0,702376 $\mu$	$[t_1] = 6,754\mu$ $[t_2] = 7,4563\mu$	Disparo de $S_a$ em $t_1$ com ZCS
Etapa 3 [ $t_2, t_3$ ]	0,535700 $\mu$	$[t_2] = 7,4563\mu$ $[t_3] = 7,9920\mu$	Em $t_2$ diodo $D_1$ entra em condução ZVS
Etapa 4 [ $t_3, t_4$ ]	0,299822 $\mu$	$[t_3] = 7,9920\mu$ $[t_4] = 8,2918\mu$	
Etapa 5 [ $t_4, t_5$ ]	0,427570 $\mu$	$[t_4] = 8,2918\mu$ $[t_{off}] = 8,5056\mu$ $[t_5] = 8,7194\mu$	Bloqueio de $S_p$ e $S_a$ em $t_{off}$ com ZCS-ZVS
Etapa 6 [ $t_5, t_6$ ]	0,280726 $\mu$	$[t_5] = 8,7194\mu$ $[t_6] = 9,000\mu$	
Etapa 7 [ $t_6, t_7$ ]	0,105285 $\mu$	$[t_6] = 9,000\mu$ $[t_7] = 9,1054\mu$	Em $t_7$ o diodo $D_2$ entra em condução ZVS e $D_1$ bloqueio
Etapa 8 [ $t_7, t_8$ ]	10,9091 $\mu$	$[t_7] = 9,1054\mu$ $[t_8] = 20\mu$	Em $t_8$ diodo $D_2$ bloqueio ZCS

### 3.5.9 - Formas de Onda Teóricas

A figura 3.30 apresenta as formas de onda teóricas, para uma célula genérica durante um período de funcionamento genérico, das correntes nos indutores ressonantes e boost ( $L_{r1}$ ,  $L_{r2}$  e  $L_{in}$ ), bem como a forma de onda da tensão no capacitor ressonante  $C_r$ , para os parâmetros estipulados no projeto.

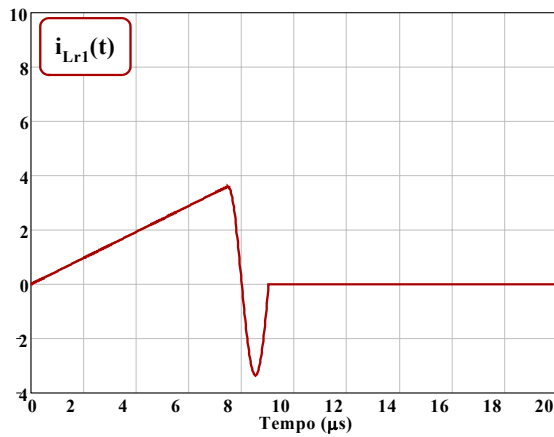
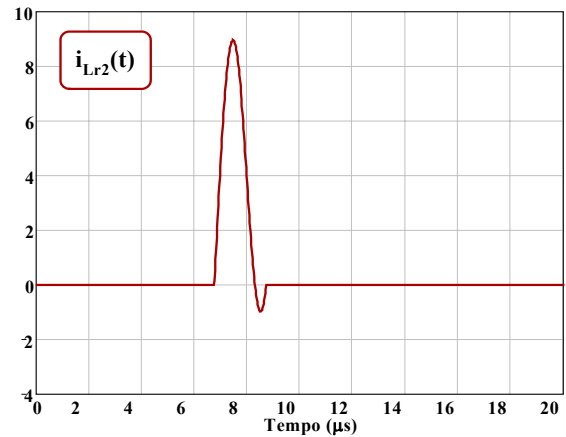
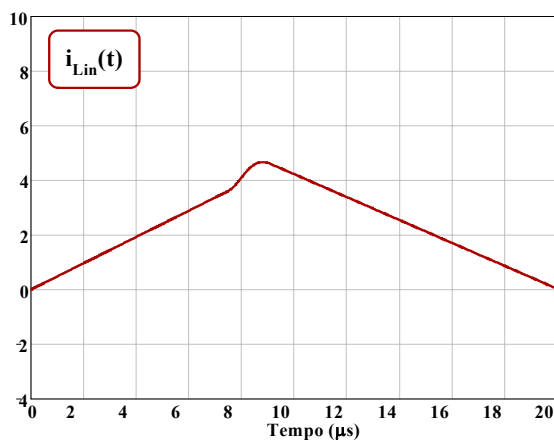
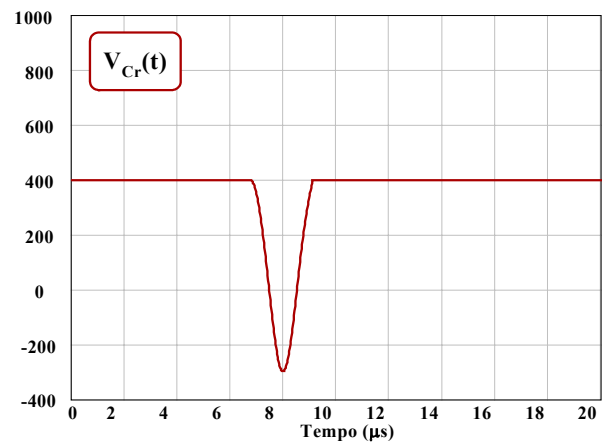
(a) Corrente através do indutor ressonante  $L_{r1}$ (b) Corrente através do indutor ressonante  $L_{r2}$ (b) Corrente através do indutor  $L_{in}$ (d) Tensão sobre o capacitor ressonante  $C_r$ 

Figura 3.30 – Formas de onda teórica, em uma célula genérica durante um período de chaveamento genérico, utilizando os parâmetros especificados no projeto.

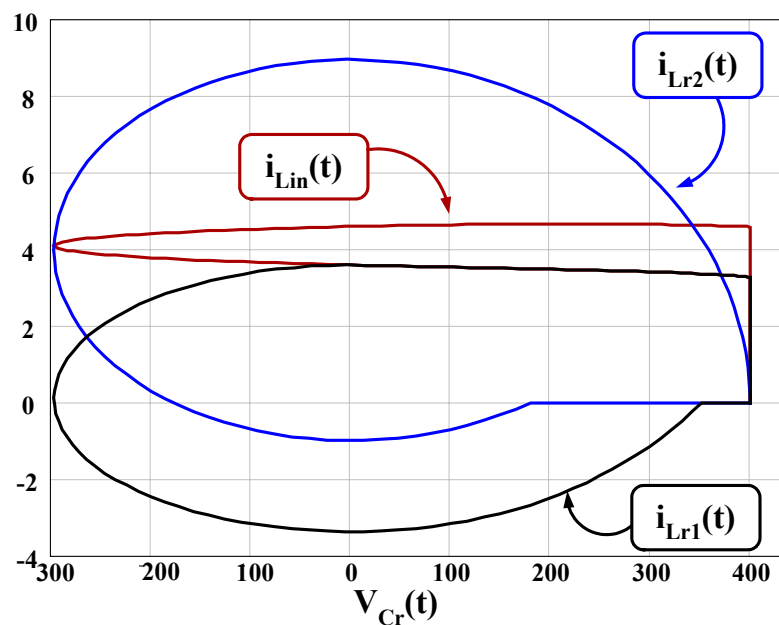


Figura 3.31 – Formas de onda teórica do plano de fase, referente a uma célula genérica durante um período de chaveamento genérico, empregando os parâmetros especificados no projeto.

O plano de fase teórico para as mesmas condições de operação é apresentado na figura 3.31, onde se pode verificar os máximos esforços de corrente e tensão sobre os semicondutores.

### 3.5.10 – Esforços de Corrente e Tensão nos Interruptores

Devido à presença desejável das etapas ressonantes para proporcionar uma comutação não dissipativa e pelo próprio modo de operação (operação na região crítica), os esforços de corrente nos interruptores são considerados adequados para a potência especificada no exemplo de projeto.

O maior pico de corrente pelo qual os interruptores auxiliar  $S_a$  e principal  $S_p$  são submetidos, acontece no instante de tempo  $t=t_2$ , final da ressonância da segunda etapa, fazendo com que os semicondutores  $S_p$  e  $S_a$  recebam as correntes de pico  $I_{p2}$  e  $I_{2a}$  respectivamente, conforme mostra a figura 3.4. Estes esforços de corrente podem ser determinados através das equações 3.17 e 3.18, resultando em uma corrente  $I_{p2}$  igual a 3,95A e  $I_{2a}$  igual a 8,94A, para os parâmetros de projeto especificados.

Com relação aos esforços de tensão sobre os interruptores, ambos são submetidos no máximo à tensão de saída  $V_O$ , presente no capacitor ressonante  $C_r$ . Este esforço de tensão possui intensidade de 400V para os parâmetros de projeto especificados.

## 3.6 - Resultados de Simulação

Um dos softwares de simulação de circuitos elétricos muito utilizado e consolidado no meio acadêmico e profissional é o Pspice A/D®.

Neste item será utilizado o Pspice versão 9.1, para efetuar a simulação do conversor CC/CC Boost ZCS-FM projetado através da metodologia desenvolvida. Inicialmente, apresenta-se a topologia empregando apenas uma célula, e, em seguida, apresentando duas células com a técnica de “*interleaving*”.

Estas simulações possibilitam uma comparação entre os resultados obtidos através da modelagem matemática desenvolvida e os resultados obtidos através da simulação digital com objetivo da validação dos mesmos.

### 3.6.1 – Topologia com Célula Única

As principais formas de onda para uma célula do conversor CC/CC Boost ZCS-FM, apresentado na figura 3.32, operando no modo de condução crítica, obtidas através de simulações, são apresentadas nas figuras 3.33 até 3.39.

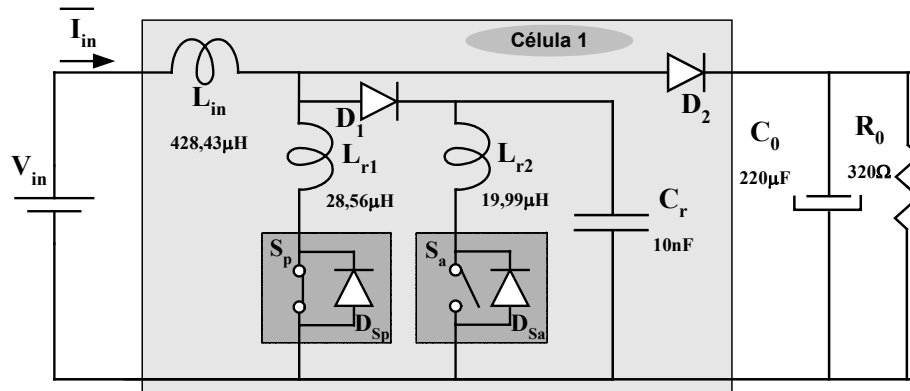


Figura 3.32 - Diagrama esquemático do circuito simulado.

A figura 3.33 apresenta as formas de onda das correntes através do indutor boost ( $L_{in}$ ), e através dos indutores ressonantes ( $L_{r1}$  e  $L_{r2}$ ). Observa-se que a característica do modo de operação crítico é explicitada na forma de onda de  $i_{Lin}(t)$ . A corrente drenada da fonte de alimentação possui a forma de  $i_{Lin}(t)$ , com característica pulsada, o que poderia acarretar em uma distorção harmônica indesejada da corrente de entrada, quando de sua aplicação em uma estrutura retificadora.

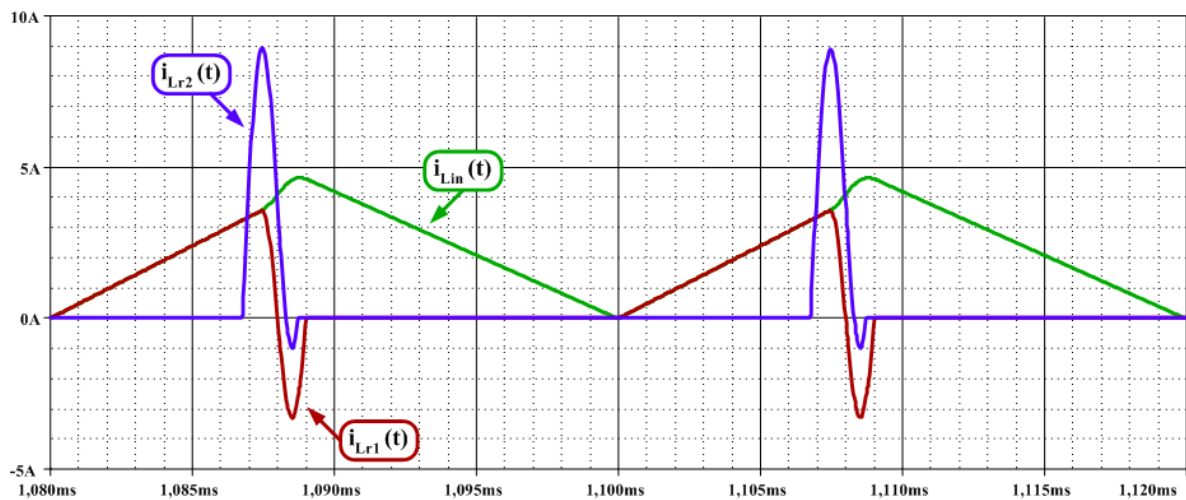


Figura 3.33 - Corrente através dos indutores  $L_{in}$ ,  $L_{r1}$  e  $L_{r2}$ .

A forma de onda referente à corrente que flui através do interruptor principal  $S_p$ , bem como a forma de onda de tensão em  $S_p$ , podem ser observadas na figura 3.34. Nota-se que tanto na entrada em condução, quanto no bloqueio de  $S_p$ , a comutação se dá com corrente nula (ZCS), ou seja, não dissipativa.

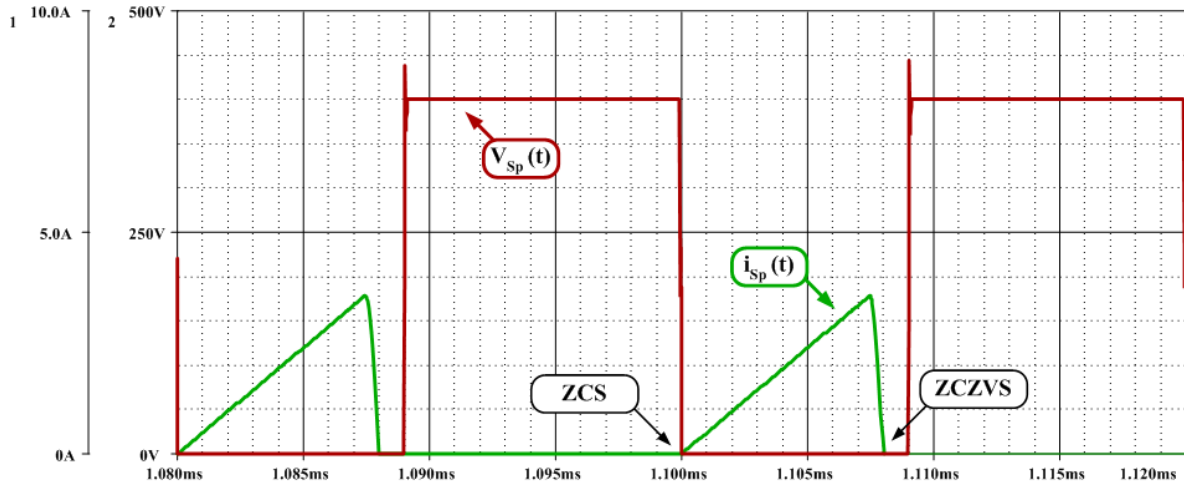


Figura 3.34 - Tensão e corrente através do interruptor principal  $S_p$ .

Obviamente, a entrada em condução seria naturalmente ZCS no modo de condução crítica, entretanto, com a célula de comutação proposta, tem-se o bloqueio de forma ZCS e ZVS.

De maneira análoga, as formas de onda de tensão e corrente referentes ao interruptor auxiliar são apresentadas na figura 3.35. Apresentando o interruptor auxiliar, assim como o interruptor principal  $S_p$ , uma operação de comutação (bloqueio/condução) não dissipativa com corrente nula. Observa-se que a máxima tensão à qual os interruptores são submetidos é a própria tensão de saída  $V_O$ , ou seja, 400V. Esforços idênticos ao do conversor boost PWM convencional.

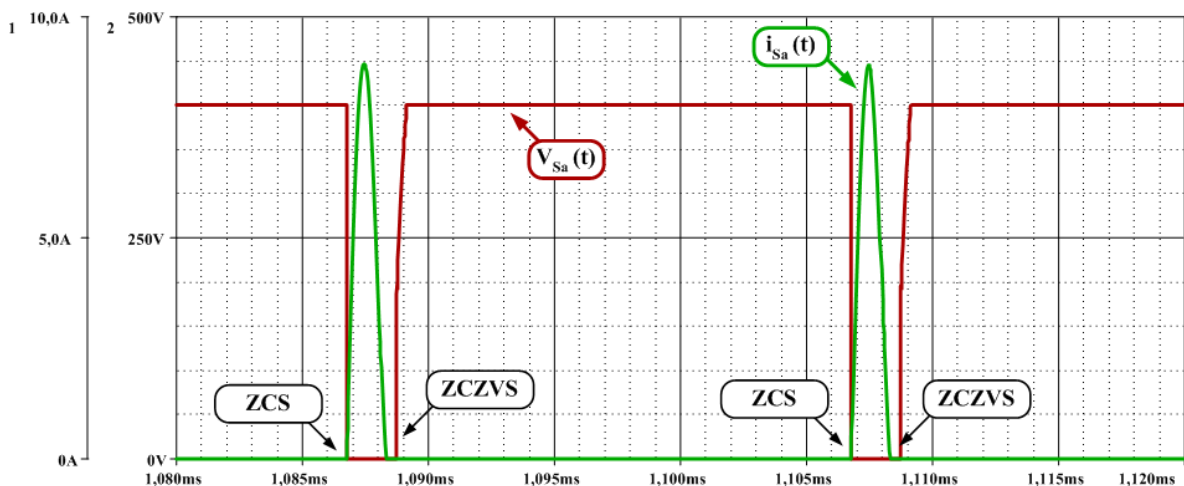


Figura 3.35 - Tensão e corrente através do interruptor auxiliar  $S_a$ .

As figuras 3.36 e 3.37 ilustram as correntes e tensões sobre os diodos  $D_1$  e  $D_2$ , respectivamente. Verifica-se que as entradas em condução dos diodos  $D_1$  e  $D_2$  ocorrem com tensão nula em seus terminais (ZVS), assim como para o diodo principal  $D_2$ , o bloqueio é com corrente nula (ZCS), eliminando os inconvenientes esforços adicionais sobre o interruptor

principal decorrente dos efeitos da recuperação reversa do mesmo (esforços estes presentes no conversor boost PWM convencional).

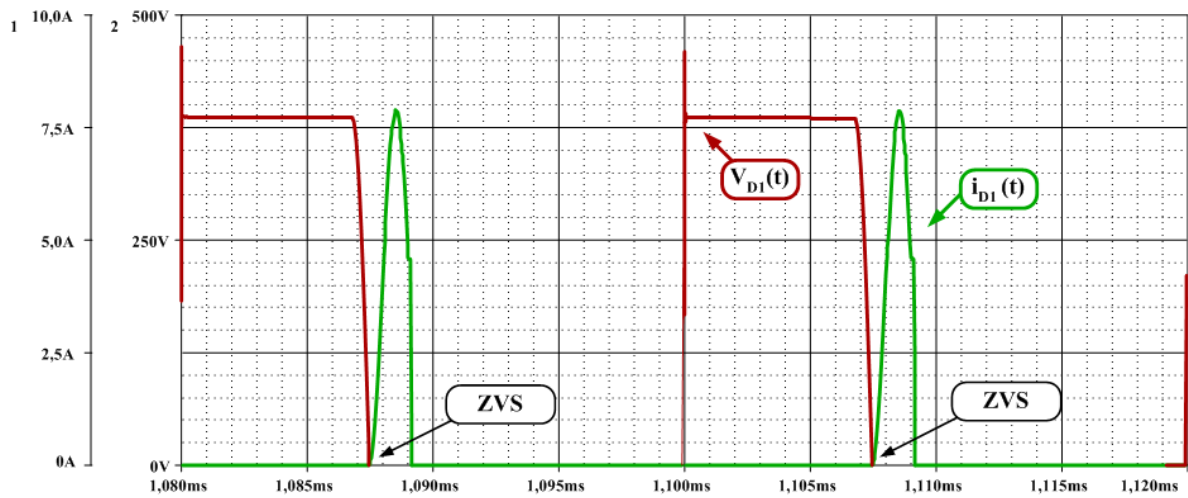


Figura 3.36 - Tensão e corrente através do diodo  $D_1$ .

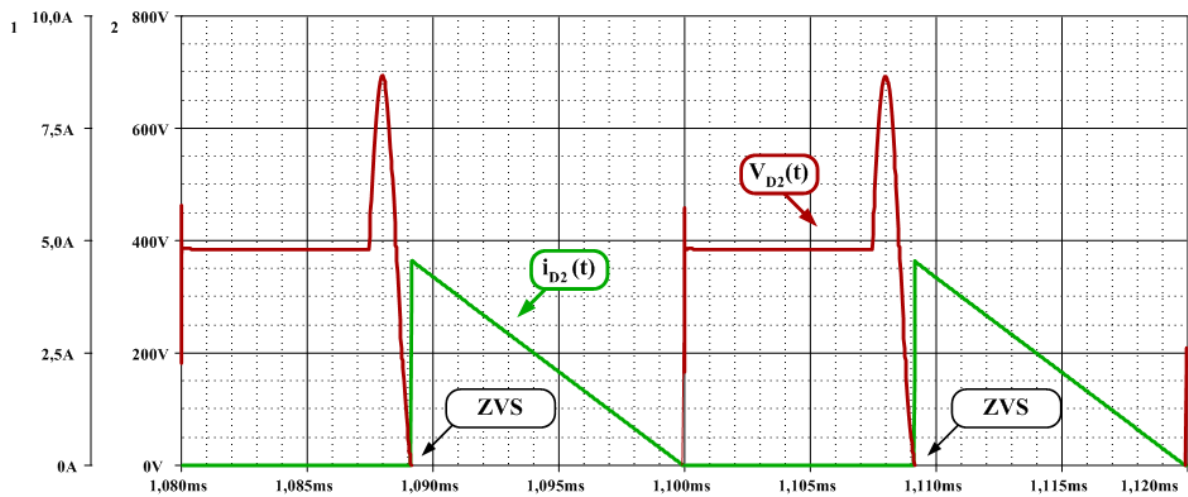


Figura 3.37 - Tensão e corrente através do diodo  $D_2$ .

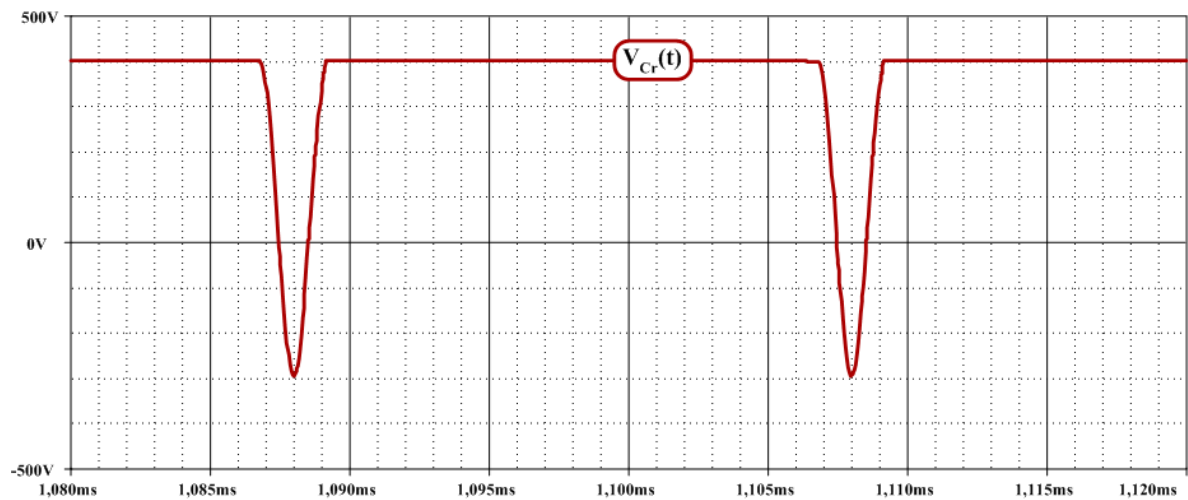


Figura 3.38 - Tensão sobre o capacitor ressonante  $C_r$ .

As figuras 3.38 e 3.39 apresentam a forma de onda da tensão sobre o capacitor ressonante  $C_r$  e as curvas de potência e tensão de saída do conversor operando em carga nominal, respectivamente.

A figura 3.39 ratifica os valores de potência e de tensão de saída, estipulados como dados no desenvolvimento da metodologia de projeto, para a carga nominal em uma célula.

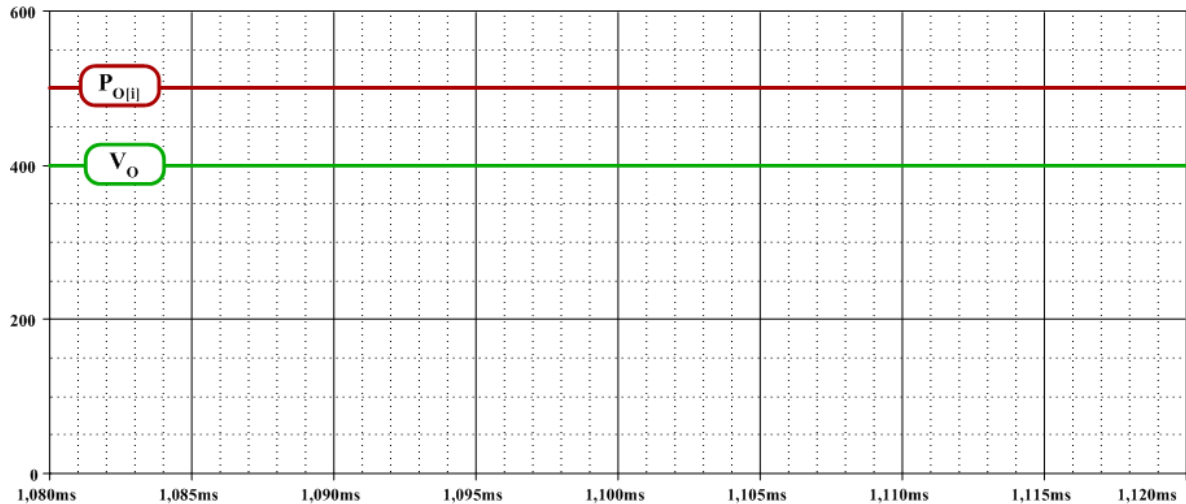


Figura 3.39- Potência de Saída  $P_{O-i}$  e tensão de saída  $V_O$ , para a carga nominal.

### 3.6.2 – Topologia com duas células Entrelaçadas

As principais formas de onda para o conversor CC/CC Boost ZCS-FM entrelaçado, apresentado na figura 3.40, com duas células defasadas de meio período de chaveamento operando no modo de condução crítica, obtidas através de simulações são apresentadas nas figuras 3.41 e 3.42.

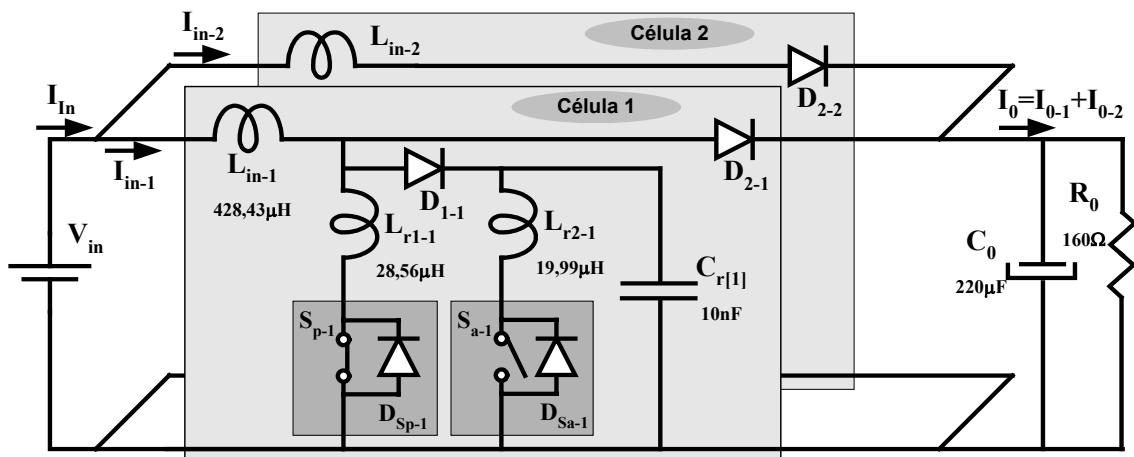


Figura 3.40 - Diagrama esquemático do circuito em “interleaving” simulado, com duas células.

Na figura 3.41, pode-se verificar o funcionamento da técnica de entrelaçamento (“*interleaving*”) das células da topologia Boost ZCS-FM, onde as células estão operando com uma defasagem angular de meio período de chaveamento.

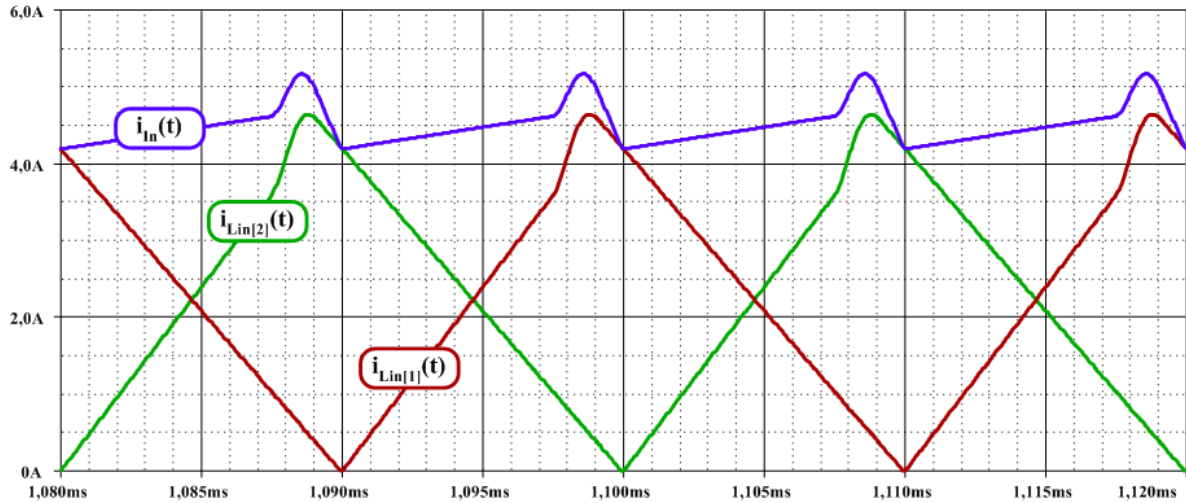


Figura 3.41 - Correntes através dos indutores boost de cada célula, e de entrada drenada da fonte.

Como se observa na figura 3.41, a defasagem entre a operação de cada célula do conversor, propicia uma vantagem em relação ao funcionamento de uma única célula, resultando em um “*ripple*” da forma de onda da corrente de entrada bem menor, além de permitir o modo de condução contínua para a corrente de entrada. Este fato permite uma acentuada redução da distorção harmônica da corrente de entrada, quando da aplicação desta estrutura como um pré-regulador retificador.

A figura 3.42 demonstra que os valores nominais de potência de saída (1kW) e de tensão de saída (400V), estipulados como dados no desenvolvimento da metodologia de projeto, para a carga nominal, utilizando o conversor operando com duas células, foram plenamente atendidos.

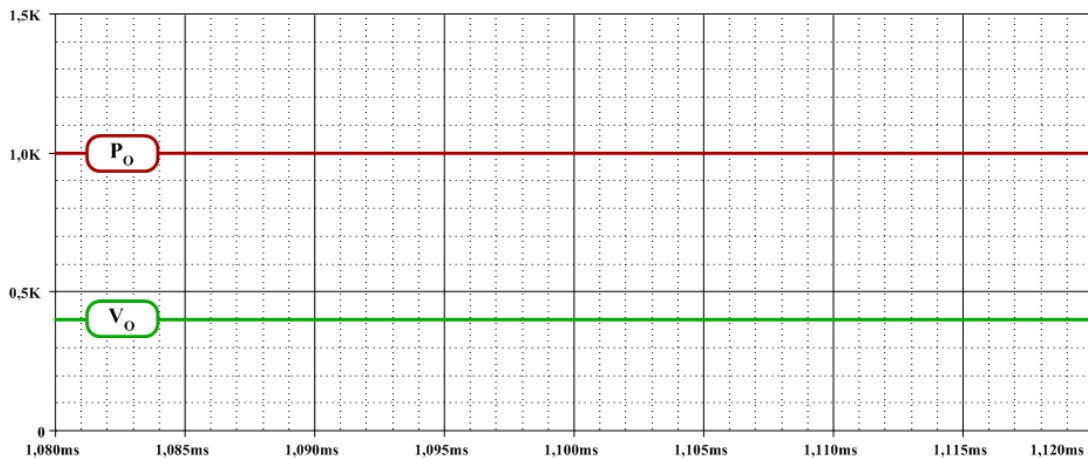


Figura 3.42 - Potência de Saída ( $P_O$ ) e tensão de saída ( $V_O$ ), para a carga nominal, na configuração entrelaçada com duas células.



### 3.7 – Modelo do Conversor Em Valores Médios

Usualmente o sistema de controle realimentado de conversores chaveados deve ser projetado de tal maneira que a tensão de saída permaneça regulada com precisão no valor desejado, e que neste processo de regulação ela se conserve imune às variações na tensão de alimentação e na corrente de carga. Adicionalmente, o sistema de controle realimentado deve ser estável e capaz de atender especificações de projeto, tais como, máximos “*overshoot*” e “*undershoot*” nos transitórios, tempo de estabilização permitido e erro máximo de regime.

Para o projeto adequado do sistema de controle realimentado é necessário o desenvolvimento de um modelo dinâmico do conversor chaveado analisado, por meio do qual consegue-se prever como as variações na tensão de entrada, corrente de carga, ou na variável de controle afetam a tensão de saída.

O método mais convencional utilizado no controle de conversores chaveados é o controle direto da razão cíclica, também conhecido como controle por modo de tensão. Porém, a verdadeira variável controlada é o tempo de condução do interruptor tanto no modo de operação com frequência constante, quanto com frequência variável.

A utilização da razão cíclica como uma variável de controle, quando a operação do conversor se dá com frequência constante, é aceita porque existe uma relação linear entre a razão cíclica e o tempo de condução do interruptor ( $t_{ON}$ ) devido ao período de funcionamento ser constante. Entretanto, quando a operação do conversor passa a ser com frequência variável, esta relação deixa de ser linear e o sistema de controle deve atuar diretamente no tempo de condução do interruptor, ou seja, empregando o tempo  $t_{ON}$  como variável de controle em conversores que operam com frequência variável.

No desenvolvimento do modelo por valores médios em pequenos sinais CA, considerou-se apenas a estrutura convencional do conversor boost, desprezando-se os elementos da célula de comutação referente ao ramo auxiliar, uma vez que a célula de comutação auxiliar resulta em influência desprezível para o ganho estático do conversor. Assim, o comportamento do conversor boost convencional, operando com frequência variável, foi analisado considerando-se determinadas não idealidades dos componentes e utilizando uma metodologia baseada em equações de espaço de estados e equações complementares de restrição da forma de onda da corrente através do indutor. Estas equações restritivas são determinadas em função do modo de operação do conversor e estão relacionadas com o período e amplitudes da forma de onda de corrente através do indutor [64, 65].

No desenvolvimento do modelo as convenções com relação às notações são tais que: as letras maiúsculas representam valores CC, letras minúsculas com acento circunflexo representam valores CA ou valores perturbados, excluindo as componentes harmônicas de alta frequência, e os valores médios variantes no tempo são representados por letras entre os símbolos de maior e menor “ $\langle \rangle$ ”.

O circuito esquemático do conversor boost convencional com apenas uma célula, e a forma de onda da corrente idealizada através do indutor de entrada  $L_{in}$  são mostradas na figura 3.43.

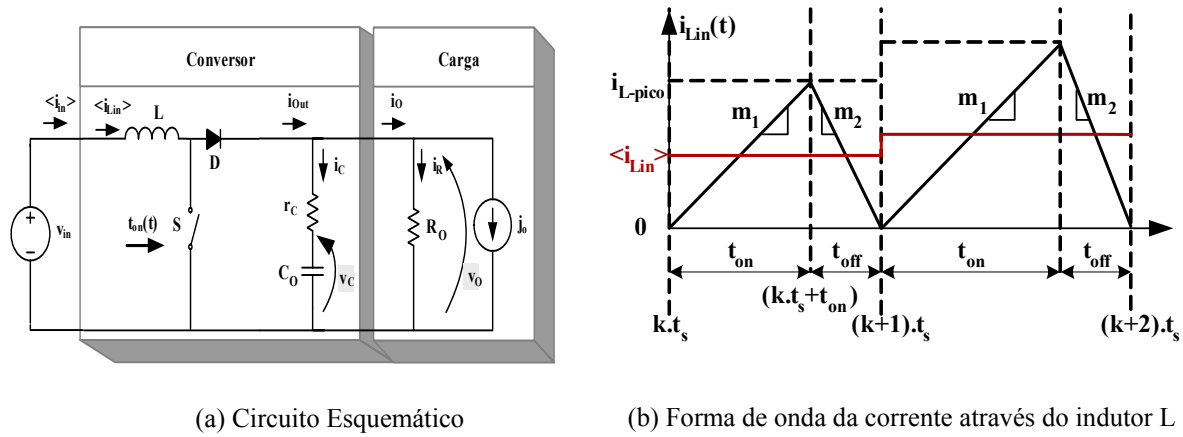


Figura 3.43 – Circuito esquemático e forma de onda através do indutor de entrada  $L_{in}$ .

Na figura 3.43, o período de funcionamento é dado pela soma dos intervalos de tempo  $t_{on}$  e  $t_{off}$ , e expresso pela equação 3.105. O intervalo de tempo  $t_{off}$  representa a porção do tempo onde o interruptor não está conduzindo,  $t_{on}$  representa a porção de tempo que o interruptor está conduzindo, e  $m_1$  e  $m_2$  são as inclinações de subida e descida da corrente através do indutor, que são expressas através das equações 3.106 e 3.107.

$$t_s = t_{on} + t_{off} \quad (3.105)$$

$$m_1 = \frac{v_{in}}{L} \quad (3.106)$$

$$m_2 = \frac{v_{in} - v_o}{L} \cong \frac{v_{in} - v_c}{L} \quad (3.107)$$

A derivada de corrente média através do indutor  $\langle i_{Lin} \rangle'$ , variante no tempo, pode ser aproximada através de método gráfico e deduzida à partir da forma de onda da corrente através do indutor, em função de suas inclinações de subida e de descida, como mostra a equação 3.108.

$$\langle i_{Lin} \rangle' = \frac{t_{on}}{t_s} \cdot m_1 - \frac{t_{off}}{t_s} \cdot m_2 = \frac{v_{in}}{L} - \frac{v_O}{L} \cdot \left(1 - \frac{t_{on}}{t_s}\right) \quad (3.108)$$

A derivada da tensão sobre o capacitor  $v_C'$ , dada pela equação 3.109, pode ser determinada através do balanço de energia durante o período de funcionamento. Deste modo, a aproximação considera a energia média entregue e removida do capacitor durante o decorrer do período de funcionamento.

$$\frac{dv_C}{dt} \Rightarrow v_C' \Rightarrow E_{entregue} + E_{retirada} \quad (3.109)$$

A quantidade de energia total proveniente do indutor que o capacitor recebe, durante o período de chaveamento  $t_s$ , pode ser expressa pela equação 3.110 e depende do intervalo de tempo  $t_{OFF}$  e do valor de pico da forma de onda da corrente através do indutor.

$$Q_C = \frac{i_{L-pico} \cdot t_{off}}{2} \quad (3.110)$$

Onde:

$$i_{L-pico} = \frac{t_{on}}{t_s} \cdot \frac{v_{in}}{L}$$

Considerando a hipótese de que o conversor alimenta uma carga do tipo puramente resistiva, e que esta por sua vez drena a maior parte da energia proveniente do indutor, a energia entregue ao capacitor corresponde ao restante do balanço de energia, dada pela equação (3.111).

$$v_C' = \frac{dv_{Co}}{dt} = \frac{i_{L-pico}}{2 \cdot C_O} \frac{t_{off}}{t_s} - \frac{v_{Co}}{R_O \cdot C_O} \quad (3.111)$$

Uma vez que a carga é composta por uma resistência  $R_O$  e uma fonte de corrente  $j_0$ , a tensão de saída no domínio de Laplace e o seu valor médio podem ser expressos através das equações 3.112 e 3.113.

$$V_O(s) = (1 + s \cdot r_C \cdot C_O) \cdot V_C(s) \quad (3.112)$$

$$\langle v_O \rangle = \langle v_C \rangle + r_C \cdot C_O \cdot \langle v_C' \rangle \quad (3.113)$$

Adicionalmente, considerou-se a hipótese de que a diferença entre o valor médio da tensão na carga  $v_O$  e o valor médio da tensão sobre o capacitor  $v_C$  é muito pequena, podendo ser desprezada, de acordo com a equação 3.114,

$$v_O \cong v_C \quad (3.114)$$

A expressão referente a corrente média de entrada  $\langle i_{in} \rangle$  deve ser deduzida à partir da forma de onda em seus valores instantâneos. Especificamente, no caso do conversor boost, a corrente de entrada é igual à corrente através do indutor.

$$\langle i_{in} \rangle = \langle i_{Lin} \rangle \quad (3.115)$$

Considerando a topologia boost composta por apenas uma célula de comutação, temos que o sistema de equações não lineares que representa seu comportamento em valores médios em malha aberta é dado pelo conjunto de equações de 3.116 a 3.119.

$$\langle v_C \rangle' = \left(1 - \frac{t_{on}}{t_s}\right) \cdot \frac{\langle i_{Lin} \rangle}{C_o} - \frac{\langle v_o \rangle}{R_o \cdot C_o} - \frac{j_o}{C_o} \quad (3.116)$$

$$\langle i_{Lin} \rangle' = \frac{v_{in}}{L} - \frac{v_o}{L} \cdot \left(1 - \frac{t_{on}}{t_s}\right) \quad (3.117)$$

$$\langle v_o \rangle = \langle v_C \rangle + r_c \cdot C_o \cdot \langle v_C \rangle' \quad (3.118)$$

$$\langle i_{in} \rangle = \langle i_L \rangle \quad (3.119)$$

No procedimento de extensão da modelagem para conversores operando com várias células de comutação em paralelo, considerou-se que tanto o estágio de entrada quanto o de saída são comuns a todas as  $N_{CP}$  células, e que todas as células estão operando de maneira autônomas, ou seja, não possuem interações entre si. Assim, a quantidade de energia entregue à carga pode ser determinada pela somatória das energias supridas por cada célula de comutação em operação, como mostra a equação 3.120.

$$\langle v_C \rangle' = \sum_{i=1}^{N_{CP}} \left[ \left(1 - \frac{t_{on-i}}{t_{s-i}}\right) \cdot \frac{\langle i_{Lin-i} \rangle}{C_o} \right] - \frac{\langle v_o \rangle}{R_o \cdot C_o} - \frac{j_o}{C_o} \quad (3.120)$$

A energia entregue para a carga proveniente de cada célula de potência boost está relacionada com o valor médio da corrente através do indutor durante um período de chaveamento. Por outro lado, especificamente a aplicação da técnica de “*interleaving*” refere-se às células estarem operando defasadas entre si de valores adequados, conseqüentemente as formas de onda da corrente através dos indutores também estarão. Entretanto, como os parâmetros são análogos, os valores médios são iguais, possibilitando a aproximação do valor médio total como sendo a somatória de todos os valores médios. Considerando as aproximações dadas pelas equações de 3.121 até 3.124:

$$\sum_{i=1}^{N_{CP}} \langle i_{Lin-i} \rangle = \langle i_{Lin-1} \rangle + \langle i_{Lin-2} \rangle \dots \langle i_{Lin-N_{CP}} \rangle \quad (3.121)$$

$$\langle i_{Lin-1} \rangle = \langle i_{Lin-2} \rangle = \dots \langle i_{Lin-N_{CP}} \rangle = \langle i_{Lin} \rangle \quad (3.122)$$

$$t_{on-1} = t_{on-2} = \dots t_{on-N_{CP}} = t_{on} \quad (3.123)$$

$$t_{s-1} = t_{s-2} = \dots t_{s-N_{CP}} = t_s \quad (3.124)$$

O novo sistema de equações não lineares que representa o comportamento da topologia boost, formada por  $N_{CP}$  células de conversão, operando com a técnica de “*interleaving*”, por valores médios e em malha aberta, é dado pelo conjunto de equações de 3.125, 3.126, 3.116 e 3.117.

$$\langle v_C \rangle' = N_{CP} \cdot \left( 1 - \frac{t_{on}}{t_s} \right) \cdot \frac{\langle i_{Lin} \rangle}{C_o} - \frac{\langle v_o \rangle}{R_o \cdot C_o} - \frac{j_o}{C_o} \quad (3.125)$$

$$\langle i_{in} \rangle = N_{CP} \cdot \langle i_{Lin} \rangle \quad (3.126)$$

Este conjunto de equações não lineares pode ser perturbado e linearizado através da metodologia de expansão de Taylor, baseada no desenvolvimento das derivadas parciais de cada termo, em torno de um ponto de operação para a determinação de um novo sistema de equações referentes ao modelo linear por valores médios em pequenos sinais CA, dado pelas equações 3.127 até 3.129.

$$\langle \hat{i}_L \rangle' = -\frac{(1-D)}{L} \cdot \langle \hat{v}_C \rangle + \frac{1}{L} \cdot \hat{v}_{in} + \frac{V_o}{T_s \cdot L} \cdot \hat{t}_{on} - \frac{D \cdot V_o}{T_s \cdot L} \cdot \hat{t}_s \quad (3.127)$$

$$\langle \hat{v}_C \rangle' = \frac{N_{CP} \cdot (1-D)}{C_o} \cdot \langle \hat{i}_{Lin} \rangle - \frac{1}{R_o \cdot C_o} \cdot \langle \hat{v}_C \rangle - \frac{1}{C_o} \cdot \hat{j}_o - \frac{N_{CP} \cdot I_L}{T_s \cdot C_o} \cdot \hat{t}_{on} + \frac{N_{CP} \cdot I_L \cdot D}{T_s \cdot C_o} \cdot \hat{t}_s \quad (3.128)$$

$$\langle \hat{i}_{in} \rangle = N_{CP} \cdot \langle \hat{i}_{Lin} \rangle \quad (3.129)$$

Adicionalmente, apesar deste novo sistema de equações lineares ser capaz de prever o comportamento da estrutura em malha aberta através de seus valores médios, está em função do período de chaveamento perturbado  $\hat{t}_s$ , que é variável.

Entretanto, este período de chaveamento perturbado  $\hat{t}_s$  pode ser substituído por sua equação restritiva imposta pelo modo de operação crítico e o modo de controle de tensão. O período de funcionamento expresso pela equação 3.130, que representa a restrição referente ao modo de condução crítico, é perturbado e linearizado resultando na equação 3.131 que representa o período de funcionamento perturbado  $\hat{t}_s$  para estas condições de operação.

$$t_s = t_{on} + \frac{2 \cdot L \cdot \langle i_{Lin} \rangle}{(V_C - V_{in})} \quad (3.130)$$

$$\hat{t}_s = \frac{2 \cdot I_L}{(V_o - V_{in})} \cdot \langle \hat{i}_{Lin} \rangle - \frac{2 \cdot I_L \cdot L}{(V_o - V_{in})^2} \cdot \hat{v}_C + \frac{2 \cdot I_L \cdot L}{(V_o - V_{in})^2} \cdot \hat{v}_{in} + \hat{t}_{on} \quad (3.131)$$

Substituindo a equação 3.131 nas equações de 3.127 até 3.129 obtemos o sistema de equações que representa por valores médios em pequenos sinais CA o comportamento do conversor boost operando no modo de condução crítico, com frequência de operação variável, operando com  $N_{CP}$  células de comutação e com controle no modo de tensão.

$$\begin{aligned} \langle \hat{v}_C \rangle' &= \frac{N_{CP}}{C_o} \cdot (1-D^2) \cdot \langle \hat{i}_{Lin} \rangle + \left( -\frac{N_{CP} \cdot T_s \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} - \frac{1}{R_o \cdot C_o} \right) \cdot \langle \hat{v}_C \rangle - \frac{1}{C_o} \cdot \hat{j}_o + \\ &\dots \frac{N_{CP} \cdot T_s \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} \cdot \hat{v}_{in} - \frac{N_{CP} \cdot V_o \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} \cdot \hat{t}_{on} \end{aligned} \quad (3.132)$$

$$\langle \hat{i}_{Lin} \rangle' = -\frac{2}{T_s} \cdot \langle \hat{i}_{Lin} \rangle + \frac{D}{L} \cdot \hat{v}_{in} + \frac{(1-D) \cdot V_o}{T_s \cdot L} \cdot \hat{t}_{on} \quad (3.133)$$

$$\langle \hat{i}_{in} \rangle = N_{CP} \cdot \langle \hat{i}_{Lin} \rangle \quad (3.134)$$

Estes conjuntos das equações podem ser agrupados em uma forma matricial baseada na técnica de espaços de estado convencional, resultando no sistema de equações dado por 3.135, onde a variável de controle é adotada como sendo o tempo de condução do interruptor denominado  $T_{ON}(s)$ .

$$\begin{aligned} s \cdot X(s) &= A_v \cdot X(s) + B_v \cdot U(s) + C_v \cdot T_{on}(s) \\ Y(s) &= E_v \cdot X(s) + F_v \cdot U(s) + G_v \cdot T_{on}(s) \end{aligned} \quad (3.135)$$

Os valores médios no tempo da corrente através do indutor e da tensão sobre o capacitor são designados como variáveis de estado, a tensão de entrada e a corrente drenada pela saída são designadas como variáveis de entrada, e a tensão de saída e corrente de entrada como variáveis de saída, de acordo com 3.136.

$$X(s) = \begin{bmatrix} \langle \hat{i}_{Lin} \rangle \\ \langle \hat{v}_C \rangle \end{bmatrix}; \quad U(s) = \begin{bmatrix} \hat{v}_{in} \\ \hat{j}_o \end{bmatrix}; \quad Y(s) = \begin{bmatrix} \langle \hat{i}_{in} \rangle \\ \langle \hat{v}_o \rangle \end{bmatrix}; \quad (3.136)$$

O sistema de equações dado por 3.135 pode ser resolvido através de manipulação matricial, sendo a solução dada por 3.137.

$$\begin{aligned} Y(s) &= \left[ E_v \cdot (s \cdot I - A_v)^{-1} \cdot B_v + F_v \right] \cdot U(s) + \left[ E_v \cdot (s \cdot I - A_v)^{-1} \cdot C_v + G_v \right] \cdot T_{on}(s) \\ Y(s) &= FT_G \cdot U(s) + FT_C \cdot T_{on}(s) \end{aligned} \quad (3.137)$$

Os coeficientes  $FT_G$  e  $FT_C$ , dados por (3.138), são matrizes compostas por elementos que representam as funções de transferência para o controle no modo de tensão relacionando as variáveis de saída com as variáveis de estado e com a variável de controle.

$$FT_G = \begin{bmatrix} Y_{in-o}^{VM}(s) & T_{ji-o}^{VM}(s) \\ G_{i-o}^{VM}(s) & -Z_{o-o}^{VM}(s) \end{bmatrix}; \quad FT_C = \begin{bmatrix} G_{c-i}^{VM}(s) \\ G_{c-o}^{VM}(s) \end{bmatrix}; \quad (3.138)$$

Portanto, as variáveis de saída podem ser expressas através das funções de transferência, de acordo com a equação 3.139.

$$\begin{aligned}\langle \hat{i}_{in} \rangle &= Y_{in-o}^{VM}(s) \cdot \hat{v}_{in} + T_{ji-o}^{VM}(s) \cdot \hat{j}_o + G_{c-i}^{VM}(s) \cdot \hat{t}_{on} \\ \langle \hat{v}_o \rangle &= G_{i-o}^{VM}(s) \cdot \hat{v}_{in} - Z_{o-o}^{VM}(s) \cdot \hat{j}_o + G_{c-o}^{VM}(s) \cdot \hat{t}_{on}\end{aligned}\quad (3.139)$$

Assim, o conjunto de funções de transferência que descrevem o comportamento através de valores médios em pequenos sinais CA para o conversor boost composto por  $N_{CP}$  células de comutação, operando no modo de condução crítico, com controle no modo de tensão são apresentadas nas equações 3.140 até 3.145.

$$Y_{in-o}^{VM}(s) = \left. \frac{\langle \hat{i}_{in} \rangle}{\hat{v}_{in}} \right|_{\substack{T_{ji-o}^{VM}(s)=0 \\ G_{c-i}^{VM}(s)=0}} = \frac{N_{CP} \cdot D}{L} \frac{1}{\left( s + \frac{2}{T_s} \right)} \quad (3.140)$$

$$T_{ji-o}^{VM}(s) = \left. \frac{\langle \hat{i}_{in} \rangle}{\hat{j}_o} \right|_{\substack{Y_{in-o}^{VM}(s)=0 \\ G_{c-i}^{VM}(s)=0}} = 0 \quad (3.141)$$

$$G_{io-o}^{VM}(s) = \left. \frac{\langle \hat{v}_o \rangle}{\hat{v}_{in}} \right|_{\substack{-Z_{o-o}^{VM}(s)=0 \\ G_{c-o}^{VM}(s)=0}} = \frac{\frac{N_{CP}}{2 \cdot L \cdot C_o} \cdot D \cdot \left[ s \frac{T_s (1-D)^2}{2} + 2(1-D) \right] (1 + s \cdot r_c \cdot C_o)}{\left( s + \frac{T_s}{2} \right) \cdot \left( s + \left( \frac{N_{CP} \cdot T_s}{2 \cdot L \cdot C_o} \cdot D \cdot (1-D)^2 + \frac{1}{R_o \cdot C_o} \right) \right)} \quad (3.142)$$

$$-Z_{o-o}^{VM}(s) = \left. \frac{\langle \hat{v}_o \rangle}{\hat{j}_o} \right|_{\substack{G_{i-o}^{VM}(s)=0 \\ G_{c-o}^{VM}(s)=0}} = \frac{-1}{C_o} \cdot \frac{(1 + s \cdot r_c \cdot C_o)}{\left( s + \left( \frac{N_{CP} \cdot T_s}{2 \cdot L \cdot C_o} \cdot D \cdot (1-D)^2 + \frac{1}{R_o \cdot C_o} \right) \right)} \quad (3.143)$$

$$G_{c-i}^{VM}(s) = \left. \frac{\langle \hat{i}_{in} \rangle}{\hat{t}_{on}} \right|_{\substack{Y_{in-o}^{VM}(s)=0 \\ T_{ji-o}^{VM}(s)=0}} = \frac{N_{CP} \cdot V_o \cdot (1-D)}{T_s \cdot L} \frac{1}{\left( s + \frac{2}{T_s} \right)} \quad (3.144)$$

$$G_{c-o}^{VM}(s) = \left. \frac{\langle \hat{v}_o \rangle}{\hat{t}_{on}} \right|_{\substack{G_{i-o}^{VM}(s)=0 \\ -Z_{o-o}^{VM}(s)=0}} = \frac{\frac{N_{CP} \cdot V_o}{2 \cdot L \cdot C_o} \cdot D \cdot (1-D)^2 \cdot \left[ s + \left( \frac{2}{T_s} - \frac{(1+D)}{T_s \cdot D} \right) \right] (1 + s \cdot r_c \cdot C_o)}{\left( s + \frac{T_s}{2} \right) \cdot \left( s + \left( \frac{N_{CP} \cdot T_s}{2 \cdot L \cdot C_o} \cdot D \cdot (1-D)^2 + \frac{1}{R_o \cdot C_o} \right) \right)} \quad (3.145)$$

Adicionalmente, a modelagem do controle por corrente programada de pico é uma aplicação direta do controle por modo de tensão, onde o tempo de condução ( $t_{on}$ ) perturbado é substituído por meio de suas restrições descrevendo o processo do conversor controlado por

corrente programada de pico, ou seja, a variável de controle passa a ser um valor de corrente de referência e o tempo de condução decorre da imposição desta referência.

Assim, como a dinâmica do conversor é controlada através do valor médio da corrente através do indutor, a restrição para o tempo de condução pode ser obtida através da relação entre o valor médio e o de pico da corrente através do indutor. Especialmente, considerando o conversor boost convencional, operando no modo de condução crítico, tem-se que o valor de pico é exatamente igual a duas vezes o valor médio. Assim, a variável de controle pode ser expressa pela equação 3.146.

$$i_{controle} = \langle i_{Lin} \rangle + \Delta i_L \quad (3.146)$$

$$\text{Onde : } \Delta i_L = \frac{m_1 \cdot t_{on}}{2} = \frac{V_{in} \cdot t_{on}}{2 \cdot L}$$

Utilizando a equação 3.146 pode-se determinar a expressão restritiva para a variável referente ao tempo de condução do interruptor em função da variável de controle de corrente, mostrada na equação 3.147.

$$t_{on} = 2 \cdot L \cdot \frac{(i_{co} - \langle i_{Lin} \rangle)}{v_{in}} \quad (3.147)$$

De maneira análoga aos procedimentos efetuados no desenvolvimento da modelagem do controle por modo de tensão, a equação 3.147 é perturbada e linearizada, resultando na equação 3.148.

$$\hat{t}_{on} = \frac{2 \cdot L}{V_{in}} \cdot \left( \hat{i}_{co} - \langle \hat{i}_{Lin} \rangle - \frac{D \cdot T_S}{2 \cdot L} \cdot \hat{v}_{in} \right) = \frac{2 \cdot L}{V_{in}} \cdot \left( \hat{i}_{co} - \langle \hat{i}_{Lin} \rangle - \frac{T_{on}}{2 \cdot L} \cdot \hat{v}_{in} \right) \quad (3.148)$$

Substituindo a equação 3.148 nas equações de 3.127 até 3.129 obtemos o sistema de equações que representa por valores médios em pequenos sinais CA o comportamento do conversor boost operando no modo de condução crítico, com frequência de operação variável, operando com  $N_{CP}$  células de comutação e com controle no modo de corrente programada, dado pelas equações 3.149 até 3.151.

$$\langle \hat{i}_{Lin} \rangle' = -\frac{4}{T_S} \cdot \langle \hat{i}_{Lin} \rangle + \frac{2}{T_S} \cdot \hat{i}_{co} \quad (3.149)$$

$$\begin{aligned} \langle \hat{v}_C \rangle' &= \frac{N_{CP}}{C_o} \cdot (1-D) \cdot (2 \cdot D + 1) \cdot \langle \hat{i}_{Lin} \rangle + \left( -\frac{N_{CP} \cdot T_S \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} - \frac{1}{R_o \cdot C_o} \right) \cdot \langle \hat{v}_C \rangle - \frac{1}{C_o} \cdot \hat{j}_o \\ &\dots + \frac{N_{CP} \cdot T_S \cdot D \cdot (1-D)}{2 \cdot L \cdot C_o} \cdot \hat{v}_{in} - \frac{N_{CP} \cdot D \cdot (1-D)}{C_o} \cdot \hat{i}_{co} \end{aligned} \quad (3.150)$$

$$\langle \hat{i}_{in} \rangle = N_{CP} \cdot \langle \hat{i}_{Lin} \rangle \quad (3.151)$$



Posteriormente à manipulação matricial do sistema de equações 3.149 até 3.151, as variáveis de saída podem ser expressas através das funções de transferência obtidas, de acordo com a equação 3.152.

$$\begin{aligned}\langle \hat{i}_{in} \rangle &= Y_{in-o}^{PCM}(s) \cdot \hat{v}_{in} + T_{ji-o}^{PCM}(s) \cdot \hat{j}_O + G_{c-i}^{PCM}(s) \cdot \hat{i}_{co} \\ \langle \hat{v}_O \rangle &= G_{i-o}^{PCM}(s) \cdot \hat{v}_{in} - Z_{o-o}^{PCM}(s) \cdot \hat{j}_O + G_{c-o}^{PCM}(s) \cdot \hat{i}_{co}\end{aligned}\quad (3.152)$$

As funções de transferência que descrevem o comportamento através de valores médios em pequenos sinais CA do conversor boost composto por  $N_{CP}$  células, operando no modo de condução crítico e com controle no modo de corrente programada, são apresentadas nas equações 3.153 até 3.158.

$$Y_{in-o}^{PCM}(s) = \left. \frac{\langle \hat{i}_{in} \rangle}{\hat{v}_{in}} \right|_{\substack{T_{ji-o}^{PCM}=0 \\ G_{c-i}^{PCM}=0}} = 0 \quad (3.153)$$

$$T_{ji-o}^{PCM}(s) = \left. \frac{\langle \hat{i}_{in} \rangle}{\hat{j}_O} \right|_{\substack{Y_{in-o}^{PCM}(s)=0 \\ G_{c-i}^{PCM}=0}} = 0 \quad (3.154)$$

$$G_{io-o}^{PCM}(s) = \left. \frac{\langle \hat{v}_O \rangle}{\hat{v}_{in}} \right|_{\substack{-Z_{o-o}^{PCM}(s)=0 \\ G_{c-o}^{PCM}=0}} = \frac{\frac{N_{CP} \cdot T_s \cdot D \cdot (1-D)}{2 \cdot L \cdot C_o} \cdot (1 + s \cdot r_c \cdot C_o)}{\left( s + \left( \frac{N_{CP} \cdot T_s \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} + \frac{1}{R_o \cdot C_o} \right) \right)} \quad (3.155)$$

$$-Z_{o-o}^{PCM}(s) = \left. \frac{\langle \hat{v}_O \rangle}{\hat{j}_O} \right|_{\substack{G_{i-o}^{PCM}(s)=0 \\ G_{c-o}^{PCM}=0}} = \frac{-1}{C_o} \cdot \frac{(1 + s \cdot r_c \cdot C_o)}{\left( s + \left( \frac{N_{CP} \cdot T_s \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} + \frac{1}{R_o \cdot C_o} \right) \right)} \quad (3.156)$$

$$G_{c-i}^{PCM}(s) = \left. \frac{\langle \hat{i}_{in} \rangle}{\hat{i}_{co}} \right|_{\substack{Y_{in-o}^{PCM}(s)=0 \\ T_{ji-o}^{PCM}=0}} = \frac{2 \cdot N_{CP}}{T_s} \cdot \frac{1}{\left( s + \frac{4}{T_s} \right)} \quad (3.157)$$

$$G_{c-o}^{PCM}(s) = \left. \frac{\langle \hat{v}_O \rangle}{\hat{i}_{co}} \right|_{\substack{G_{i-o}^{PCM}(s)=0 \\ -Z_{o-o}^{PCM}(s)=0}} = \frac{\frac{N_{CP}}{C_o} \cdot D \cdot (1-D) \cdot \left[ s + \left( \frac{4}{T_s} - \frac{2 \cdot (2 \cdot D + 1)}{T_s \cdot D} \right) \right] \cdot (1 + s \cdot r_c \cdot C_o)}{\left( s + \frac{T_s}{4} \right) \cdot \left( s + \left( \frac{N_{CP} \cdot T_s \cdot D \cdot (1-D)^2}{2 \cdot L \cdot C_o} + \frac{1}{R_o \cdot C_o} \right) \right)} \quad (3.158)$$

O diagrama de blocos do sistema de controle realimentado, genérico, que pode ser utilizado tanto para o controle no modo de tensão, quanto para o controle por corrente programada, utilizando as funções de transferência deduzidas, é mostrado na figura 3.44.

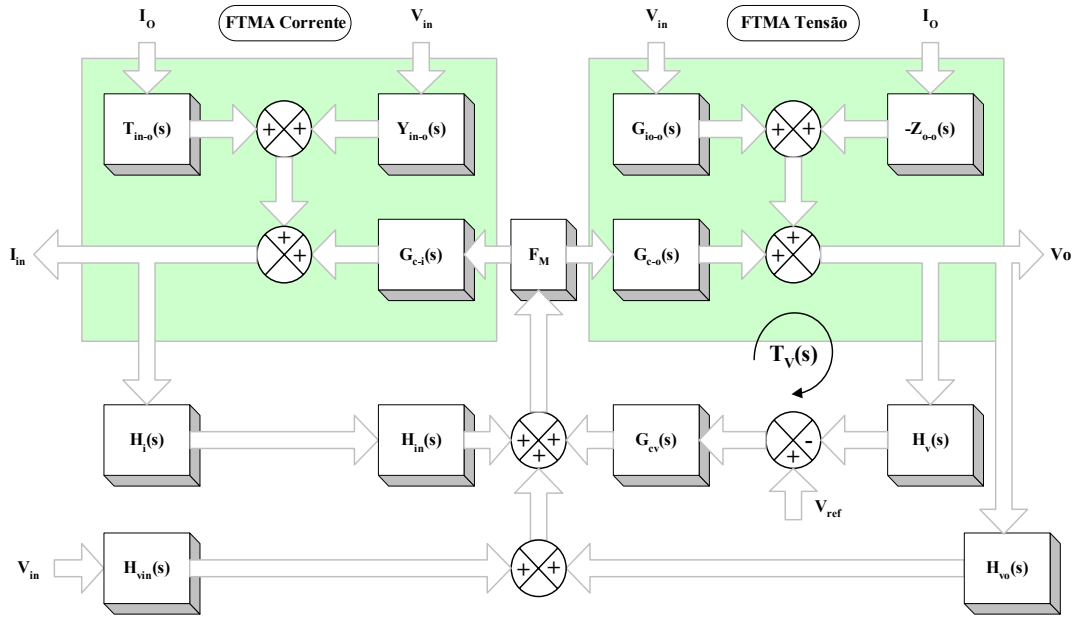


Figura 3.44 - Diagrama de blocos do sistema de controle realimentado.

Nesta figura o bloco  $G_{cv}(s)$  corresponde ao compensador de tensão, enquanto  $H_i(s)$  e  $H_v(s)$  representam os ganhos dos sensores de tensão e corrente empregados. Os blocos  $F_M$ ,  $H_{in}(s)$ ,  $H_{vin}(s)$  e  $H_{vo}(s)$  correspondem às funções de transferências relativas aos ganhos da variável de controle do modo de controle empregado, e podem ser especificadas através das relações entre as equações 3.131 e 3.159 para o controle no modo de tensão e as equações 3.148 e 3.160 para o controle por corrente programada.

$$\hat{t}_{on} = F_M \cdot \left( \hat{t}_s + H_{in} \cdot \langle \hat{i}_{Lin} \rangle + H_{vin} \cdot \hat{v}_{in} + H_{vo} \cdot \hat{v}_O \right) \quad (3.159)$$

$$\hat{t}_{on} = F_M \cdot \left( \hat{i}_{co} + H_{in} \cdot \langle \hat{i}_{Lin} \rangle + H_{vin} \cdot \hat{v}_{in} + H_{vo} \cdot \hat{v}_O \right) \quad (3.160)$$

### 3.8 – Conclusões

Neste capítulo foi apresentada uma nova topologia para um conversor CC/CC Boost empregando uma célula de comutação suave do tipo ZCS e modulação por frequência, operando no modo crítico de condução de corrente.

O estudo da estrutura resultou no desenvolvimento de uma modelagem que descreve o funcionamento do conversor através da evolução de oito etapas de funcionamento. Em cada etapa de funcionamento as principais variáveis de estado são apresentadas e modeladas analiticamente em função de parâmetros adotados ( $\beta_1$ ,  $\beta_2$ ,  $f$ ,  $f_s$ ,  $\alpha$ ). Adicionalmente, as restrições paramétricas que garantem uma comutação não dissipativa nos interruptores de tal forma que o funcionamento do conversor ocorra como descrito na modelagem também foram apresentadas.

A razão de conversão estática deste conversor foi desenvolvida levando-se em conta a topologia utilizando “n” células genéricas idênticas e distribuição uniforme de potência entre as células.

Constatou-se através da modelagem que a amplitude do “*ripple*” da corrente de entrada  $I_{in}$  depende diretamente do número de células utilizadas e da defasagem angular entre as células. Verificou-se também que, de acordo com o número de células utilizadas (n), existem (n-1) pontos de defasagem de operação entre as células onde a amplitude do “*ripple*” da corrente de entrada é minimizada.

A determinação do ganho estático, da razão cíclica crítica e dos demais parâmetros apresentados, devido à necessidade da utilização de um método numérico iterativo, são baseadas na utilização de um programa que emprega toda a modelagem desenvolvida no ambiente MATHCAD<sup>®</sup>.

O desenvolvimento destas equações possibilitou a criação de uma metodologia de projeto consistente para o conversor CC/CC Boost ZCS-FM, e, conseqüentemente, o desenvolvimento de uma simulação digital de um protótipo.

Inicialmente, analisou-se na simulação o conversor boost ZCS operando no modo de condução crítica, empregando uma única célula genérica, e, na continuidade, empregando duas células genéricas defasadas entre si de meio período de funcionamento.

A célula de comutação suave utilizada proporcionou, na entrada em condução dos interruptores principal e auxiliar, a comutação do tipo não dissipativa com corrente nula

(ZCS), sendo que, no bloqueio a comutação não dissipativa ocorre com corrente e tensão nulas (ZCZVS).

Nesta célula de comutação o diodo auxiliar  $D_1$  não conduz conjuntamente com o diodo principal  $D_2$ . Desta forma  $D_2$  é responsável por toda a transferência de potência para a carga, de forma similar à operação do conversor boost convencional. Os esforços de tensão em todos os semicondutores são idênticos àqueles observados na estrutura boost convencional, exceto pequeno esforço adicional de tensão em  $D_2$ .

Como todas as comutações são isentas de perdas com a minimização da recuperação reversa dos diodos, esta estrutura propicia condições para um menor nível de interferência eletromagnética.

Devido ao aumento da frequência do “*ripple*” da forma de onda no estágio de saída do conversor global, os volumes dos filtros de saída podem ser menores que aqueles utilizados nas topologias com célula única, operando tanto na descontinuidade ou na continuidade da corrente através do indutor.

Com a redução do “*ripple*” da corrente de saída, ocorre também a redução do “*ripple*” da tensão de saída, proporcionando condições para a redução do “*ruído psofométrico*” quando da aplicação desta estrutura como pré-regulador retificador para sistemas de telecomunicações.

Com a técnica de “*interleaving*” tem-se ainda a redução do “*ripple*” da corrente drenada da fonte de alimentação, permitindo que a corrente drenada seja contínua, apesar da operação no modo crítico de cada uma das células. Este fato também propiciará condições para a redução da taxa de distorção harmônica da corrente de entrada da estrutura, quando da aplicação como pré-regulador retificador, reduzindo-se ainda o volume do filtro de linha a ser projetado para adequação dos níveis de EMI do tipo conduzida.

Neste capítulo também foi desenvolvida a modelagem por valores médios em pequenos sinais CA para o conversor boost convencional operando no modo de condução crítico, com frequência variável e considerando um número genérico de células atuando em paralelo, através da técnica de “*interleaving*”, controlado pelo modo de tensão e pelo modo de corrente programada.

Neste contexto, torna-se importante o estudo de técnicas digitais de controle para impor as necessárias lógicas de atuação dos interruptores da estrutura em “*interleaving*”, de tal forma a propiciar a adequada transferência estática, com uma dinâmica de elevado desempenho, muito difícil de ser atendida com o controle analógico.

## 4 – Pré-Regulador Retificador Boost ZCS-FM Interleaved

### 4.1 – Introdução

Nas últimas décadas foram desenvolvidas diversas técnicas de correção ativa do fator de potência para fontes de alimentação, com o objetivo principal de satisfazer as restrições impostas por normas internacionais, tais como a IEC61000-3-2. Observa-se que a topologia mais largamente adotada e empregada para a correção ativa do fator de potência no estágio de entrada de fontes de alimentação é o retificador boost, operando no Modo de Condução Contínua (MCC) e com imposição da forma de onda da corrente de entrada. Todavia, entre as principais desvantagens desta técnica estão as perdas relacionadas com a recuperação reversa no bloqueio do diodo boost, uma vez que o modo de condução é contínuo. Estas perdas podem ser minimizadas se o conversor tiver seu modo de operação modificado para a região de fronteira entre a continuidade e a descontinuidade, denominada de região crítica, onde o bloqueio do diodo boost acontece de forma natural, pois a corrente se anula a cada período de chaveamento. Entretanto, a operação na região de fronteira exige filtragens adicionais na corrente de entrada e produz elevados esforços de corrente.

Por outro lado, as pesquisas em algumas áreas da Eletrônica de Potência têm se concentrado no desenvolvimento de conversores paralelos, com o objetivo de elevar a capacidade de processamento de energia e melhorar a confiabilidade do sistema de potência.

Uma das técnicas mais utilizadas atualmente para a construção de conversores operando em paralelo é a de “*interleaving*”. A técnica de “*interleaving*” refere-se à interconexão de múltiplos conversores para os quais a frequência de chaveamento é a mesma. Contudo, os pulsos de controle para os interruptores ativos são defasados, em frações iguais ao período de chaveamento. Este fato permite a repartição de corrente através dos interruptores principais da estrutura. Assim, o sistema adquire a vantagem da redução de amplitude do “*ripple*” das formas de onda de entrada e saída e uma distribuição de potência entre as células das topologias conectadas em paralelo. Deste modo, as desvantagens do retificador boost operando na região de fronteira podem ser minimizadas se duas ou mais células de conversores forem operadas através da técnica do “*interleaving*”. Os benefícios da comutação suave no diodo boost seriam mantidos em conjunto com a redução da amplitude do “*ripple*” da corrente de entrada, entretanto a operação passa a ser com frequência variável [2, 4, 5, 7, 51].

Apesar destes fatos, com a possibilidade da aplicação de controle digital para as estruturas em “*interleaving*” permitindo a operação de múltiplas células, tem-se a possibilidade da redução significativa dos custos associados à este modo de condução.

Neste contexto, este capítulo apresenta os principais resultados de simulação para um exemplo de projeto do pré-regulador retificador Boost-ZCS em “*inteleaving*”, com duas células, onde a célula de comutação ZCS é aquela proposta no capítulo anterior.

Observa-se que toda a modelagem desenvolvida no capítulo anterior é aplicada para a conversão CA/CC, entretanto, algumas considerações adicionais são apresentadas neste capítulo.

## 4.2 – Considerações de Modelagem

A figura 4.1 mostra o Pré-regulador retificador CA/CC Boost ZCS-FM composto por duas células de comutação ZCS genéricas, “n” e “n+1”.

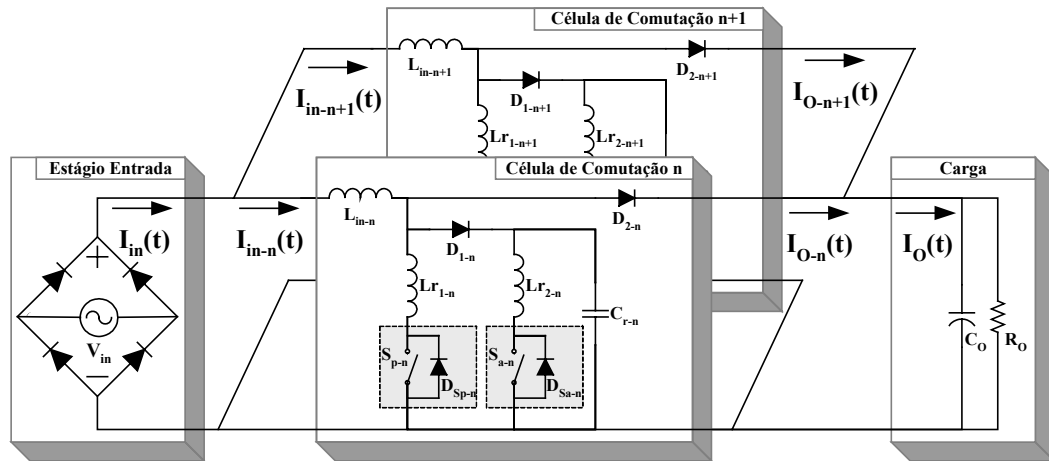


Figura 4.1 – Pré-regulador retificador CA/CC Boost ZCS-FM Interleaved, com duas células de comutação ZCS genéricas.

O comportamento da forma de onda da tensão de entrada pode ser representado pela equação 4.1. Devido à presença da ponte retificadora de diodos, existente no estágio de entrada do pré-regulador, o ângulo  $\omega t$  da equação 4.1 varia de 0 a  $\pi$  radianos duas vezes, em um período da forma de onda da tensão imposta pela rede alternada.

$$V_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad (4.1)$$

Considerando-se que o período de chaveamento do pré-regulador é muito menor que o período da forma de onda de tensão de entrada imposta pela rede de energia alternada (a intensidade da frequência de chaveamento do conversor é muito maior que a intensidade da frequência da forma de onda de tensão de entrada), a variação na amplitude da tensão de

entrada, durante um período genérico de chaveamento do pré-regulador, pode ser considerada desprezível.

Portanto, assume-se que em cada período de chaveamento as etapas de funcionamento possam ser analisadas considerando-se a tensão de entrada constante, expressa por 4.2. Assim, durante este intervalo de tempo, o comportamento do pré-regulador retificador pode ser modelado como se fosse o de um conversor CC/CC, com frequência de chaveamento variável.

$$|V_{in}(\omega t)| = |V_p \cdot \sin(\omega t)| = V_{in[i]} \quad (4.2)$$

Deste modo, em cada período de chaveamento, este conversor CC/CC “equivalente” contribuirá com uma parcela de energia para a carga. As amplitudes das variáveis de estado do pré-regulador se comportarão de acordo com a intensidade da tensão de entrada. Desta forma, as etapas de operação do pré-regulador retificador Boost ZCS-FM são análogas às etapas de operação apresentadas para o conversor CC/CC Boost ZCS, apresentadas no capítulo anterior.

A figura 4.2 mostra as formas de onda de corrente e tensão de entrada para um exemplo de operação do pré-regulador, durante meio período da forma de onda da tensão de entrada, considerando-se a atuação de apenas uma célula de comutação. Nesta figura estão indicadas duas janelas, denominadas de Caso A e Caso B, uma localizada no instante em que a tensão de entrada tem valor de aproximadamente 290V e outra quando tem valor de aproximadamente 128V.

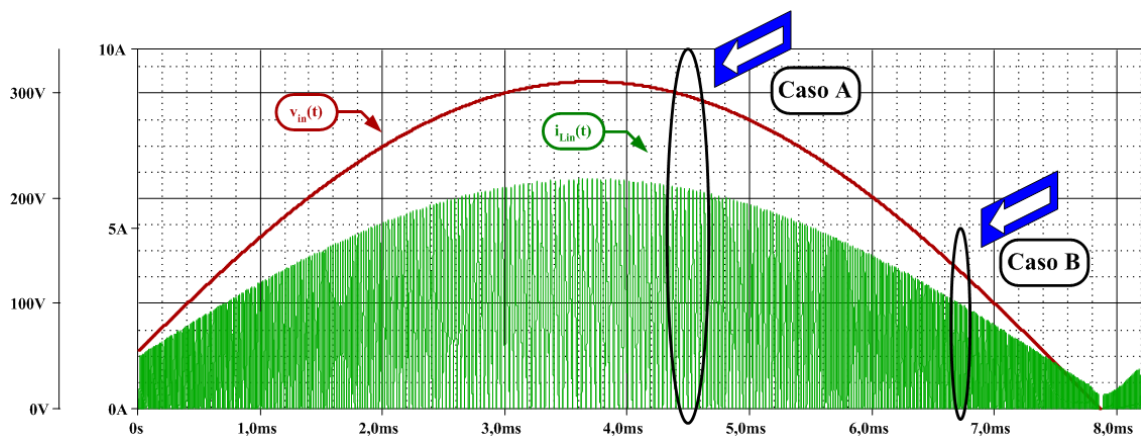
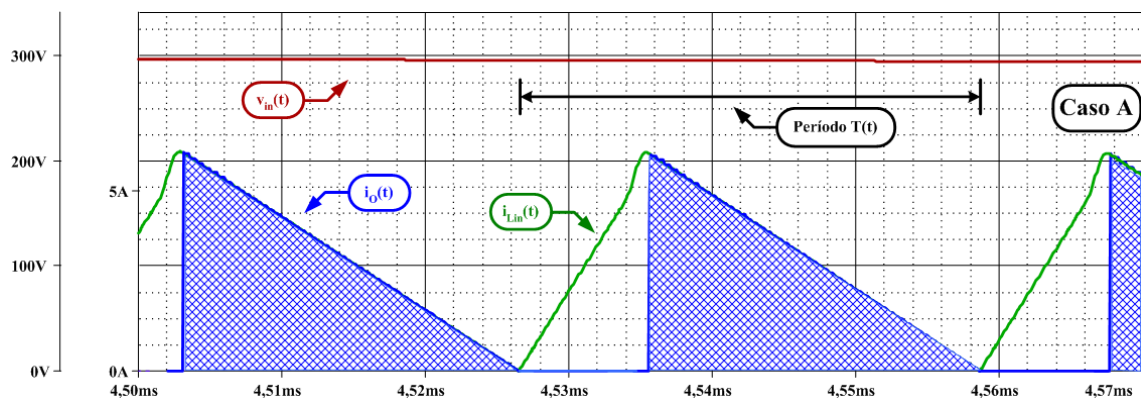


Figura 4.2 - Formas de Onda da Corrente e Tensão de Entrada Para o Pré-Regulador Retificador Boost ZCS-FM, durante meio período da forma de onda de tensão de entrada, considerando-se apenas uma célula de comutação em operação.

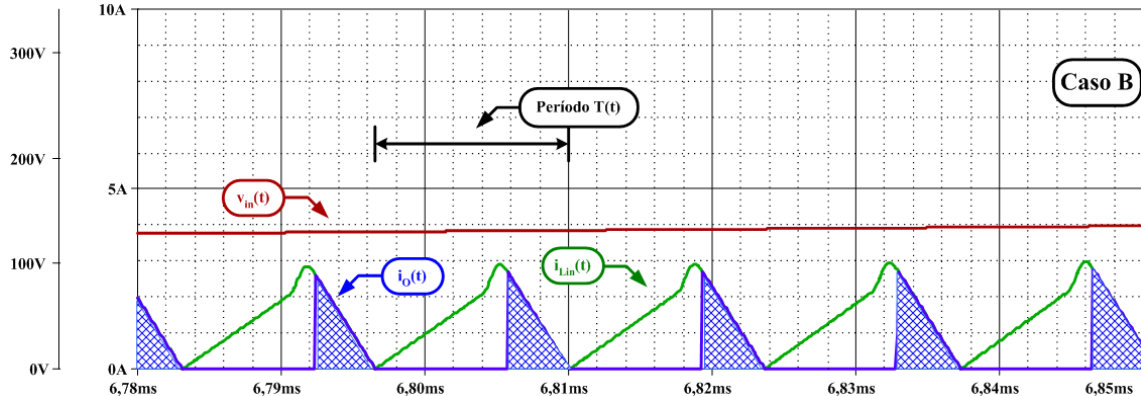
As figuras 4.3(a) e 4.3(b) possuem o mesmo intervalo de janela no eixo do tempo, cerca de 80μs, e a constatação da operação do conversor com frequência variável fica evidente.

Nestas figuras, as áreas sombreadas são referentes às parcelas de energias que são transferidas para a carga em cada período de chaveamento. Portanto, quanto maior a tensão de entrada, maior o período de chaveamento e maior a parcela de energia fornecida.

Analisando-se todas as parcelas de energia transferidas para a carga, durante um período da forma de onda da tensão de entrada, tem-se que a transferência de energia global do pré-regulador, destinada à carga, pode ser modelada como sendo o valor eficaz da somatória das contribuições de energia fornecidas para a carga em cada período de funcionamento.



(a) Duração do intervalo da amostra igual a  $80\mu\text{s}$ , com  $V_{in}$  de aproximadamente 290 V.



(b) Duração do intervalo da amostra igual a  $80\mu\text{s}$ , com  $V_{in}$  de aproximadamente 128 V.

Figura 4.3 – Formas de onda da corrente através do indutor  $L_{in}$ , durante alguns períodos de funcionamento, em duas situações de  $V_{in}$ , considerando-se apenas uma célula de comutação em operação.

Por outro lado, como a tensão de entrada passou a variar em função do tempo, o que não acontecia na análise para a topologia operando como conversor CC/CC, alguns parâmetros que se comportavam como constantes na modelagem matemática, passaram a variar no tempo, possuindo intensidades instantâneas. A partir destes valores instantâneos é possível determinar o valor eficaz envolvido em cada parâmetro. Portanto, estes fatores resultam na modificação da definição de alguns dos parâmetros utilizados nos modelos matemáticos empregados, apresentados no capítulo anterior.



Através de desenvolvimento algébrico, comprova-se que a metodologia de projeto para a topologia CC/CC pode ser aplicada à topologia operando como conversor CA/CC, com a ressalva de que determinados parâmetros na conversão CA/CC devem ser estipulados em valores eficazes.

Assim, o mesmo projeto desenvolvido para a topologia operando como conversor CC/CC, com tensão de entrada constante e igual a 220V, pode ser utilizado para a topologia operando como conversor CA/CC, com tensão de entrada de valor eficaz igual a 220V.

### 4.3 – Resultados de Simulação

As principais formas de onda para o Pré-regulador Retificador CA/CC Boost ZCS-FM Interleaving, com duas células, apresentado na figura 4.4, operando no modo de condução crítica, obtidas através de simulações utilizando o software Pspice, são apresentadas nas figuras 4.5 até 4.13, de acordo com os dados de projeto apresentados no capítulo anterior.

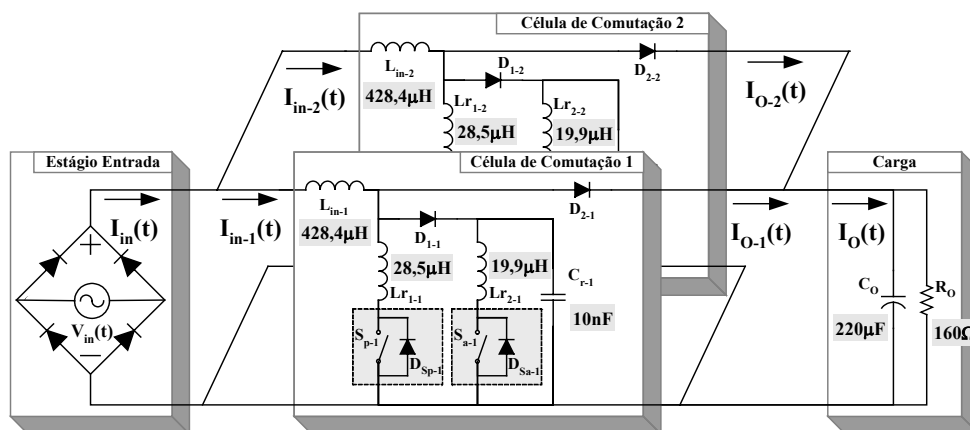


Figura 4.4 – Pré-regulador Retificador CA/CC Boost ZCS-FM Interleaving, com duas células.

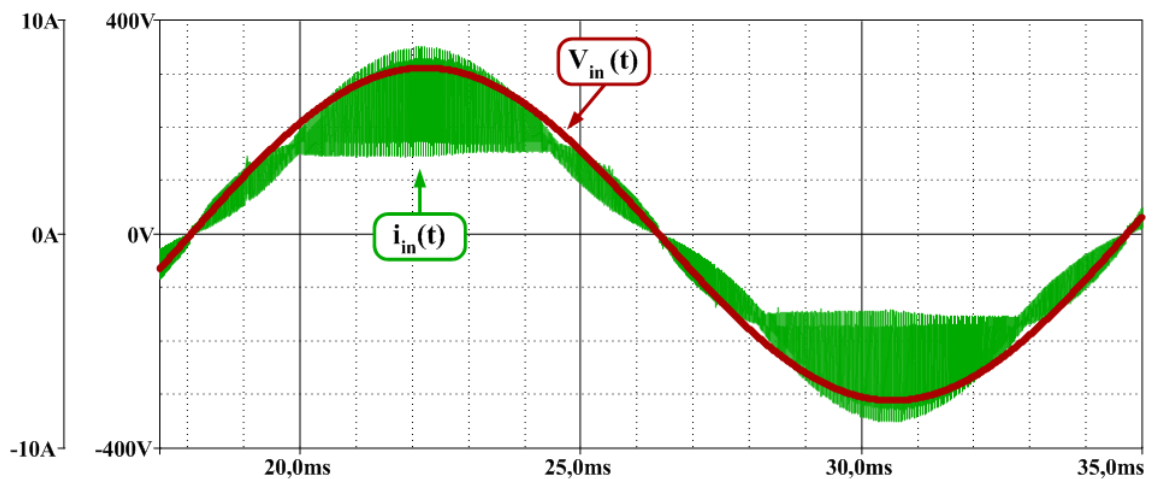


Figura 4.5 – Formas de onda de corrente e tensão de entrada para o pré-regulador CA/CC Boost ZCS-FM Interleaved, durante um período da rede de CA e para carga nominal.

A figura 4.5 mostra a forma de onda de corrente e tensão de entrada, durante um período da rede de CA, para o pré-regulador CA/CC Boost ZCS-FM Interleaved, operando com carga nominal.

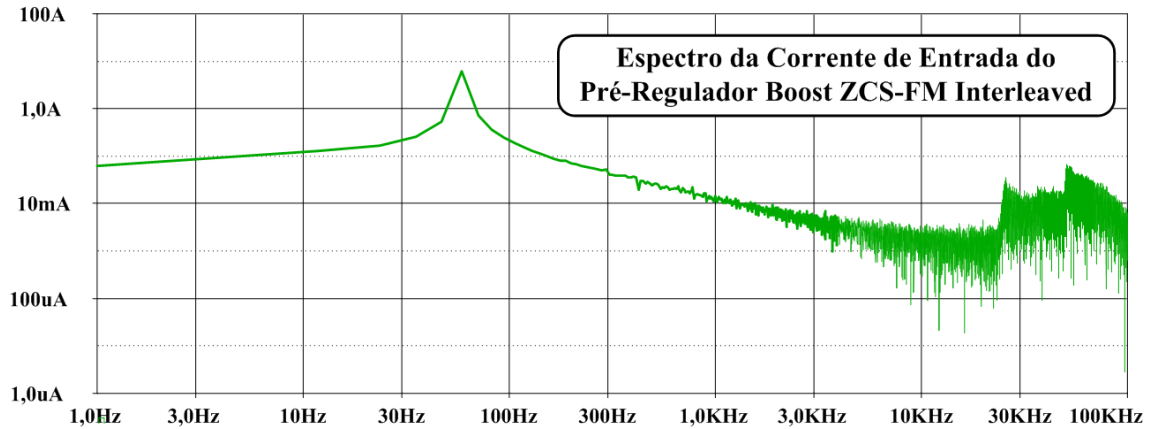


Figura 4.6 - Espectro harmônico da corrente de entrada, para carga nominal.

O espectro harmônico da corrente de entrada e um gráfico comparativo das amplitudes das componentes harmônicas, com os respectivos limites impostos pela norma IEC-61000-3-2, são mostrados nas figuras 4.6 e 4.7. Constata-se que as componentes harmônicas estão com amplitudes bem abaixo dos limites impostos pela norma internacional. Além disso, a análise das componentes harmônicas presentes na corrente resultou em uma taxa de distorção harmônica da corrente em torno de 6,9%, resultando em um fator de potência elevado de aproximadamente 0,99.

A figura 4.8 apresenta as formas de onda da corrente de entrada retificada e das correntes através dos indutores boost em cada célula de comutação, durante alguns períodos de chaveamento, evidenciando-se a operação no modo de condução crítica.

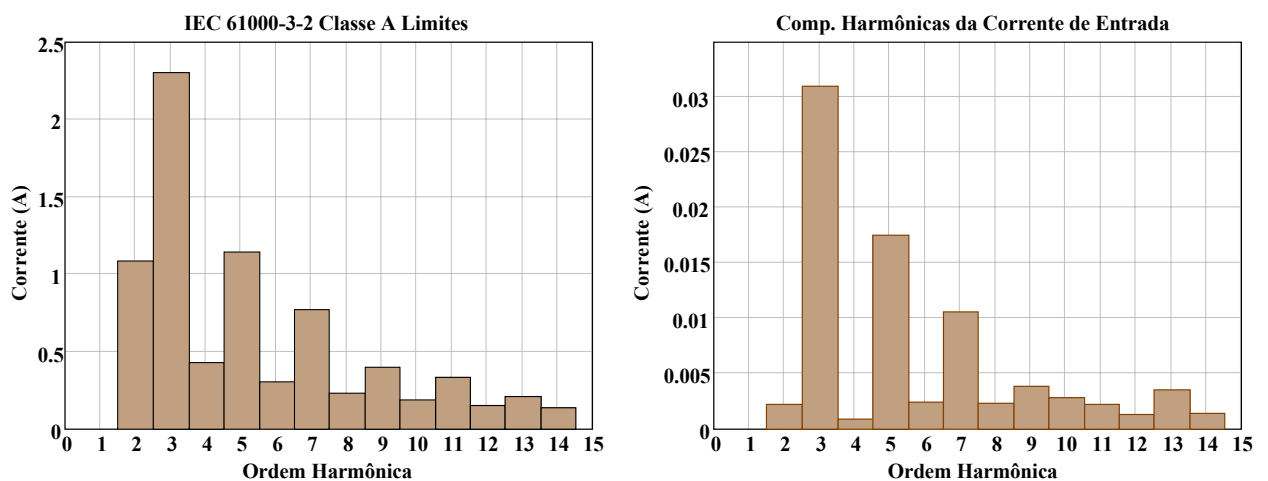


Figura 4.7 – Amplitudes das componentes harmônicas da corrente de entrada e os limites impostos pela IEC 61000-3-2, Classe A.

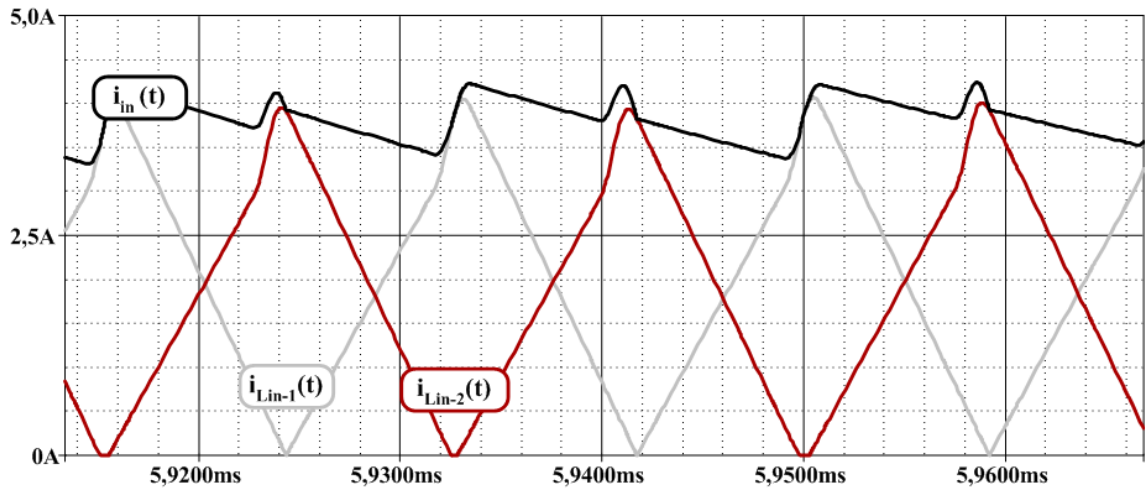


Figura 4.8 – Formas de Onda da corrente de entrada retificada e das correntes através dos indutores boost, em cada célula de comutação, durante alguns períodos de chaveamento (duas células em “interleaving”).

A figura 4.9 mostra a evolução das correntes através dos indutores da célula de comutação 1, durante um período da forma de onda de tensão de entrada. Constata-se que a corrente que flui através do indutor ressonante  $L_{r2-1}$  possui um comportamento mais uniforme ao longo do período, sendo afetada somente em valores próximos aos cruzamentos da tensão por zero. Por outro lado, o valor da corrente que flui através do indutor  $L_{r1-1}$  é dependente da intensidade da tensão de entrada, afetando assim os patamares relativos à sua inversão, em cada período de chaveamento.

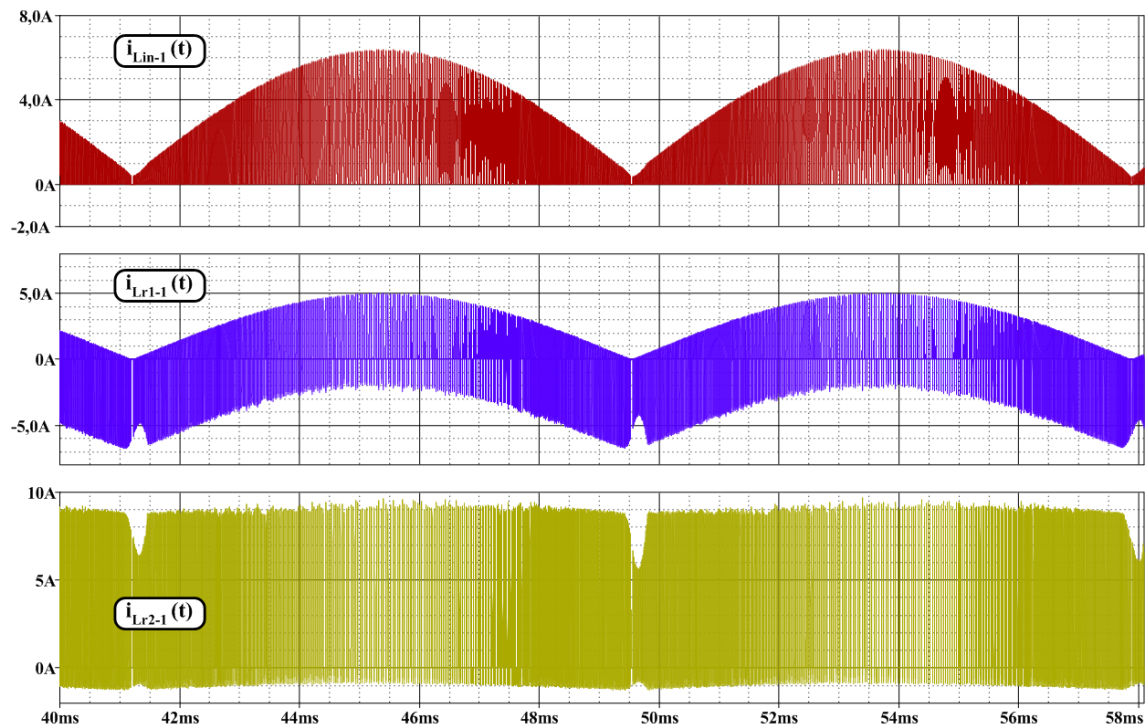


Figura 4.9 – Formas de onda das correntes através dos indutores na célula de comutação 1, durante um período da rede de CA e carga nominal.

As figuras 4.10 e 4.11 mostram detalhes das comutações nos interruptores principal e auxiliar, quando o valor da tensão de entrada está próximo ao seu valor de pico e próximo ao zero, respectivamente. Através destas figuras pode-se constatar que todos os semicondutores utilizados como interruptores principais e auxiliares apresentam comutações não dissipativas, entrando em condução com corrente nula (ZCS - “Zero Current Switch”) e bloqueando-se com corrente e tensão nulas (ZCZVS - “Zero Current Zero Voltage Switch”).

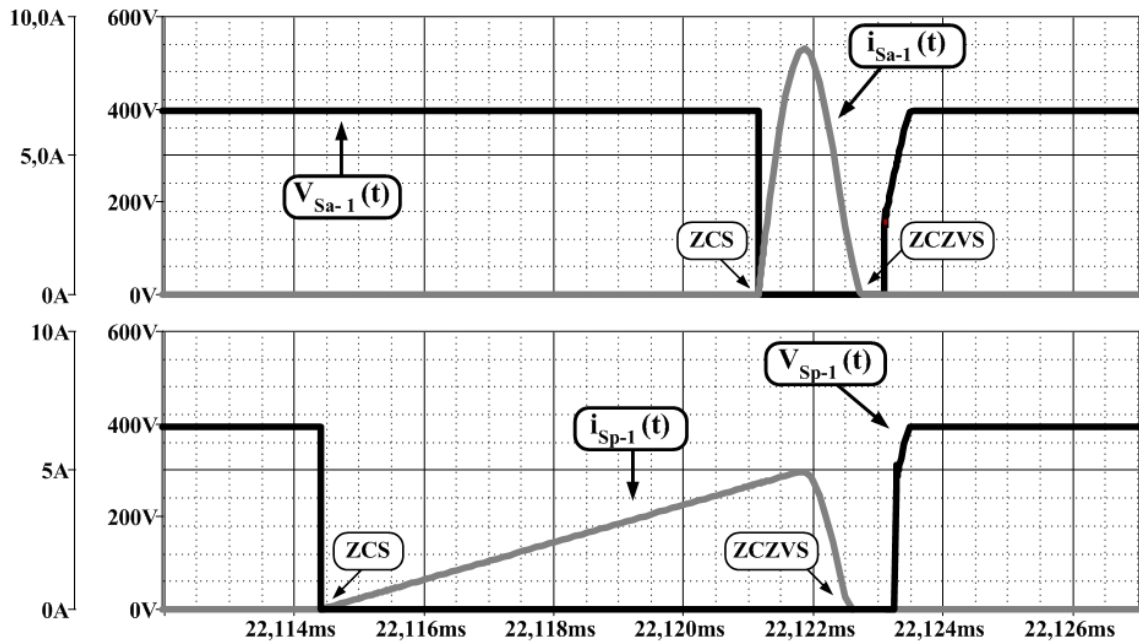


Figura 4.10 – Detalhes das comutações nos interruptores principal  $S_{p-1}$  e auxiliar  $S_{a-1}$  da célula de comutação 1, quando a tensão de entrada está próxima de seu valor de pico.

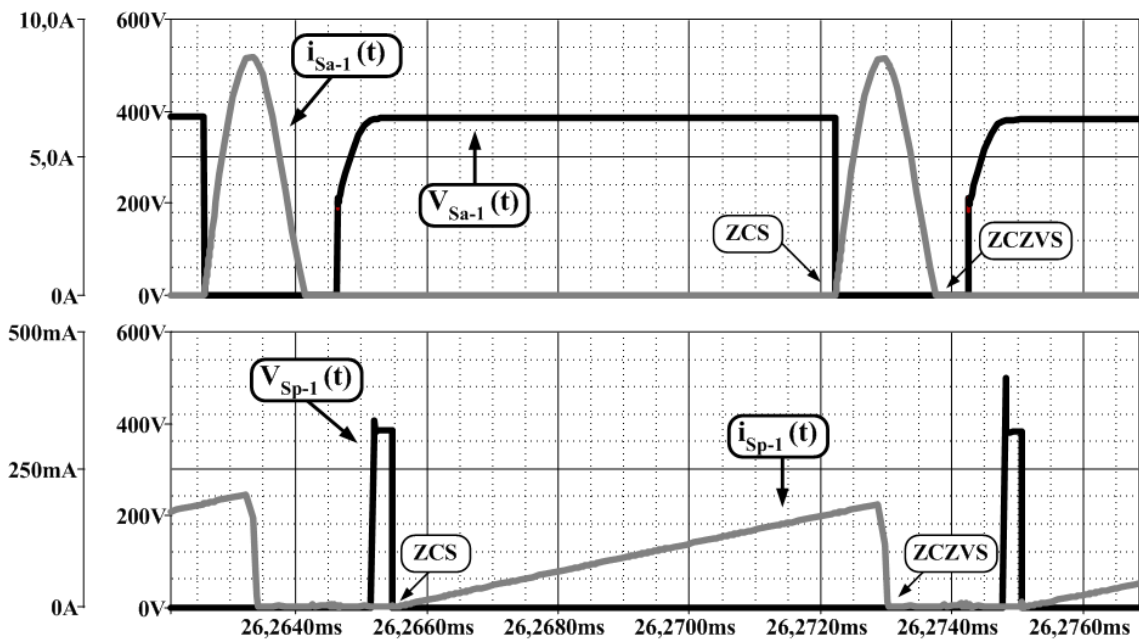


Figura 4.11 – Detalhes das comutações nos interruptores principal  $S_{p-1}$  e auxiliar  $S_{a-1}$  da célula de comutação 1, quando a tensão de entrada está próxima do zero.

Em relação aos diodos  $D_{1-1}$  e  $D_{2-1}$  da célula de comutação 1, as figuras 4.12 e 4.13 mostram as formas de onda das correntes através destes dispositivos.

Além disso, é importante ressaltar que em cada célula genérica de comutação (i) o diodo  $D_{1-i}$  não conduz em conjunto com o diodo  $D_{2-i}$ , o que significa que a corrente transferida para a carga flui apenas através do diodo  $D_{2-i}$ .

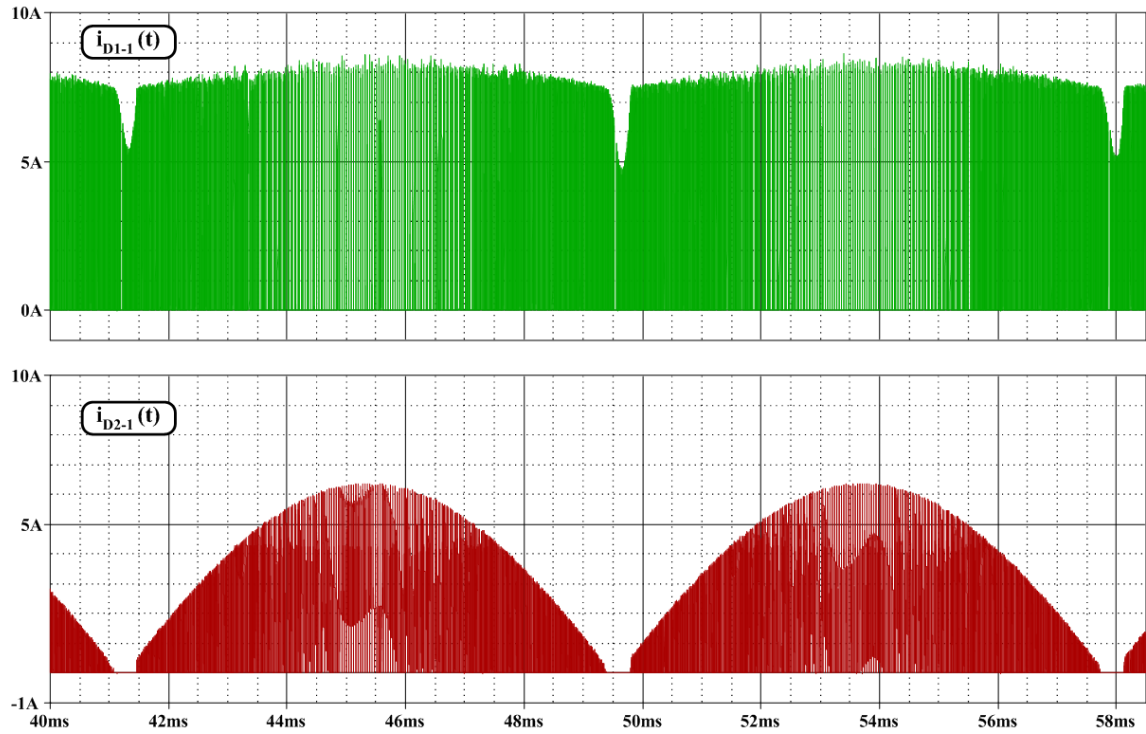


Figura 4.12 – Formas de onda das correntes através dos diodos da célula de comutação 1, durante um período de rede de CA, para carga nominal.

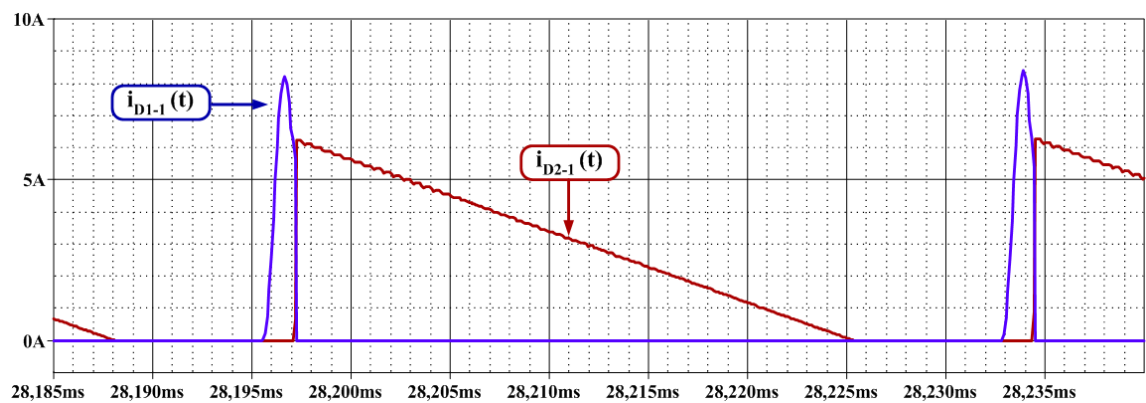


Figura 4.13 – Detalhe das formas de onda das correntes através dos diodos da célula de comutação 1, durante um período de chaveamento.

## 4.4 – Conclusões

Neste capítulo analisou-se o emprego de um arranjo de duas células de comutação ZCS-FM em um conversor Boost pré-regulador retificador com técnica de “*interleaving*”.

Os parâmetros de projeto desenvolvidos para o conversor CC/CC foram utilizados para projetar os elementos do estágio de potência do pré-regulador retificador, entretanto considerando-se os valores eficazes como dados de projeto.

Os resultados de simulação apresentados demonstraram a presença de comutação não dissipativa nos interruptores das células de comutação, durante toda a excursão da tensão de entrada em CA. Adicionalmente, devido ao modo de condução crítica empregado, os diodos  $D_{2-i}$  bloqueiam de maneira natural, devido a extinção “natural” da corrente, minimizando-se as perdas relacionados com a recuperação reversa dos mesmos, possibilitando ainda a redução dos fatores que influenciam nos níveis de interferências eletromagnéticas.

Outro fator importante foi a redução da amplitude do “*ripple*” da corrente de entrada, em função da aplicação da técnica do “*interleaving*”. Desse modo, a análise do conteúdo harmônico da corrente de entrada, para o conversor operando com carga nominal, revelou que as amplitudes das componentes harmônicas estão em valores bem inferiores aos valores máximos impostos pela norma internacional IEC 61000-3-2. A taxa de distorção harmônica da corrente de entrada é da ordem de 6,9%, resultando num fator de potência de aproximadamente 0,99.

Portanto, para a implementação prática do pré-regulador retificador proposto neste trabalho, e, obtenção dos resultados experimentais para análise da técnica de controle proposta, torna-se necessário o estudo e desenvolvimento da técnica de controle digital através do emprego de dispositivos lógicos programáveis do tipo FPGA e da utilização de linguagem de descrição de hardware (VHDL).

## 5 - Dispositivos Lógicos Programáveis

### 5.1 - Introdução

As indústrias, fabricantes dos mais diversos dispositivos eletrônicos de processamento de energia elétrica, estão sempre em busca de novos e eficientes processos e estruturas que propiciem um elevado nível de flexibilidade, de compactação e de eficiência, com um baixo custo para o desenvolvimento de seus produtos.

Entretanto, os processos de desenvolvimento sempre colidem com o ritmo de obsolescência das tecnologias empregadas, impostas pelas modificações das exigências de mercado ou pela competição pelo melhor produto, afetando a permanência do produto no mercado. No mercado competitivo das indústrias de dispositivos eletrônicos, é vital que os novos produtos desenvolvidos estejam disponíveis no mercado o mais rápido possível.

Por outro lado, os avanços nas tecnologias de VLSI – *Very Large Scale Integration*, permitiram a implementação de sistemas digitais extremamente complexos em uma pequena área de silício. Entretanto, as etapas de desenvolvimento associadas aos dispositivos VLSI envolvem processos físicos, que usualmente demandam muito tempo e elevado custo financeiro [22].

Neste contexto, os esforços de pesquisa voltaram-se para o desenvolvimento de dispositivos que proporcionassem um baixo custo inicial de operação, em conjunto com um elevado grau de flexibilidade e que envolvessem um processo rápido de fabricação do produto, permitindo minimizar o tempo de colocação do produto no mercado. A solução para estas questões chegou na forma de vários tipos de dispositivos lógicos programáveis FPGA – *Field Programmable Gate Array*”, que passaram a ser componentes vitais, principalmente, na implementação e testes de sistemas digitais [23].

Atualmente, os dispositivos lógicos programáveis do tipo FPGA tornaram-se elementos essenciais na implementação de sistemas digitais, de maneira rápida, com elevada flexibilidade, elevado desempenho e apresentando um custo reduzido [24-25].

Os dispositivos lógicos programáveis passaram por um longo processo de evolução, até alcançar o nível de complexidade em que se encontram atualmente (2005). Alguns destes processos de evolução são apresentados neste capítulo, na seção seguinte [26-33].

## 5.2 - Evolução

No final dos anos 70, a implementação de sistemas digitais complexos, utilizando somente dispositivos lógicos discretos convencionais, envolvia muitas associações que tornavam as placas de circuito impresso muito volumosas. As pesquisas nesta área voltaram-se para o desenvolvimento de um dispositivo que possibilitasse implementar diferentes tipos de dispositivos lógicos, com uma grande gama de conexões no seu interior. Isto permitiria a integração, em apenas um dispositivo, dos muitos dispositivos discretos de lógica tradicional, utilizados nos sistemas digitais. A utilização de um número menor de dispositivos discretos contribui para se ter um melhor coeficiente relacionado com o fator de falha, proporcionando um sistema mais confiável e com melhor qualidade.

As memórias programáveis somente de leitura, ou simplesmente PROMs - *Programmable Read Only Memories*, foram os primeiros dispositivos lógicos programáveis utilizados para implementar lógicas de sistemas digitais.

As PROMs são memórias simples que podem ser programadas para conter um padrão de dados específico. Este padrão pode ser utilizado para representar um simples algoritmo, uma máquina de estados, ou um programa para um microprocessador. Algumas PROMs podem ser programadas apenas uma vez, outras como EPROMs - *Electrically Programmable Memory*, ou, E<sup>2</sup>PROMs - *Electrically Erasable Programmable Memory*, podem ser apagadas e programadas várias vezes.

Apesar das PROMs serem excelentes dispositivos para implementar qualquer tipo de lógica combinacional, elas apresentam um número limitado de entradas/saídas e tendem a ser extremamente lentas, sendo o seu emprego inadequado em aplicações onde a velocidade é uma exigência. Adicionalmente, as PROMs geralmente requerem dispositivos externos extras, como flip-flops ou microprocessadores, para implementarem lógicas do tipo seqüencial.

Na década de 1970, as empresas Signetics e Philips introduziram o conceito da utilização de dois planos programáveis na arquitetura de um dispositivo lógico, com o objetivo de melhorar a flexibilidade no desenvolvimento de projetos. Estes dispositivos foram denominados de PLA - *Programmable Logic Array*, e surgiram como uma solução para contornar as limitações de velocidade e número de entradas/saídas disponíveis das PROMs .

Os dispositivos PLAs consistem basicamente de um grande número de entradas conectadas à um plano programável composto somente por portas lógicas “AND”, onde diferentes combinações entre os sinais podem ser realizadas, utilizando a operação lógica do plano. Por conseguinte, as saídas do primeiro plano são conectadas ao outro plano



programável composto somente por portas lógicas “OR”, onde os sinais podem ser combinados de diversas maneiras, empregando a função lógica do plano, para finalmente produzir os sinais de saída, como mostra a figura 5.1.

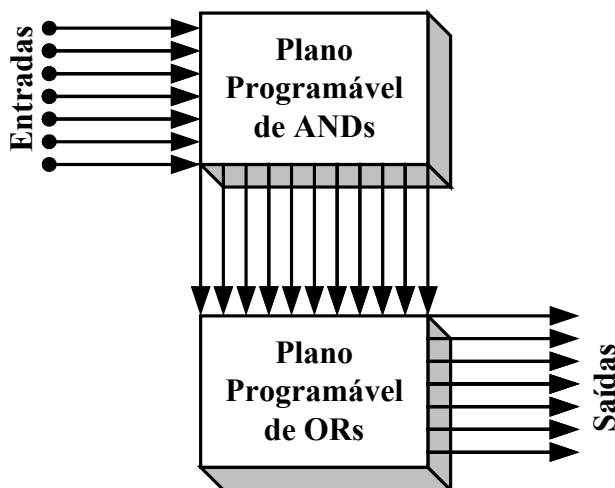


Figura 5.1 – Esquema simplificado da arquitetura de um dispositivo PLA.

Assim, os dois planos programáveis poderiam proporcionar qualquer combinação de portas “AND” e “OR”, limitadas pelo espaço físico da pastilha, através do compartilhamento dos termos de plano “AND” entre os termos do plano “OR”. A operação lógica de negação, “NOT”, também podia ser obtida em algumas famílias destes dispositivos, devido à existência de inversores lógicos localizados nas entradas e nas saídas do dispositivo.

Embora estes dispositivos conseguissem implementar um grande número de funções lógicas combinatórias, ainda não conseguiam implementar todas as combinações lógicas que uma PROM é capaz.

Apesar da arquitetura apresentada pelos dispositivos PLAs ter se mostrado muito flexível no desenvolvimento de projetos e operar em frequências superiores às PROMs, devido à tecnologia de implementação da geometria da pastilha na época (“*wafer*”), o atraso de propagação entre os sinais de entrada e saída continuava elevado, tornando os dispositivos inadequados para as aplicações que requeriam uma frequência de operação mais elevada.

Posteriormente, a empresa MMI modificou a estrutura da arquitetura interna dos dispositivos PLAs, fixando um dos planos programáveis, e criou um novo dispositivo denominado de PAL – *Programmable Array Logic*.

Como os dispositivos PLAs, a arquitetura dos dispositivos PALs possuem um plano programável de “ANDs” para combinar as entradas. Entretanto, o plano “OR” possui um número de lógicas pré-determinado, limitando o número de termos que podem ser combinados neste plano, conforme figura 5.2. Por outro lado, dispositivos lógicos adicionais

como multiplexadores, função “XOR”, latches e flip-flops foram incorporados aos portos de entradas e saídas de sinais. A inserção destes componentes extras tornou o dispositivo capaz de implementar um grande número de funções lógicas, incluindo as lógicas sequenciais controladas por sinais de ativação, utilizadas nas máquinas de estado.

A arquitetura do dispositivo PAL proporcionou um tempo de atraso de propagação menor, possibilitando a sua utilização em sistemas digitais operando em frequências mais elevadas, mas às custas de possuir menor flexibilidade que a proporcionada pelos dispositivos PLAs. Entretanto, estes dispositivos representaram uma evolução importante para os dispositivos lógicos programáveis, sendo os primeiros dispositivos que conseguiram substituir com eficácia uma grande parcela das lógicas tradicionais utilizadas nos projetos digitais.

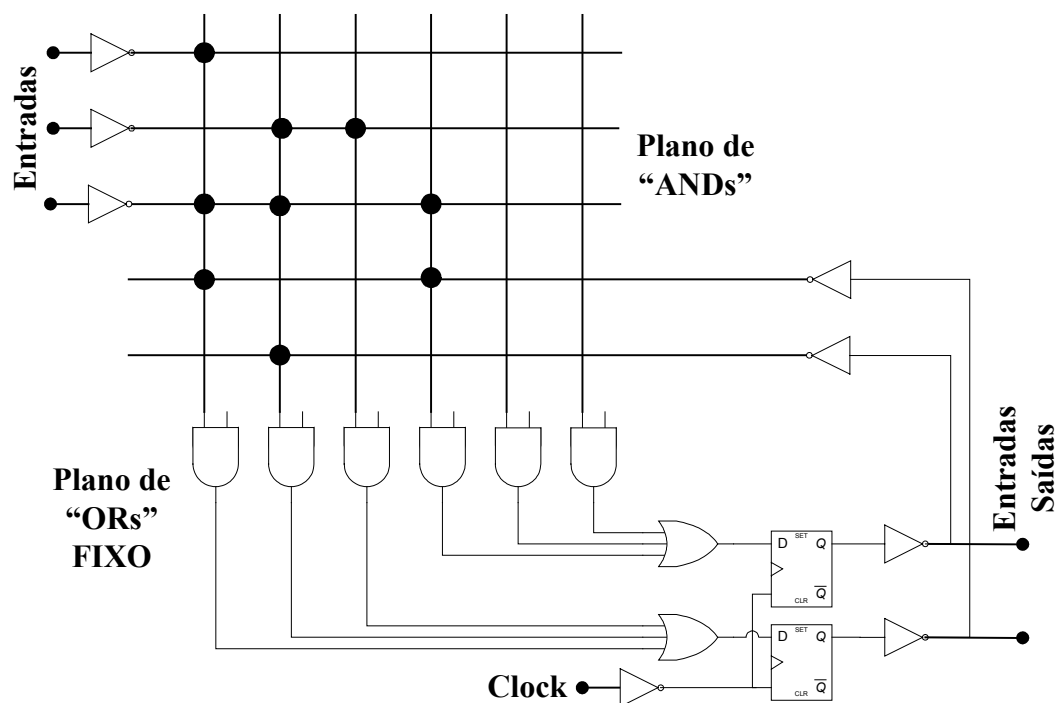


Figura 5.2– Esquema simplificado da arquitetura de um dispositivo PAL.

O avanço das pesquisas realizadas na área dos dispositivos lógicos programáveis proporcionou uma grande evolução dos dispositivos nas últimas décadas, à medida que as descobertas iam sendo incorporadas pelas indústrias, novas arquiteturas foram surgindo. Dentre estas arquiteturas novas uma delas foi denominada de PLD - *Programmable Logic Device*.

Usualmente, os dispositivos PALs e PLAs são classificados como PLDs Simples – SPLD- *Simple PLD*. O aumento da densidade lógica total disponível nos dispositivos SPLDs é um fator limitado em função das arquiteturas, pois o crescimento dos planos lógicos programáveis implicam num aumento proporcional do número de pinos do dispositivo.

A arquitetura dos dispositivos PLDs é baseada em uma rede composta de trilhas horizontais e verticais interconectadas. Em cada cruzamento das trilhas, existe uma espécie de “fusível”. Com a assistência das ferramentas de desenvolvimento via software, pode-se selecionar quais cruzamentos não serão conectados, desabilitando todos os “fusíveis” desnecessários. Os pinos de entrada são conectados às trilhas verticais da rede, enquanto as trilhas horizontais da rede são conectadas às portas AND e OR. As saídas destas portas são conectadas a flip-flops dedicados, cujas saídas são ligadas aos pinos de saída do dispositivo.

Recentemente, a tecnologia de fabricação de PLDs emprega dispositivos CMOS com potência extremamente baixa, baseados na tecnologia Flash.

Os PLDs representaram uma grande inovação, pois, podiam acomodar 50 vezes mais portas lógicas em uma única pastilha, em comparação aos dispositivos de lógica discreta padrão. Desta forma, permitindo a utilização de menor quantidade de componentes discretos nos projetos, resulta no aumento da confiabilidade do sistema implementado. A configuração dos PLDs é efetuada de maneira elétrica, possibilitando carregar e/ou apagar sua configuração várias vezes se necessário[23-27].

Os esforços no desenvolvimento de estruturas PLDs com maior capacidade e maior velocidade continuaram. Neste sentido, a empresa Altera introduziu os dispositivos denominados de CPLDs - *Complex Programmable Logic Devices*, como uma maneira de aumentar a densidade e a flexibilidade dos PLDs.

A arquitetura dos CPLDs é baseada na existência de vários blocos lógicos de PLDs, ou macro-células, em um único dispositivo, em conjunto com recursos de interconexão de utilização geral. Neste tipo de arquitetura, algumas funções lógicas simples podem ser implementadas através da utilização de um único bloco lógico. Por outro lado, a implementação de funções lógicas sofisticadas requer a utilização de vários blocos lógicos e o emprego das conexões de uso geral, para interligar os blocos lógicos utilizados.

A figura 5.3 ilustra a arquitetura interna de um dispositivo CPLD típico. Apesar de cada fabricante atribuir suas características em seu produto, em geral, as arquiteturas CPLDs são similares, possuindo blocos de funções lógicas, blocos de entradas/saídas e as matrizes de interconexão.

Apesar dos dispositivos CPLDs possuírem a mesma base tecnológica dos PALs, eles podem suportar lógicas muito mais complexas e operar em frequências mais elevadas, em torno de 200MHz. Adicionalmente, os modelos de tempos de atrasos envolvidos nas lógicas são pré-determinados, permitindo a estimação do tempo de atraso de propagação entre os sinais de entrada e saída de maneira fácil.

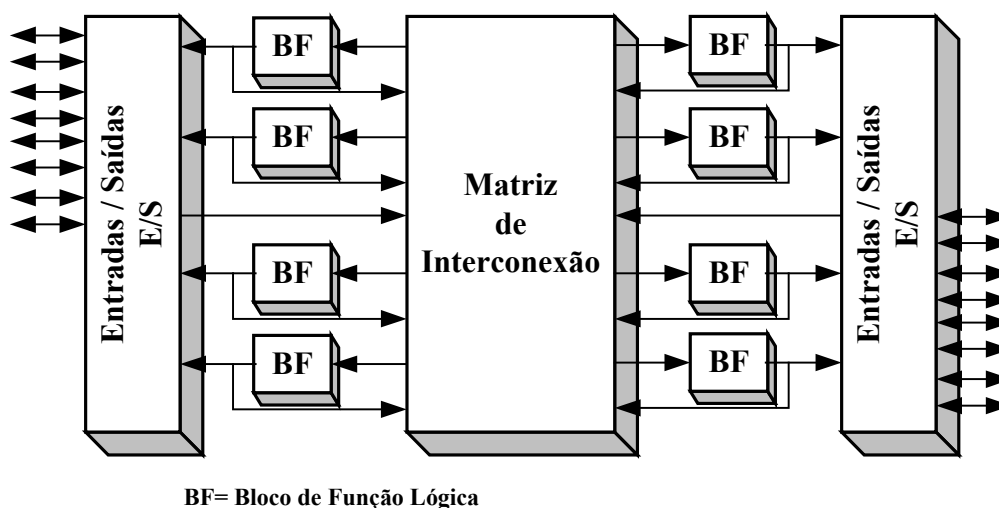


Figura 5.3 – Diagrama simplificado da arquitetura de um dispositivo CPLD.

Os CPLDs passaram a representar uma maneira simples e rápida de implementar projetos digitais, onde todos os processos de otimização, simulação e configuração envolvidos ficam sob responsabilidade das ferramentas de desenvolvimento. Estas ferramentas permitem a descrição do projeto do sistema digital utilizando linguagens de descrição de hardware, e/ou captura de circuitos esquemáticos. Como resultado, tem-se um arquivo que é utilizado para configurar o CPLD, com a funcionalidade desejada no projeto, permitindo a implementação do protótipo imediatamente após o término do desenvolvimento do projeto.

Em 1985, a empresa Xilinx introduziu um conceito de arquitetura completamente novo para os dispositivos lógicos programáveis, baseado em combinar as vantagens de controle e implementação dos PLDs, com os benefícios de custo dos circuitos integrados de aplicação específica ASICs - *Application Specific Integrated Circuit*. O resultado foi a criação do primeiro dispositivo FPGA - *Field Programmable Gate Array*, desenvolvido pela empresa Xilinx.

A arquitetura regular de um dispositivo FPGA pode variar de fabricante para fabricante, e entre famílias de dispositivos do mesmo fabricante, mas alguns elementos fundamentais são mantidos na sua composição. Conforme a figura 5.4, os elementos fundamentais que fazem parte da arquitetura são os blocos lógicos configuráveis, os blocos de entrada/saída (IOBs), as matrizes de conexão (SBs) e os elementos roteadores.

Os nomes dos blocos lógicos configuráveis variam de acordo com o fabricante, por exemplo, nos FPGAs fabricados pela Xilinx recebem a denominação de CLBs – *Configurable Logic Block*, mas também podem ser denominados de LE - *Logic Elements*, ou *Macrocells*, de acordo com a família do dispositivo FPGA fabricado pela Altera.

Basicamente, os blocos lógicos configuráveis representam a unidade lógica de um FPGA onde as lógicas são implementadas, enquanto os blocos de entrada/saída, alocados nas extremidades dos dispositivos, são responsáveis pela interface com o ambiente externo. As matrizes de conexão são responsáveis pelas conexões entre os blocos lógicos programáveis e os blocos de entrada/saída, através dos elementos roteadores.

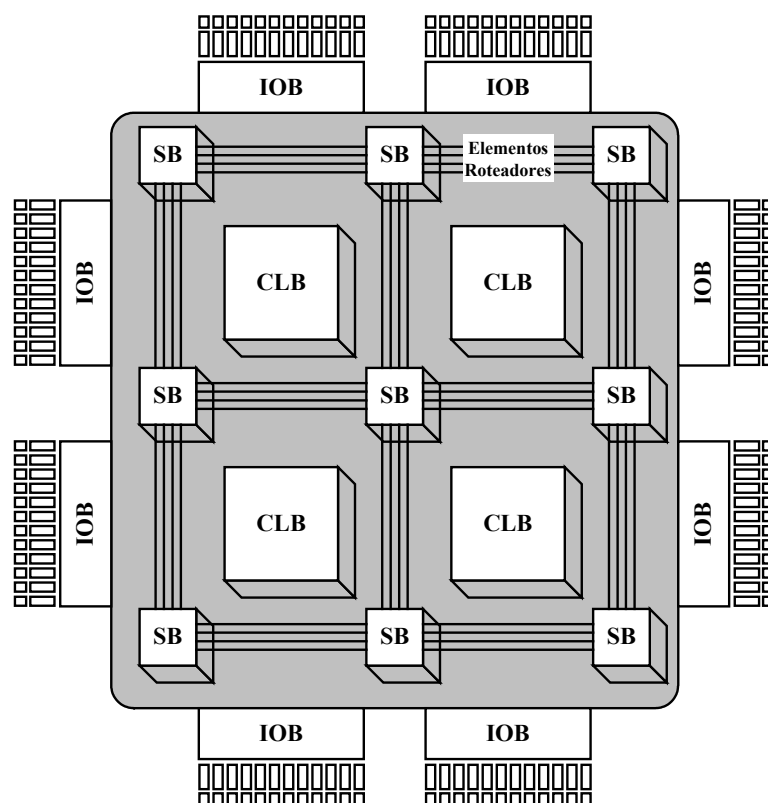


Figura 5.4 – Representação genérica dos elementos básicos presentes em uma arquitetura do tipo matriz simétrica de um dispositivo FPGA.

Adicionalmente, alguns dispositivos FPGA, de acordo com sua evolução, podem possuir recursos lógicos adicionais, tais como: unidades lógicas aritméticas, blocos de memórias, blocos de codificadores/decodificadores de padrões de sinais, blocos otimizados de multiplicadores, e, até mesmo processadores do tipo IBM Power-PC 405.

As estruturas internas das arquiteturas dos dispositivos FPGAs podem ser classificadas em quatro categorias principais: matriz simétrica; mar de portas lógicas; baseada em linhas, e, PLD hierárquico.

A figura 5.5 ilustra um diagrama simplificado abordando as quatro categorias de estruturas internas de arquiteturas de um FPGA. Adicionalmente, os recursos de interconexão e como os mesmos são configurados variam de acordo com o tipo de arquitetura.

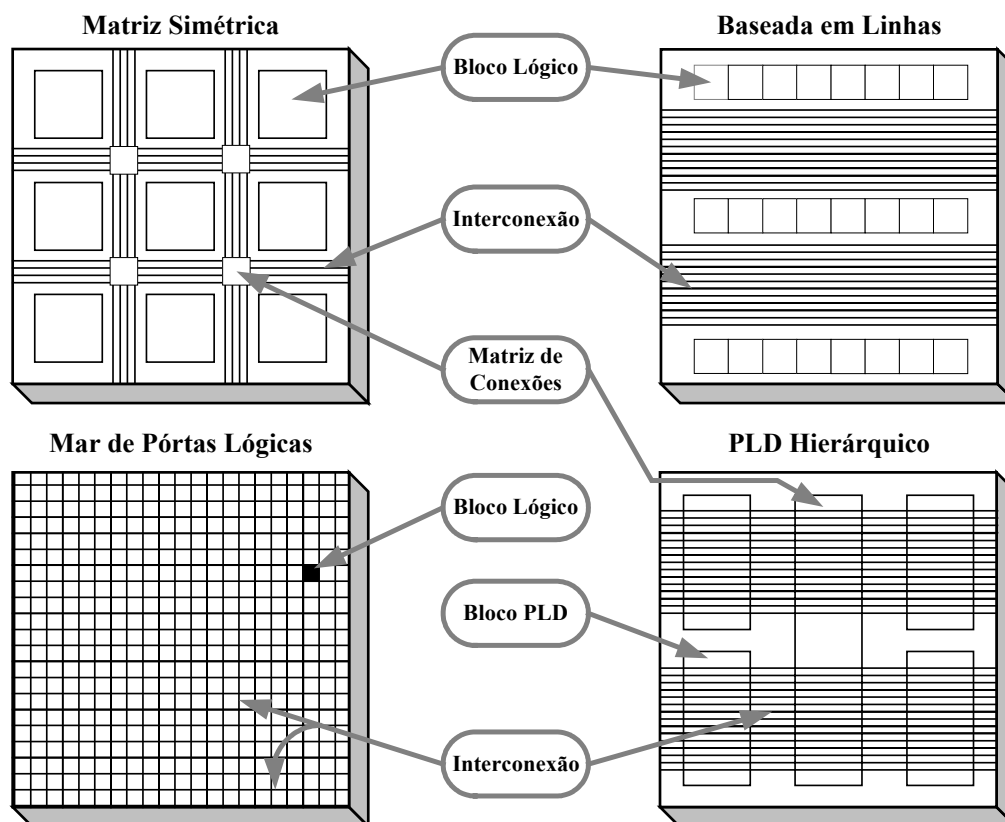


Figura 5.5 – Estruturas das arquiteturas internas simplificadas dos dispositivos FPGAs.

As arquiteturas com estruturas do tipo matriz simétrica e PLD hierárquico possuem maiores atrasos de propagação que os encontrados na arquitetura do tipo baseada em linhas, quando o fator comunicação entre blocos lógicos adjacentes é considerado. Por outro lado, a arquitetura com estrutura do tipo matriz simétrica proporciona uma maior flexibilidade no roteamento dos sinais, devido às interconexões estarem dispostas de maneira simétrica.

A característica mais importante envolvida na operação de configuração de dispositivos lógicos programáveis é a tecnologia empregada nos interruptores configuráveis. Os primeiros interruptores programáveis desenvolvidos foram os fusíveis utilizados nos dispositivos PLAs. Entretanto, esta tecnologia foi empregada somente em dispositivos com baixa densidade de portas lógicas. Em dispositivos lógicos programáveis com elevada densidade de portas lógicas, a utilização de tecnologia CMOS prevalece na indústria, e, diferentes metodologias de implementação de interruptores programáveis são empregadas.

Basicamente existem quatro tecnologias em uso nos dispositivos lógicos programáveis de alta densidade. Elas são: SRAM, antifuse, EPROM transistores, e EEPROM transistores. As tecnologias do tipo SRAM e antifuse são mais utilizadas em dispositivos FPGAs, as duas outras em dispositivos CPLDs. A tabela 5.1 ressalta as mais importantes características de cada uma destas tecnologias de configuração.

Tabela 5.1 - Características das tecnologias empregadas nos interruptores configuráveis dos dispositivos lógicos programáveis.

Tipo de Interruptor	Tecnologia	Volatilidade	Reconfiguração
Fusível	Bipolar	Não	Não
EPROM	UVC MOS	Não	Sim, fora do circuito
EEPROM	EECMOS	Não	Sim, no circuito
SRAM	CMOS	Sim	Sim, no circuito
Antifuse	CMOS+	Não	Não

O tipo de tecnologia mais utilizada nos dispositivos FPGAs é a baseada na utilização de “*Static RAMs*”, onde as conexões programáveis são compostas utilizando-se transistores de passagem, portas de transmissão ou multiplexadores que são controlados pelas células SRAM. A maior vantagem desta tecnologia é possibilitar a rápida configuração do dispositivo “*in-site*”, ou seja, no circuito de atuação. As maiores desvantagens são a necessidade de um elemento de memória extra no processo de configuração e a grande área requerida no circuito integrado pela célula SRAM.

Uma vez que a SRAM é volátil, o dispositivo precisa ser carregado com o arquivo de configuração, e configurado toda vez que for energizado. Este processo requer uma memória externa permanente para prover os bits de configuração ao dispositivo, estas memórias podem ser do tipo PROM, EPROM e EEPROM.

Nas células lógicas dos FPGAs do tipo SRAM, ao invés de portas convencionais existe uma tabela de consulta LUT- “*Look Up Table*”, que determina a saída baseada nos valores das entradas. Na realidade, as LUTs representam na prática o conceito de tabelas verdade. A figura 5.6 mostra um exemplo de uma LUTs contendo seis tipos de combinações de quatro entradas que determinarão os valores de saída.

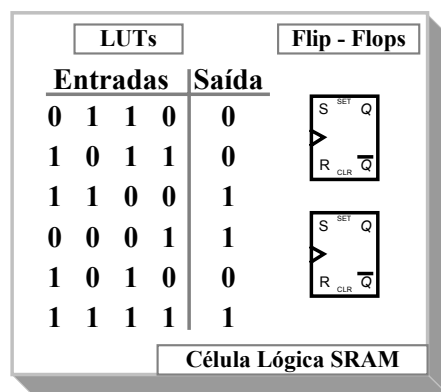


Figura 5.6 – Exemplo de uma LUT com seis combinações possíveis e quatro entradas.

Os FPGAs com tecnologia baseada em “*Antifuse*” não requerem dispositivos de memória extra para configurar o dispositivo, pois mantêm as conexões de configuração de maneira permanente. As células lógicas utilizam a alocação de portas lógicas tradicionais e são muito parecidas a PLDs com portas lógicas dedicadas e flip-flops. A maior vantagem desta tecnologia está na pequena área necessária para sua implementação, quando comparada com a tecnologia SRAM, representando um custo menor, entretanto, o componente é programado uma única vez. Assim, toda vez que se tornar necessária a modificação da configuração do dispositivo, esta nova configuração deverá ser implementada através de um novo dispositivo, enquanto nos do tipo SRAM bastaria modificar a fonte presente nos sistemas de memória auxiliares.

Como os dispositivos FPGA possuem uma estrutura parecida com a estrutura de um ASIC, permitem um controle total sobre todas as suas estruturas internas através das ferramentas de desenvolvimento. Os FPGAs são dispositivos ideais para serem utilizados na prototipagem de ASICs. Por exemplo, em um projeto onde a necessidade de imposição do produto ao mercado é mais importante que o custo, mais tarde um dispositivo ASIC pode ser utilizado no lugar do FPGA, quando o volume de produção aumentar, com o intuito de redução dos custos. Os dispositivos FPGAs proporcionam os benefícios de desenvolvimento de ASICs mas sem os custos iniciais, sem o atraso de tempo dos processos de fabricação, além dos riscos inerentes da prototipagem de um circuito integrado convencional.

Quando um dispositivo programável FPGA interage com um processador de propósito geral (GPP), externo ao mesmo, torna-se possível à exploração eficiente do potencial das denominadas arquiteturas reconfiguráveis, especialmente em aplicações em tempo real.

As arquiteturas reconfiguráveis permitem a criação de novas funções e possibilita a execução de operações com um número consideravelmente menor de ciclos do que o necessário em GPPs. Em uma arquitetura reconfigurável, são desnecessárias muitas das unidades funcionais complexas, usualmente encontradas em processadores de propósitos gerais. Os métodos de reconfiguração de um dispositivo lógico programável e reconfigurável FPGA podem ser classificados como: total, parcial, dinâmica e intrínseca.

A reconfiguração total, ou simplesmente configuração, é a forma de configuração onde o dispositivo reconfigurável é inteiramente alterado. A forma de configuração que permite somente uma parte do dispositivo ser configurada é a reconfiguração parcial. A reconfiguração parcial pode ser do tipo não-disruptiva, onde as porções do sistema que não estão sendo reconfiguradas permanecem completamente funcionais, durante o ciclo de reconfiguração, ou disruptivas, onde a reconfiguração parcial afeta outras partes do sistema,



necessitando de uma parada de funcionamento do mesmo. A reconfiguração dinâmica pode ser denominada como reconfiguração efetuada em tempo real de execução, RTR – “*Run Time Reconfiguration*”. Nesse tipo de reconfiguração não há necessidade de reiniciar o circuito ou remover os elementos reconfiguráveis para programação. Enquanto a reconfiguração intrínseca é a classe que reconfigura parcialmente cada FPGA que compõe o sistema.

Atualmente (2005), os FPGAs mais avançados estão ultrapassando a barreira de 10 milhões de portas em um dispositivo. Adicionalmente, a família Spartan-IIE de FPGAs da Xilinx, representa uma categoria de dispositivos com baixo custo, grande número de entradas/saídas disponíveis e elevada densidade de portas lógicas. O dispositivo FPGA da família Spartan-IIE pode proporcionar até 600 mil portas lógicas com um custo inferior a U\$10,00 [25, 35].

Neste contexto, os sistemas digitais desenvolvidos neste projeto de pesquisa serão implementados utilizando os dispositivos FPGAs da família Spartan-IIE, devido às suas características especiais. As próximas seções descrevem as principais características da arquitetura do dispositivo FPGA da Família Spartan-IIE.

### **5.3 - Dispositivos FPGA da Família Spartan-IIE**

A família de dispositivos lógicos FPGAs Spartan-IIE, fabricados pela Xilinx, possui algumas das mais avançadas tecnologias desenvolvidas para FPGAs disponíveis atualmente. Dentre elas, podemos destacar o suporte programável para vários padrões de entrada/saída (E/S), vários blocos de memórias RAM internos e laços de truncamento de atrasos de propagação, tanto para utilização ao nível do circuito integrado quanto para gerenciamento de sinais de ativação denominados de “*clock*”, ao nível de placa. Adicionalmente, devido estas tecnologias, a sua utilização elimina a necessidade de muitos circuitos dedicados como, FIFOs e conversores E/S que no passado eram necessários para completar determinados tipos de sistemas digitais. Apresenta um elevado nível de integração com outros dispositivos, incorporando tarefas que antes eram efetuadas por outros circuitos integrados dedicados [35].

#### **5.3.1 - Arquitetura do Spartan-IIE**

Basicamente, os dispositivos FPGAs da família Spartan-IIE possuem sua arquitetura composta por 5 elementos principais:

- IOBs são responsáveis pela interface entre os pinos de E/S do dispositivo e a lógica interna;
- CLBs proporcionam elementos funcionais para a construção das lógicas;
- Blocos de memória RAM dedicados de 4096 bits cada;
- DLLs são responsáveis pela compensação no atraso do sinal de clock distribuído para as lógicas, e tarefas relacionadas com o controle do sinal de clock.
- Estruturas versáteis de conexão multi-níveis;

A figura 5.7 mostra o diagrama de blocos básico da arquitetura de FPGAs da família Spartan-IIE.

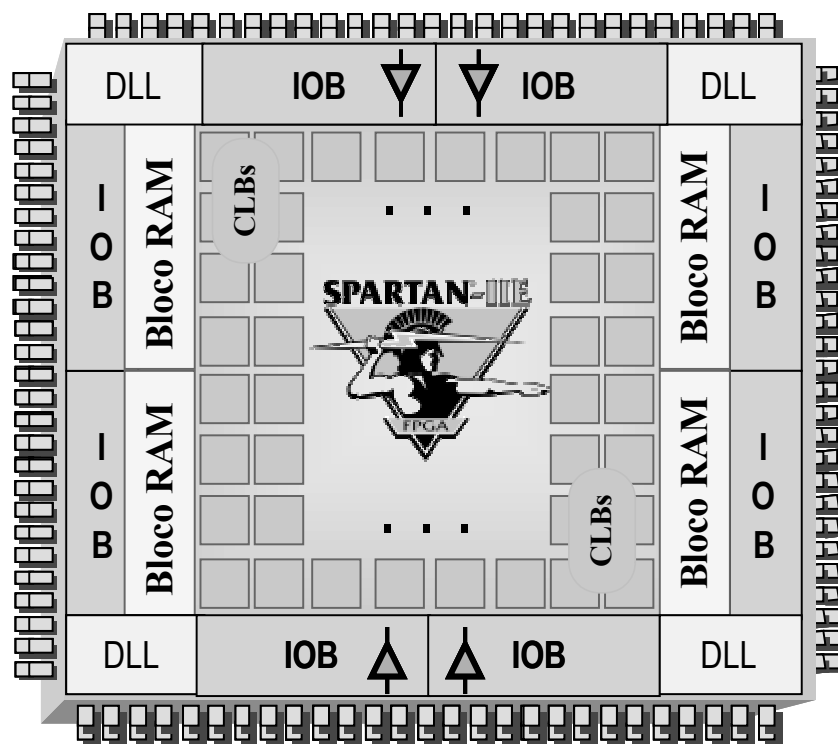


Figura 5.7 – Diagrama de blocos básico da arquitetura de FPGAs da família Spartan-IIE.

Os CLBs formam a estrutura lógica central com fácil acesso a todas as estruturas de apoio e de roteamento. Os IOBs estão localizados ao redor de todas as lógicas e elementos de memória para proporcionar um roteamento fácil e rápido dos sinais internos e externos ao dispositivo.

Os valores armazenados nas células de memória estática controlam todos os elementos de lógica configurável e os recursos de conexão. Estes valores são carregados nas células de memória no ato de energização através de um sistema de configuração, e podem ser carregados de novo, caso seja necessária a modificação da função do dispositivo.

Os principais elementos da arquitetura serão apresentados com mais detalhes nas seções seguintes.

### 5.3.2 - Blocos de Entrada e Saída - IOBs

A figura 5.8 mostra o bloco de entrada e saída (IOB), estes blocos apresentam características de entrada e saída que suportam 19 tipos de padrões de sinais normalizados, incluindo LVTTTL (“*Low Voltage TTL*”), LVCMOS (“*Low Voltage CMOS*”), LVDS (“*Low Voltage Differential Signaling*”), PCI (“*Peripheral Component Interconnect*”), HSTL (“*High-Speed Transceiver Logic*”), SSTL (“*Stub Series Terminated Logic*”), AGP (“*Accelerated Graphics Port*”) e GTL (“*Gunning Transceiver Logic*”).

A existência desta diversidade de padrões de entradas e saídas torna o dispositivo capaz de operar com uma grande variedade de aplicações, que vão desde aplicações de uso geral até aplicações que envolvem envio de dados em elevadas frequências, tais como, avançados tipos de memória e barramentos de interface que ainda estão no estado da arte.

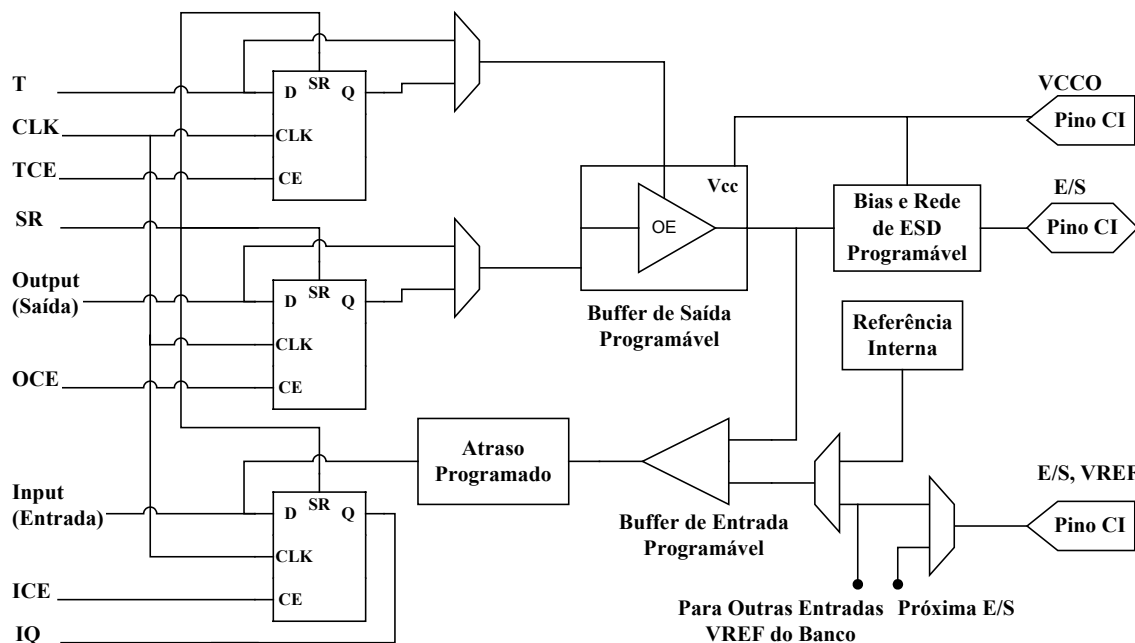


Figura 5.8 – Diagrama esquemático simplificado do Bloco de E/S (IOB) do FPGA da família Spartan-III

A tabela 5.2 apresenta uma lista com alguns dos padrões de sinais que são suportados pelo dispositivo em conjunto com valores requeridos de tensão de referência (VREF), fonte de tensão de saída (VCCO), tensão de terminação de placa (VTT) e algumas informações adicionais.

Os três registradores presentes no IOB funcionam como se fossem flip-flops do tipo D, sensíveis à transições ou como “*latches*” sensíveis à variações de nível. Cada bloco IOB tem um sinal de ativação, denominado CLK, que é compartilhado pelos três registradores e um sinal independente de ativação (CE) para cada registrador.

Adicionalmente, em complemento aos sinais de controle CLK e CE, os três registradores também compartilham um sinal de Set/Reset (SR). Em cada um dos registradores, este sinal pode ser configurado de maneira independente como sendo um sinal de “Set” síncrono, um sinal de “Reset” síncrono, um sinal de “Preset” assíncrono ou um sinal de “Clear” assíncrono. Uma característica não presente no diagrama da figura 5.8, mas que pode ser utilizada via ferramenta de desenvolvimento, é o controle de polaridade. Assim, os “buffers” de entrada/saída e todos os sinais de controle dos blocos IOB possuem o controle de polaridade independente.

Tabela 5.2 – Padrões de sinais suportados pelos blocos de entrada e saída (IOB).

Padrão de E/S	Tensão de Referência de Entrada (VREF) [V]	Fonte de Tensão de Saída (VCCO) [V]	Tensão de Término de Placa (VTT) [V]	Buffer Entrada	Buffer Saída	Tolerância 5V
LVTTL (2-24mA)	-	3,3	-	LVTTL	Push-Pull	Sim
LVC MOS2	-	2,5	-	CMOS		
LVC MOS18	-	1,8	-	CMOS		
PCI(33/66MHz)	-	3,3	-	LVTTL		
GTL	0,8	-	1,2	Amplificador Diferencial	Open-Drain	Não
GTL+	1,0	-	1,5		Push -Pull	
HSTL Classe I	0,75	1,5	0,75			
HSTL Classe III	0,9	1,5	1,5			
HSTL Classe IV	0,9	1,5	1,5			
SSTL3 Classe I/II	1,5	3,3	1,5			
SSTL2 Classe I/II	1,25	2,5	1,25			
CTT	1,5	3,3	1,5			
AGP	1,32	3,3	-			
LVDS, Bus LVDS	-	2,5	-			
LVPECL	-	3,3	-			

Todos os blocos são protegidos contra danos causados por descargas eletrostáticas (ESD) e por transientes de sobretensões. Depois da configuração, diodos grampeadores são conectados ao VCCO nos padrões de sinais LVTTL, PCI, HSTL, SSTL e AGP. Adicionalmente, todos os blocos de IOB suportam o padrão de teste normalizado internacional IEEE 1149.1.

### 5.3.2.1 - Entrada de Sinais no IOB

Um “*buffer*” presente no caminho de entrada do bloco IOB direciona o sinal de entrada para a lógica interna e através de um flip-flop opcional de entrada.

Um elemento de atraso opcional na porta de entrada D deste flip-flop elimina o tempo relacionado com o atraso de propagação. O atraso é combinado com o atraso interno de distribuição do sinal de “*clock*” no FPGA, e quando utilizado, assegura que o tempo de atraso de propagação seja nulo.

Cada “*buffer*” de entrada pode ser configurado para adequar-se a qualquer um dos padrões de sinais disponíveis no dispositivo. Em alguns padrões de sinais, o buffer de entrada requer a conexão de uma tensão de referência (VREF), que é externa ao dispositivo. A necessidade de suprir VREF impõe restrições sobre quais padrões podem ser utilizados próximos aos outros.

### 5.3.2.2 - Saída de Sinais no IOB

O caminho de saída inclui “*buffers*” do tipo “*tri-state*” que controlam o sinal de saída e o direcionam para os pinos do encapsulamento. O sinal de saída pode ser conectado ao “*buffer*” diretamente da lógica interna ou através de um flip-flop opcional. O controle “*tri-state*” da saída pode também ser roteado diretamente da lógica interna, ou através de um flip-flop que proporciona a existência de um sinal de habilitação e desabilitação síncrono.

Os controladores de saída são denominados de “*drivers*” de saída. Cada driver de saída pode ser programado individualmente para uma grande variedade de padrões de tensões. Cada “*buffer*” de saída pode fornecer até 24mA e drenar até 48mA. Portando, o controle da especificação da intensidade do “*drive*” e da taxa de corrente do “*drive*”, contribui na minimização dos transientes de sinal nos barramentos.

Na maioria dos padrões de tensões suportados, o sinal de tensão de saída correspondente ao nível lógico alto depende de uma tensão VCCO fornecida externamente. A necessidade de suprir o VCCO impõe restrições com relação à proximidade que cada padrão pode ser alocado.

Um circuito opcional denominado de “*weak-keeper*” pode ser conectado a cada saída. Quando selecionado, o circuito supervisiona a tensão no pino de saída e sutilmente controla os níveis lógicos alto e baixo para estarem compatíveis com o nível do sinal de entrada.

Se o pino de saída é conectado a várias fontes de sinal, o circuito sustenta o sinal em seu último estado se todos os drivers forem desabilitados. Manter um nível lógico válido é uma maneira de eliminar interferências em barramentos.

### 5.3.2.3 - Banco de E/S

Alguns dos padrões de sinais suportados pelo dispositivo requerem as tensões VREF e VCCO. Estas tensões, de caráter externo, são fornecidas e conectadas aos pinos para servir a grupos de IOBs denominados bancos. Conseqüentemente, algumas restrições existem sobre quais padrões de E/S podem ser combinados em um dado banco.

A figura 5.9 mostra os oito bancos de E/S que resultam da separação de cada borda do FPGA em dois bancos. Cada banco tem vários pinos de VCCO que devem ser conectados a mesma tensão. Entretanto, nos encapsulamentos PQ208 e TP144, todos os oito bancos tem os VCCO conectados em conjunto. Assim, somente um nível de VCCO é permitido nestes encapsulamentos, apesar de diferentes valores de VREF serem permitidos em cada um dos oito bancos.

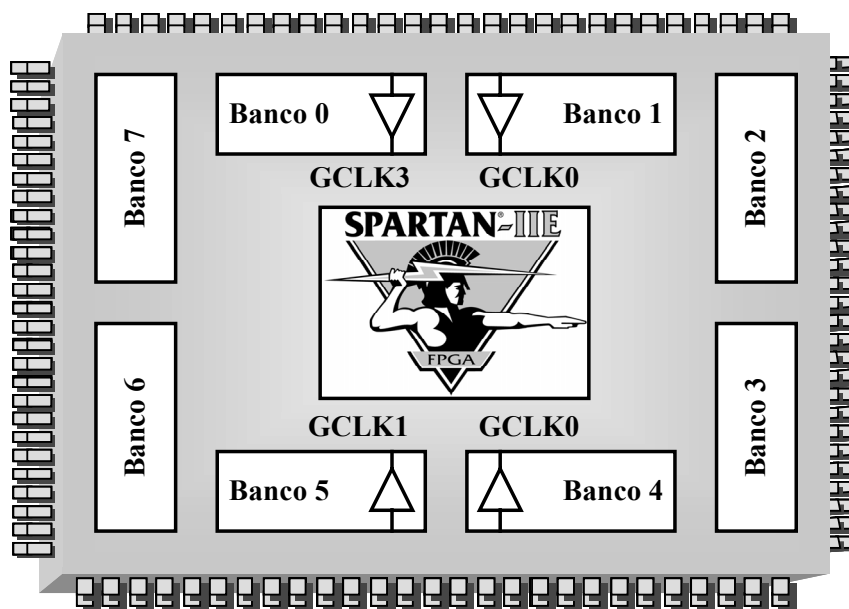


Figura 5.9 – Distribuições dos bancos de E/S na área física do dispositivo.

Em um mesmo banco, diferentes padrões de sinais podem ser utilizados em conjunto somente se utilizarem o mesmo valor de VCCO, conforme tabela 5.3. Os padrões GTL e GTL+ representam uma exceção, pois possuem a característica de saída do tipo dreno-aberto (“*open-drain*”) não dependendo de VCCO.

Tabela 5.3 – Padrões de Sinais Compatíveis em função de VCCO.

VCCO	Padrões de Sinais Compatíveis
3.3 V	PCI, LVTTTL, SSTL3 I e II, CTT< AGP, LVPECL, GTL e GTL+
2.5 V	SSTL2 I e II, LVCMOS, LVDS, LVDS Bus, GTL e GTL+
1.8 V	LVCMOS18, GTL e GTL+
1.5 V	HSTL I e III, HSTL IV, GTL e GTL+

Alguns dos padrões de sinais de entrada requerem a conexão externa de uma tensão de limiar VREF. Neste caso, certos pinos são automaticamente configurados como entradas para a tensão VREF, cerca de um em cada seis pinos em cada banco realizam esta tarefa. Entretanto, os pinos referentes à VREF são conectados internamente, impondo que somente uma tensão VREF possa ser utilizada em cada banco.

Em um mesmo banco, entradas que utilizam padrões de sinais que requerem VREF podem ser misturadas com entradas que não requerem VREF. O número de pinos disponíveis para VREF e VCCO pode variar dependendo do tamanho do dispositivo e do encapsulamento.

#### 5.3.2.4 - Conexão Energizada

Os blocos de E/S do dispositivo apresentam características que permitem a conexão energizada (HI - “*Hot Insertion*”). Conseqüentemente, um FPGA da família Spartan-IIE não energizado pode ser conectado diretamente a um sistema energizado sem afetar ou danificar o sistema e o FPGA.

### 5.3.3 - Blocos Lógicos Configuráveis (CLB)

O componente de construção básico dos blocos lógicos configuráveis (CLBs) dos FPGAs da família Spartan- IIE é a célula lógica (LC).

Uma célula lógica é composta por um gerador de função com quatro entradas, lógicas de propagação de lógica “*carry*”, e um elemento de registro, como mostra a figura 5.10. A saída do gerador de função em cada célula lógica é conectada à saída do bloco CLB ou à entrada de um flip-flop tipo D. Cada bloco lógico configurável da família Spartan-IIE consiste em quatro células lógicas (LCs), organizadas em duas partes iguais, denominadas “*slices*”.

Além de possuir as quatro células lógicas, as CLB contêm lógicas que podem combinar os geradores de função para criar funções de cinco ou seis entradas.

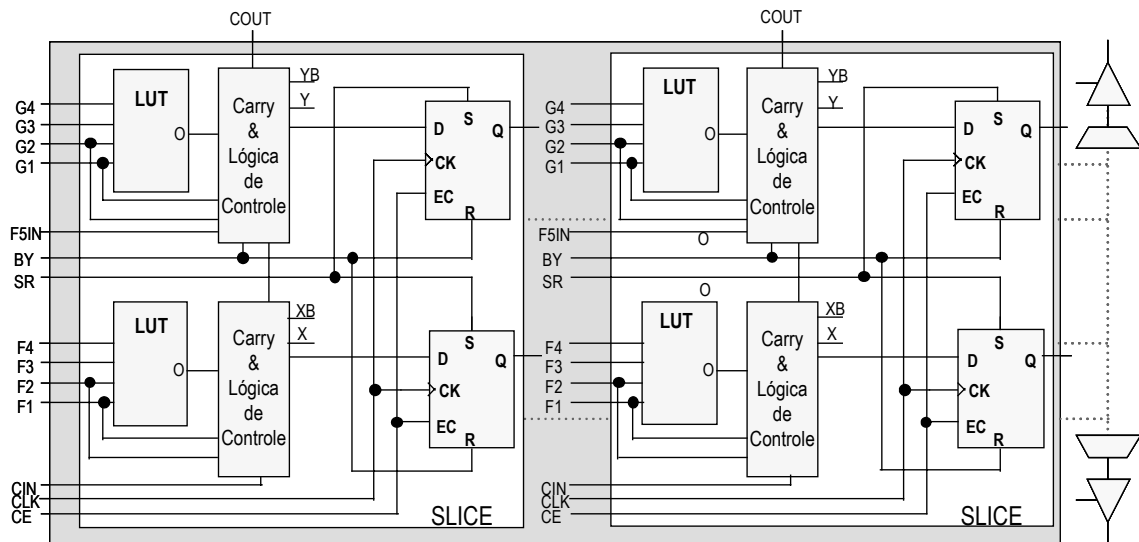


Figura 5.10 – Célula lógica básica do FPGA Spartan-IIE contendo duas “slices” idênticas.

#### 5.3.3.1 - Tabelas de Consulta (LUTs)

Os geradores de função presentes nas células lógicas (LCs) são implementados através de estruturas que se comportam como tabelas de consulta de quatro entradas, denominadas de LUT - “Look-up Tables”. Para operar como gerador de função, cada LUT funciona como uma memória RAM síncrona de 16x1 bit. Além disso, duas LUTs dentro do mesmo “slice” podem ser combinadas para criar memórias RAM síncronas de 16x2 bit ou 32 x 1 bit e uma memória RAM síncrona com porta-dual de 16x1 bit.

As tabelas de busca (LUTs) também podem operar como um registrador de deslocamento de 16 bits, denominado SRL16, que é ideal para armazenar dados com velocidades altas ou dados fragmentados presentes em barramentos de dados. Este modo de operação da LUT como SRL16 é capaz de aumentar o número efetivo de flip-flops em dezesseis vezes. A existência de mais flip-flops possibilita efetuar um maior número de operações em paralelo, proporcionando condições ideais para as aplicações de processamento digital de sinal.

Os elementos de armazenamento nos “slices” do Spartan-IIE podem ser configurados ou por um flip-flop do tipo D sensível à transições do sinal de ativação ou por “latches” sensíveis a níveis lógicos. As entradas dos flip-flops do tipo D podem ser fornecidas pelos geradores de função no mesmo “slice” ou diretamente da entrada dos “slices”, contornando os geradores de função.

Cada “slice” possui sinais de controle de “set” e “reset” (SR e BY), que podem operar tanto de maneira síncrona quanto assíncrona. O sinal SR força que o elemento de registro seja



configurado para um estado de inicial especificado na configuração. Enquanto o sinal BY força com que o estado seja oposto do especificado. Todos os sinais de controle são independentes e compartilhados pelos dois flip-flops presentes em cada “slice”.

### 5.3.3.2 - Lógica Adicional

O multiplexador F5 combina as saídas dos geradores de função em cada “slice”. Esta combinação pode criar um gerador de função capaz de implementar a tarefa de uma LUT com cinco entradas (LUT-5), de um multiplexador do tipo 4:1 ou de funções de seleção com até nove entradas. De maneira similar, o F6 multiplexador combina todas as saídas dos quatro geradores de função presentes no CLB, selecionando uma das duas saídas do multiplexador F5, como ilustrado na figura 5.11, permitindo a implementação de qualquer função com seis entradas (LUT-6), de um multiplexador do tipo 8:1, ou de funções de seleção com até 19 entradas.

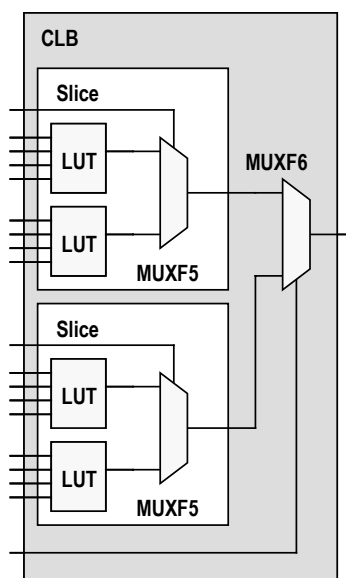


Figura 5.11 – Multiplexadores F5 e F6 nos CLBs.

Adicionalmente, cada CLB possui quatro caminhos de realimentação, um por LC. Estes caminhos proporcionam outras opções para dados de entrada ou para roteamento local, que não consome recursos lógicos.

A presença de uma lógica dedicada de propagação, denominada lógica de “carry”, proporciona recursos de propagação aritméticas para a implementação de funções aritméticas de elevada performance. Cada CLB pode gerenciar dois valores de propagação, um por slice, e o tamanho destes valores de propagação é de dois bits por CLB.

A lógica aritmética inclui uma porta lógica do tipo XOR que permite a implementação de um somador de um bit em uma célula lógica LC. Adicionalmente, portas lógicas do tipo AND melhoram a eficiência de aplicações com multiplicadores. Estas variáveis de propagação aritméticas, também podem ser utilizadas para cascatear os geradores de função, permitindo a implementação de uma grande variedade de funções lógicas.

#### **5.3.4 - Bloco de RAM**

Apesar de algumas estruturas de memórias RAM poderem ser implementadas nos CLBs através das LUTs, estas estruturas apresentam pouca capacidade. Para melhorar os recursos de armazenagem os dispositivos FPGAs da família Spartan-IIE possuem grandes blocos de memórias do tipo SelectRAM+™.

Os blocos de memória do tipo SelectRAM+ são organizados na forma de colunas. Os dispositivos Spartan-IIE possuem duas colunas ao longo das extremidades verticais. Cada bloco de memória possui a altura física de quatro CLBs, assim, um dispositivo fabricado com oito CLBs conterá dois blocos de memória por colunas, e um total de 4 blocos de memória no dispositivo.

O dispositivo XC2S200E da família Spartan-IIE, possui 14 blocos de memória do tipo SelectRAM+, conseguindo gerenciar um total de 56k bits nos blocos de memórias.

Cada célula dos blocos de RAM é do tipo dual síncrona com 4096 bits e os sinais de controle são independentes em cada porta. O tamanho do dado, ou seja, o número de bits manejado por cada porta pode ser configurado independentemente.

#### **5.3.5 - Roteamento Programável**

O fator limitante da frequência de operação em qualquer projeto é o atraso relacionado com o maior caminho que o sinal tem que percorrer, denominado de LPD (*“Long-Path Delay”*). Nestes dispositivos, as arquiteturas de roteamento em conjunto com o software de alocação-roteamento são configuradas para minimizar os atrasos relacionados com LPD e alcançar a melhor performance para o sistema. A otimização efetuada em conjunto também reduz o tempo de compilação. O software utiliza o roteamento otimizado, determinado em função das restrições de tempo impostas pelo projetista. Os dispositivos da família Spartan-IIE possuem quatro níveis hierárquicos de recursos de roteamento: de propósito geral, local, de E/S, dedicado e global.

#### **5.3.5.1 - Roteamento de Propósito Geral**

A maioria dos sinais presente no dispositivo é roteada através de conexões de propósito geral, e conseqüentemente, a maioria dos recursos disponíveis está associada com este nível hierárquico de roteamento. Os recursos de conexões de propósito geral estão localizados em canais de roteamento verticais e horizontais associados com as linhas e colunas de CLBs. Adjacente a cada CLB existe uma Matriz de Roteamento Geral (GRM). A GRM é uma matriz acionadora por onde as linhas de roteamento verticais e horizontais se conectam possibilitando ao CLB ganhar acesso ao roteamento de propósito geral.

#### **5.3.5.2 - Roteamento Local**

Os recursos relacionados com o roteamento local são responsáveis em efetuar basicamente três tipos de conexões:

- As conexões entre LUTs, flip-flops e Matrizes de utilização geral (GRM);
- As conexões de realimentação internas do CLB, permitindo conexões entre as LUTs do mesmo CLB, encadeando-as com o mínimo atraso de roteamento;
- As conexões diretas que proporcionam conexões com velocidades altas entre CLBs adjacentes horizontais, eliminando o atraso relacionado com o GRM.

#### **5.3.5.3 - Roteamento de E/S**

Os dispositivos possuem recursos especiais localizados nas suas extremidades para servir de interface entre os conjuntos de CLBs e os blocos de IOB. Este recurso adicional facilita tanto a troca da localização de um determinado pino quanto o travamento da posição do mesmo, permitindo a adaptação de projetos a *layouts* de placa de circuito impresso já existentes. Reduzindo o tempo total de produção, uma vez que as placas de circuito e outros componentes do sistema podem ser fabricados enquanto a lógica do projeto ainda está sendo desenvolvida.

#### **5.3.5.4 - Roteamento Dedicado**

Algumas classes de sinais requerem características de roteamento especiais para maximizar sua performance. Nos dispositivos FPGA da família Spartan-IIIE o roteamento

dedicado é utilizado em duas classes de sinais: os barramentos tri-state internos e os sinais referentes à lógica “*carry*”.

#### 5.3.5.5 - Roteamento Global

Os recursos de roteamento global distribuem sinais de “*clock*” e outros sinais com elevado “*fanout*” através do dispositivo. Este tipo de roteamento é efetuado por dois tipos de recursos globais: os primários e os secundários. A rede primária global é projetada especialmente para distribuir sinais de “*clocks*” e somente pode ser comandada por “*buffers*” do tipo global.

Os recursos primários de roteamento global são representados por quatro redes globais dedicadas, projetadas especialmente para distribuir sinais de “*clock*”. Cada rede de “*clock*” global pode comandar todos os pinos dos CLBs, IOBs e blocos de RAM. A rede primária global somente pode ser comandada através de “*buffers*” do tipo global.

Os recursos secundários de roteamento consistem de uma rede de 24 linhas, 12 localizadas na parte superior do dispositivo e 12 na parte inferior. Através destas linhas, até 12 sinais por coluna podem ser distribuídos. Os recursos secundários são mais flexíveis que os recursos primários, uma vez que eles não são restritos a rotear somente pinos de “*clock*”.

#### 5.3.5.6 - DLL - Delay Locked Loop

Associado com cada buffer de entrada global de “*clock*” está um DLL (“*Delay Locked Loop*”) que elimina as diferenças entre o sinal de “*clock*” entregue na entrada do dispositivo e o sinal de “*clock*” utilizado pelas lógicas internamente no dispositivo. Cada DLL pode controlar duas redes de “*clock*” globais. O bloco DLL monitora o sinal de “*clock*” de entrada e o sinal de *clock* distribuído, ajustando automaticamente o fator de atraso do sinal de “*clock*”. Um atraso adicional é introduzido ao sinal de “*clock*” até que a transição de subida do sinal alcance as lógicas internas que estiverem em fase com a transição de subida do sinal realimentado, como ilustra a figura 5.12. Este sistema de malha fechada elimina de maneira efetiva o atraso de “*clock*”, devido à distribuição, assegurando que a borda de subida do sinal de “*clock*” chegue aos flip-flops internos em sincronismo com a borda de transição de subida do sinal de “*clock*” que está chegando na entrada. Além do DLL ser utilizado para gerenciamento de “*clock*”, ele também pode executar a divisão e a multiplicação da frequência do sinal de “*clock*” por determinados fatores.

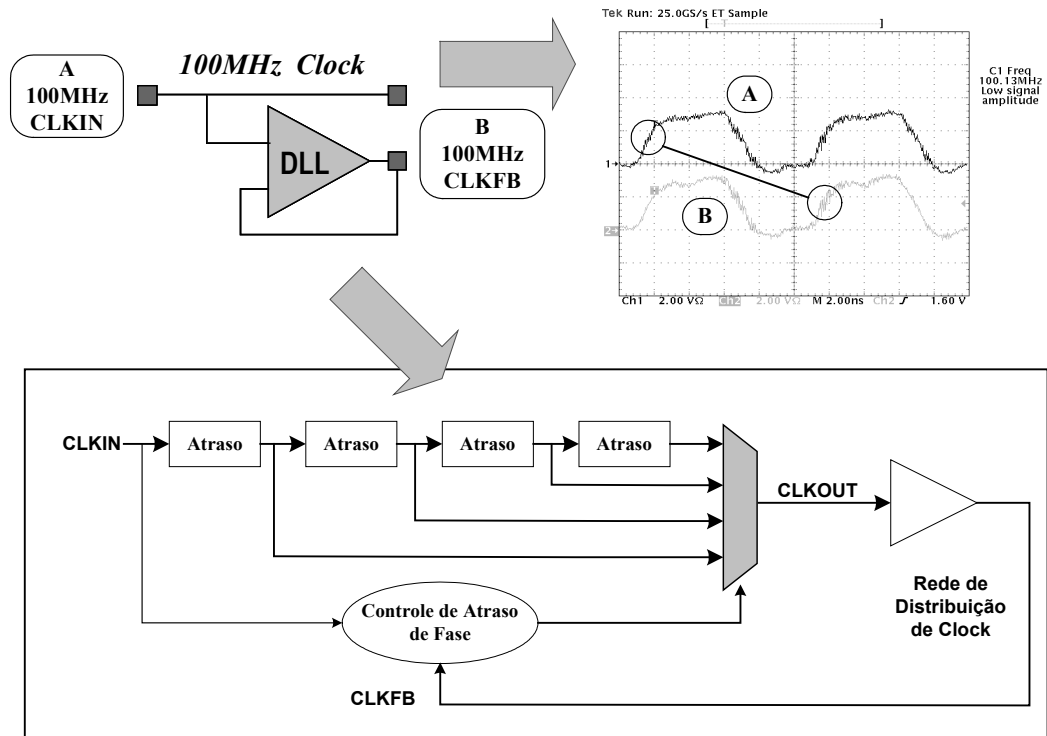


Figura 5.12 - Diagrama de Bloco do DLL

### 5.3.6 - Configuração

Configuração é o processo pelo qual o dispositivo FPGA é programado com um arquivo de configuração criado pelas ferramentas de desenvolvimento. Os dispositivos Spartan-III suportam tanto a configuração do tipo serial, utilizando os modos master/slave serial e JTAG, e também configuração do tipo “byte-wide”, utilizando o modo paralelo.

## 5.4 - Conclusões

Neste capítulo foram apresentados os dispositivos lógicos programáveis, suas evoluções e as principais tecnologias utilizadas.

Os dispositivos FPGAs, em conjunto com as ferramentas de desenvolvimento dos FPGAs, tornaram-se elementos essenciais na implementação de sistemas digitais de forma rápida, com elevada flexibilidade, elevado desempenho e apresentando um reduzido custo.

A família Spartan-IIIE de FPGAs, da Xilinx, é implementada com uma arquitetura regular, flexível e programável de blocos lógicos configuráveis (CLBs), envolvida por um perímetro de blocos de E/S programáveis e interconectada por uma poderosa hierarquia de recursos de roteamento versáteis. Além de permitir que diferentes padrões de sinais de entrada/saída possam ser implementados, facilitando o interfaceamento com outros dispositivos, sua arquitetura também proporciona funções avançadas como blocos de memória RAM e blocos de controle de sinais de “*clocks*” DLLs.

Em função das características especiais apresentadas pelos dispositivos FPGA da família Spartan-IIIE, adotou-se o dispositivo lógico programável XC2S200 desta família, para ser o dispositivo utilizado no desenvolvimento do sistema de controle digital da topologia Boost-ZCS Interleaved, operando no modo de condução crítica, tanto na aplicação CC/CC, quanto na aplicação como pré-regulador CA/CC.

## 6 - Metodologia de Projeto Utilizando VHDL

### 6.1 – Introdução

A complexidade dos sistemas digitais vem crescendo de maneira muito rápida. A melhoria nos processos de fabricação, a diversidade de novas aplicações e a quantidade de elementos no mercado, são alguns fatores relacionados como as causas deste crescimento. Entretanto, este desenvolvimento não poderia ser possível se os processos de desenvolvimento e as ferramentas de automação de projetos, de forma eletrônica, EDA – “*Electronic Design Automation*”, não tivessem acompanhado este desenvolvimento [36].

Além da complexidade dos sistemas, o mercado passou por modificações muito rápidas, onde qualidade e custo são fatores tão importantes quanto os tempos de colocação no mercado do equipamento eletrônico. O resultado é que o tempo de desenvolvimento e os custos estão decrescendo, enquanto a complexidade dos sistemas está aumentando.

Grandes esforços foram efetuados para melhorar os processos envolvidos na metodologia de projeto. Uma metodologia de projeto define um conjunto de procedimentos, restrições e ferramentas para otimizar projetos de sistemas eletrônicos. O critério de otimização pode vir de diferentes fontes, dependendo da natureza do sistema, aplicação e complexidade [37-42].

Alguns destes fatores mais importantes são:

- tempo de desenvolvimento e esforço;
- custo final do produto;
- qualidade do projeto de ser reutilizável;
- controle de qualidade durante todo o ciclo de desenvolvimento;
- garantia de sucesso na primeira tentativa.

Para tornar gerenciável o desenvolvimento de sistemas complexos, a equipe de desenvolvimento deve ser coordenada durante todo o período de desenvolvimento. Isto não é uma tarefa fácil numa situação usual, com diferentes departamentos compostos por várias equipes de desenvolvimento (engenheiros de sistema, equipes de testes, etc.).

A comunicação deve ser efetuada utilizando um formato ou uma linguagem comum, facilitando o fluxo de informações e o entendimento do trabalho entre os membros das equipes.

As linguagens de descrição de hardware (HDL – “*Hardware Description Languages*”), surgiram com o objetivo de padronizar as descrições de sistemas de hardware, facilitar a alteração e documentação dos mesmos [37-49].

A linguagem de descrição de hardware VHSIC HDL, ou simplesmente VHDL, foi aceita como padrão pela primeira vez em 1987 pelo IEEE – “*Institute of Electrical and Electronics Engineers*”, e vem passando por revisões a cada cinco anos, como todo padrão IEEE. Adicionalmente, a linguagem Verilog HDL também é um padrão do IEEE.

A existência de um padrão impulsionou a utilização da linguagem, uma vez que seu uso passou a ser adotado por diferentes tipos de projetistas e várias ferramentas EDA de diferentes fabricantes.

Apesar das HDLs se tornarem muito populares, os projetistas tinham que traduzir manualmente o projeto baseado em HDL para um circuito esquemático, com todas as interconexões entre as portas lógicas utilizadas.

Com o advento da síntese lógica, houve uma mudança drástica nas metodologias de projeto. Os circuitos digitais poderiam ser descritos no nível de transferências dos registradores (RTL – “*Register Transfer Level*”) através do uso de uma HDL, de tal forma que os detalhes das portas lógicas e suas interconexões para implementar o circuito, seriam extraídos automaticamente pela ferramenta de síntese lógica da descrição RTL.

A síntese lógica impulsionou as HDLs para a vanguarda do projeto digital. Projetistas não tinham mais que conectar manualmente as portas lógicas para construir circuitos digitais. Eles poderiam descrever circuitos complexos em um nível de abstração, em termos de sua funcionalidade e do comportamento dos dados envolvidos, utilizando HDLs. As ferramentas de síntese lógica se encarregam de implementar a funcionalidade especificada em termos de portas lógicas e suas interconexões [44-47].

Esta nova metodologia de desenvolvimento de projetos melhorou o processo através da redução do tempo envolvido, do número de interações e permitindo o gerenciamento de projetos com um nível de complexidade muito elevado [36-49].

## **6.2 – Linguagem de Descrição de Hardware - HDL**

Por um longo tempo, as linguagens de programação como FORTRAN, Pascal e C vêm sendo utilizadas para descrever programas de computadores que são sequenciais por natureza. Entretanto, no mundo real, todos os eventos estão acontecendo de maneira concorrente, e, a



especificação de processos reais de forma seqüencial não representa uma maneira conveniente, nem simplificada, de descrever a realidade.

Por outro lado, os integrantes das equipes de desenvolvimento dos projetos de hardware, sentiam a necessidade da existência de um formato padrão de desenvolvimento que fosse capaz de descrever os sistemas de hardware, utilizando uma semântica simples como a de uma linguagem de programação, resultando assim nas linguagens de descrição de hardware - HDL.

Foram desenvolvidas várias linguagens de descrição de hardware, entre elas podemos citar: VHDL, VERILOG, ABEL, Handel-C, SDL, ISP e AHDL.

Basicamente, as linguagens de descrição de hardware descrevem a funcionalidade de um sistema e de que maneira as ações internas ocorrem, permitindo a modelagem dos processos concorrentes encontrados nos elementos de hardware. A HDL é estruturada de maneira a facilitar a descrição abstrata do comportamento do hardware para propósitos de especificação. Assim, o comportamento pode ser modelado e representado em vários níveis de abstração durante o projeto.

O modelo descrito pode ser avaliado através de um software chamado simulador. Entretanto, algumas destas linguagens de descrição foram desenvolvidas para servirem a um simulador fabricado por uma companhia específica, não proporcionando uma independência de tecnologia.

### **6.3 – VHDL (*VHSIC Hardware Description Language*)**

O programa de desenvolvimento VHSIC (“*Very High Speed Integrated Circuit*”) foi fundado pelo Departamento de Defesa dos Estados Unidos – DoD, no final dos anos 70, e início dos anos 80. O objetivo do programa VHSIC era produzir uma nova geração de circuitos integrados com alta densidade de portas e elevado desempenho. À medida que as pesquisas começaram a ser efetuadas, ficou claro que havia a necessidade de uma linguagem de programação padronizada para descrever a função e a estrutura de circuitos digitais para o projeto de circuitos integrados. A IBM, a Texas Instruments e a Intermetrics agruparam-se ao programa VHSIC para o desenvolvimento desta nova linguagem.

Esta nova linguagem de descrição de hardware foi proposta em 1981 e denominada de *VHSIC Hardware Description Language* (Linguagem de Descrição de Hardware com ênfase em Circuitos Integrados de Altíssima Velocidade), ou como é mais conhecida, VHDL.

Em 1986, a linguagem VHDL foi proposta pelo IEEE (*“Institute of Electrical and Electronics Engineers”*) como padrão, mas passou por várias revisões e mudanças até ser adotada como padrão IEEE 1076 em dezembro de 1987.

Assim, o *VHSIC Hardware Description Language* (VHDL) tornou-se uma linguagem industrial padrão utilizada para descrever hardware do conceito abstrato para o nível concreto. Diversas empresas de EDA adotaram o VHDL como padrão de entrada e saída de suas ferramentas de simulação, de síntese, de layout, etc [43].

Em 1993, o padrão passou pelo primeiro processo de revisão, após cinco anos de aceitação. Em 1996, as ferramentas de simulação e síntese foram incorporadas pelo padrão IEEE 1076’93. Esta incorporação permitiu a utilização desta nova versão padronizada em metodologias de projetos do tipo *“top-down”*. Adicionalmente, o pacote de ferramentas de síntese para linguagem VHDL torna-se parte do padrão IEEE 1076, especificamente no pacote 1076.3, melhorando consideravelmente a portabilidade dos projetos entre diferentes ferramentas de síntese. No padrão IEEE 1076.4 –VITAL foram agregados modelos ASIC e bibliotecas para FPGA em VHDL. Em dezembro de 1997 foi publicado o manual de referência da linguagem VHDL. Atualmente, a última revisão foi efetuada em 2002.

A descrição de um sistema em VHDL apresenta inúmeras vantagens, o fato de ser um padrão internacional proporciona ao VHDL a característica de portabilidade, permitindo o intercâmbio de projetos entre grupos de pesquisa ou ferramentas de CAD sem a necessidade de alteração ou conversão. Assim, a mesma descrição em VHDL pode ser simulada e utilizada em muitas ferramentas de desenvolvimento e em diferentes estágios do processo de desenvolvimento. Adicionalmente, esse fator de portabilidade reduz a dependência sobre um conjunto de ferramentas cuja capacidade limitada pode não ser competitiva em mercados futuros.

VHDL foi desenvolvida para modelar todos os níveis de um projeto, podendo descrever desde transistores de baixo-nível até sistemas muito complexos. VHDL pode suportar construções comportamentais e rotinas matemáticas que descrevem modelos extremamente complexos, permitindo a descrição da estrutura de um sistema, através de subsistemas e como estes subsistemas são interconectados. Além de possibilitar a utilização de arquiteturas múltiplas, e várias configurações dentro do mesmo projeto, durante os vários estágios do processo de desenvolvimento.

Além disso, a linguagem é independente da tecnologia, ou seja, a funcionalidade e o comportamento do projeto pode ser descrito em VHDL e verificado sem a necessidade de especificação do tipo de processo de fabricação e tecnologia em que o projeto será

implementado. Este fator permite ao projetista prosseguir no desenvolvimento sem ter que esperar que o tipo de tecnologia a ser implementada seja escolhido.

Outra vantagem importante que deve ser ressaltada é que a especificação é realizada de uma maneira familiar através de uma linguagem de programação. Assim, os projetos são fáceis de serem modificados, reduzindo consideravelmente o tempo de projeto e implementação, evitando-se os erros de baixo nível.

Adicionalmente, alguns elementos da linguagem suportam a reutilização de projetos, permitindo que descrições de modelos já consolidadas em outros projetos sejam reutilizadas, aumentando a flexibilidade e diminuindo o tempo de projeto.

Em contrapartida, podem ser realizadas várias versões de arquiteturas, permitindo explorar em um nível mais alto de abstração as diferentes alternativas de implementação, que podem ser simuladas antes de serem manufaturadas. Assim, os projetistas podem rapidamente comparar alternativas e testar a eficácia de operação sem o ônus do custo financeiro e do tempo da implementação física de hardware, utilizando sempre os melhores resultados.

Portanto, a linguagem de descrição VHDL apresenta as seguintes vantagens para a utilização em projetos digitais: é um padrão, possui portabilidade, capacidade de modelagem, independência de tecnologia, reutilizável e em conjunto as ferramentas de síntese representa uma nova metodologia de projeto.

### **6.3.1 - Descrição Estrutural e Comportamental**

A linguagem de descrição de hardware VHDL permite duas formas para a descrição de circuitos digitais: a estrutural e a comportamental. Adicionalmente, é usual existir partes implementadas de maneira comportamental e estrutural.

A forma estrutural indica os diferentes componentes que constituem o circuito e suas respectivas interconexões. Por outro lado, a forma comportamental consiste em descrever o circuito pensando no seu comportamento e funcionalidade e não na sua estrutura. Essa metodologia facilita a descrição de circuitos cuja estrutura interna não está disponível, mas onde o seu funcionamento e comportamento podem ser interpretados.

## **6.4 - Níveis de Abstração e Domínios de Modelos de Hardware**

Basicamente, os modelos utilizados para representar sistemas eletrônicos nos projetos de desenvolvimento podem ser classificados em domínios e níveis de abstração. Três domínios podem ser identificados na representação de sistemas eletrônicos: o estrutural, o

comportamental e o físico. No domínio comportamental a funcionalidade do projeto é descrita através do comportamento do sistema, ou seja, o que o sistema faz. No domínio estrutural, o projeto é descrito através do conjunto de componentes e conexões que compõe o sistema. No domínio físico, também conhecido de geométrico, o projeto é descrito considerando informações técnicas detalhadas sobre as tecnologias utilizadas, maneira de implementação, ou seja, detalhes de como o sistema é fabricado.

Adicionalmente, estes domínios podem ser divididos em vários níveis de abstração. Nesta análise foram considerados quatro níveis hierárquicos de abstração: o nível do circuito elétrico, o nível lógico, o nível de transferência de registros e o nível de sistema.

A figura 6.1 mostra a representação de diferentes níveis de abstração. O nível de abstração no diagrama cresce com a distância do centro e apresenta diferentes representações para cada domínio em cada nível de abstração.

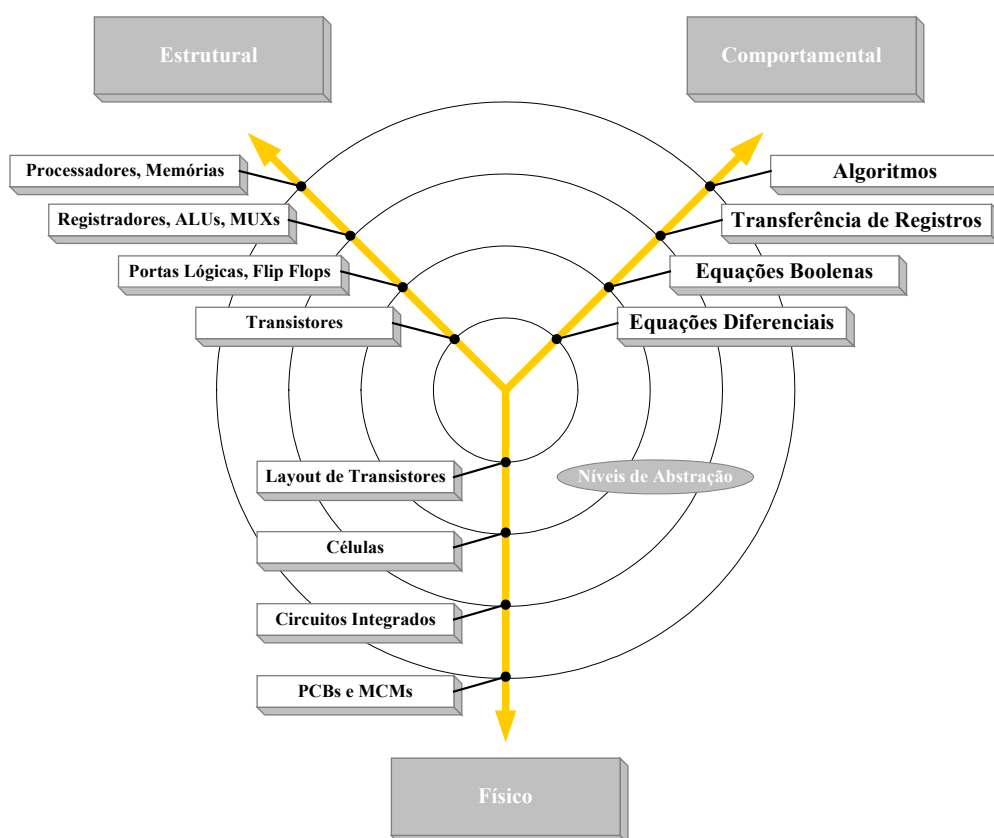


Figura 6.1 – Representação gráfica de domínios e níveis de abstração.

O nível abstrato com hierarquia mais baixa é o denominado de nível do circuito elétrico, este nível considera informações detalhadas do sistema elétrico, proporcionando a maior precisão possível de descrição no modelo. O próximo nível menos abstrato é o nível lógico que considera os estados lógicos como os valores possíveis dos sinais, este nível também considera informações referentes aos tempos de atraso, tempo de estabelecimento.

No nível de transferências de registros, denominado de RTL- “*Register Transfer Level*”, os elementos de transferência de dados e os ciclos de controle são identificados na descrição do modelo através do uso de elementos primitivos, tais como somadores e multiplexadores. O nível mais abstrato considerado nesta análise é o nível do sistema. Neste nível de abstração, nenhuma informação quanto ao esquema de operações ou ao esquema de atuação de “*clock*” são apresentadas na descrição do modelo do sistema eletrônico.

Uma maneira de minimizar o número de objetos a serem gerenciados em um projeto é considerar a descrição do sistema eletrônico analisado com um elevado nível de abstração. Por exemplo, as descrições de circuitos digitais usualmente são consideradas ao nível abstrato das portas lógicas e não no nível elétrico físico. Este procedimento reduz a quantidade de informação presente em um projeto em até quatro vezes, em termos do número de elementos, de conexões, etc. Da mesma maneira, quando um sistema eletrônico possui um grande número de portas lógicas, é recomendável que sua descrição seja considerada em um nível de abstração superior ao nível das portas lógicas.

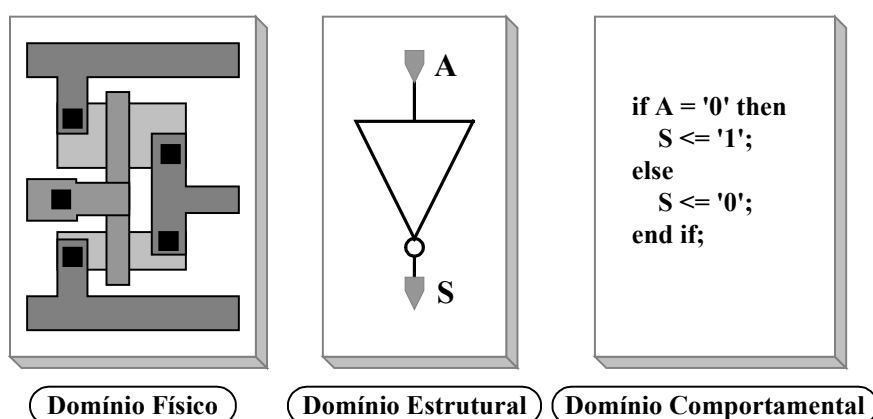


Figura 6.2 – Representações do mesmo componente em diferentes domínios.

A figura 6.2 mostra três representações diferentes para uma porta inversora, por exemplo. Assim, a principal vantagem de trabalhar com elevados níveis de abstração é a redução do número de elementos que o projetista tem que gerenciar. Além disso, as descrições com elevado nível de abstração no domínio comportamental implicam na possibilidade de modelar o comportamento do sistema, sem levar em consideração informações sobre a estrutura final, a tecnologia alvo e os detalhes de implementação.

A utilização de linguagens de descrição de hardware, o VHDL em particular, tornou possível descrever sistemas digitais em qualquer nível de abstração, utilizando informações comportamentais ou estruturais. O exemplo de um multiplexador, descrito utilizando-se VHDL é listado na tabela 6.1.

Tabela 6.1 – Código fonte VHDL de um multiplexador descrito de maneira comportamental e estrutural.

<pre> Entity multiplexador is     Port ( SEL : in std_logic; E0 : in std_logic; E1 : in std_logic; Y : out std_logic); end multiplexador;</pre>	
<pre> architecture Comportamental of multiplexador is begin process (SEL,E0,E1)     begin         if SEL = '0' then             Y &lt;= E0;         else             Y &lt;= E1;         end if;     end process; end Comportamental;</pre>	<pre> architecture Estrutural of multiplexador is component INV is     Port (A: in std_logic; B: out std_logic); end component; component AND2 is     Port (A: in std_logic; B: in std_logic; C: out std_logic); end component; component OR2 is     Port (A: in std_logic; B: in std_logic; C: out std_logic); end component; signal SB, I0, I1 : std_logic; begin     U1 : INV port map (S, SB);     U2 : AND2 port map (SB, E0,I0);     U3 : AND2 port map (S, E1, I1);     U4 : OR2 port map (I0,I1,Y); end Estrutural;</pre>

Como ilustrado neste código, a descrição estrutural é definida como uma lista de interconexões de componentes previamente definidos e armazenados em uma biblioteca, enquanto a descrição comportamental não fornece informações sobre a estrutura do sistema, e somente descreve o seu comportamento através de um algoritmo. Assim, as descrições comportamentais são mais próximas da funcionalidade do sistema, enquanto a descrição estrutural considera os detalhes de implementação. Portanto, quando descrevem o mesmo elemento, a complexidade associada com a descrição comportamental é muito menor que a apresentada pela descrição estrutural.

O processo de transformação de um nível superior de abstração em outro nível inferior de abstração é denominado de síntese. A transformação de uma descrição comportamental em outra no domínio estrutural, com o mesmo nível de abstração, também pode ser denominada de síntese, entretanto, se uma biblioteca ou tecnologia específica for considerada nesta etapa, o processo também pode ser chamado de mapeamento (“*mapping*”). A transformação efetuada dentro de um domínio e um nível de abstração para melhorar o desempenho do sistema é denominada de otimização.

## 6.5 - Classificação de Metodologias de Projeto

As metodologias de projeto podem ser classificadas em dois grupos: “*bottom-up*” e “*top-down*”. A metodologia é denominada de “*bottom-up*” quando o projetista implementa o sistema a partir de componentes básicos, como exemplo portas lógicas e transistores, ou componentes primitivos disponíveis em bibliotecas. Esta metodologia usualmente requer uma fase anterior onde o sistema é dividido em pequenos blocos. A metodologia “*bottom-up*” pode ser considerada como a metodologia de projeto mais tradicional, sua utilização é baseada na utilização de circuitos esquemáticos e simulações.

A metodologia “*top-down*” é quando o projetista implementa o sistema a partir de sua especificação funcional passando por um processo de síntese para obter os detalhes finais de implementação.

A figura 6.3 mostra os diagramas das etapas envolvidas nos processos de desenvolvimento de um projeto, através das metodologias “*bottom-up*” e “*top-down*”, baseada na utilização de VHDL.

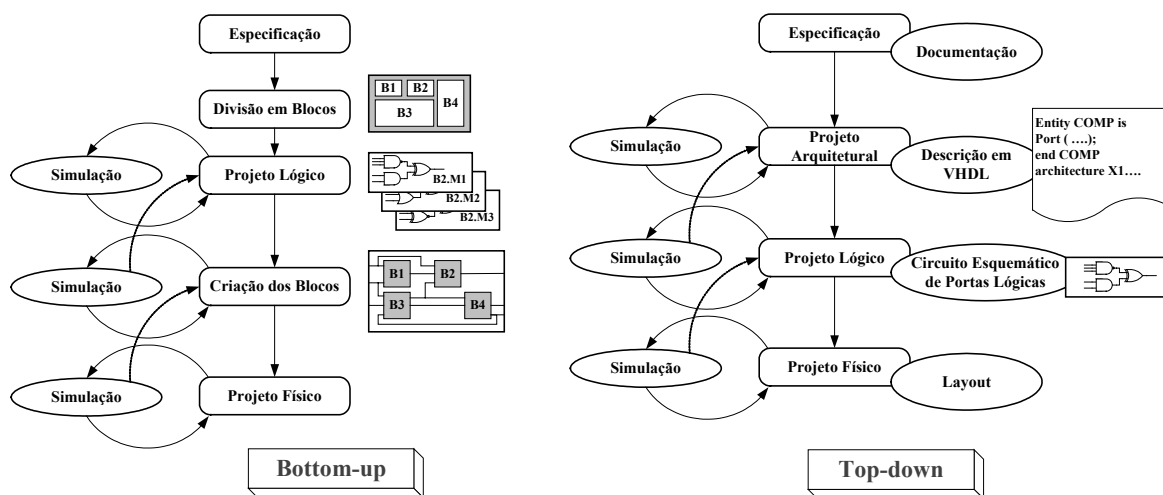


Figura 6.3 – Etapas envolvidas nas metodologias “*bottom-up*” e “*top-down*”.

As linguagens de descrição de hardware se adaptaram melhor nas metodologias do tipo “*top-down*”, permitindo o emprego de diferentes níveis de abstração durante o processo de desenvolvimento, resultando em um projeto estruturado de forma hierárquica.

Uma dos principais benefícios da utilização de metodologias do tipo “*top-down*”, em conjunto com as HDLs, está no fato de que todo o processo de desenvolvimento pode ser efetuado em um formato comum, além de aproveitar todas as vantagens impostas pelo padrão da HDL, onde o desenvolvimento é baseado na utilização de ferramentas de EDA para a criação de códigos, simulações e processos de síntese.

A descrição do projeto “*top-down*” codificada, utilizando linguagem de descrição de hardware, pode ser simulada usando um conjunto de estímulos de entradas fornecidos pelo usuário, ou seja, um modelo abstrato do sistema eletrônico estaria sendo simulado. Uma vez constatada sua funcionalidade, esta descrição do projeto em HDL pode ser sintetizada para uma tecnologia específica, obtendo-se um modelo de hardware e o sistema eletrônico no final das etapas de fabricação, de acordo com a tecnologia especificada. Adicionalmente, o conjunto de estímulos de entrada, utilizado na verificação da funcionalidade do modelo abstrato, pode ser reutilizado para checar a funcionalidade do modelo de hardware sintetizado para a implementação final. Portanto, outra grande vantagem da metodologia é possibilitar o emprego de modelos abstratos e de hardware dentro do mesmo ambiente de desenvolvimento.

As principais etapas e processos na metodologia “*top-down*”, empregando HDLs, serão apresentadas nos próximos sub itens deste capítulo.

### **6.5.1 - Especificação e Documentação**

O primeiro estágio de um projeto é a etapa de especificação. Nesta etapa, todas as características do sistema devem ser claramente definidas antes dos próximos processos de desenvolvimento começarem. Geralmente, a maioria dos problemas que ocorrem nas etapas posteriores dos estágios de desenvolvimento são causados pela existência de inconsistências e imprecisões na especificação do projeto. Este problema é agravado quando a definição do sistema e o seu desenvolvimento são realizados por diferentes equipes, um problema adicional é o formato de intercâmbio entre cada integrante das equipes envolvidas no projeto.

Entretanto, as linguagens de descrição de hardware proporcionam uma interface comum entre as equipes de desenvolvimento de sistema e entre ferramentas de desenvolvimento, permitindo uma forma de intercâmbio de informações comum em todos os níveis de desenvolvimento do projeto, facilitando a sua especificação. A etapa de especificação e a simulação final do sistema podem ajudar no ato de escrita da documentação final do sistema.

Portanto, as linguagens de descrição de hardware, devido as suas características, são ideais para efetuar as especificações do projeto. Assim, as especificações podem ser escritas no nível abstrato do sistema e simuladas para verificação da exatidão e da integridade das descrições especificadas. Os conjuntos de estímulos de testes funcionais, utilizados para averiguar as especificações nesta primeira etapa, podem ser reutilizados ao longo de todos os processos e em todos os níveis de abstração. Assim, este processo contínuo de verificação é



capaz de detectar falhas de projeto e erros nas etapas iniciais de desenvolvimento, onde o processo de correção ainda não representa uma tarefa “custosa”.

Além disso, se a implementação do sistema está planejada para várias tecnologias ou para ser reutilizada em outro sistema, a descrição HDL inicial pode ser utilizada como a informação de entrada deste novo projeto de sistema. Esta característica é muito importante em sistemas com longa vida útil, os quais devem ser atualizados periodicamente, para incorporações de melhorias no seu desempenho. Outro exemplo é o caso de um sistema implementado inicialmente utilizando a tecnologia específica de dispositivo lógico programável, como os FPGAs, e que posteriormente serão implementadas utilizando a tecnologia de um circuito integrado do tipo ASIC.

Todas estas características são fatores que contribuem para o sucesso de um projeto. Assim, o preço pago em termos de esforços humanos na escrita da especificação e documentação, usando uma metodologia baseada em linguagens de descrição de hardware, pode ser facilmente amortizado, especialmente em desenvolvimentos envolvendo diferentes equipes.

### **6.5.2 - Simulação**

Através da utilização da ferramenta de simulação é possível obter a resposta de um sistema em função de um conjunto estímulos de entradas, permitindo a avaliação do desempenho do sistema antes mesmo de ser fabricado. Assim, as ferramentas de simulação são úteis em projetos de sistemas baseados em componentes, onde protótipos anteriores podem ser construídos para estimar o desempenho do sistema e para livrar-se dos defeitos do projeto. Entretanto, simuladores são essenciais nos projeto de circuitos integrados onde devido aos custos envolvidos não é viável fabricar um protótipo apenas para avaliar o seu desempenho. A criação do protótipo implica em processos complexos de fabricação e o método de tentativa e erro não é adequado para ser utilizado nestes casos. Assim, neste caso o circuito deve ser simulado com um grande conjunto de situações e a sua funcionalidade comprovada antes dos primeiros protótipos serem fabricados.

Por outro lado, uma descrição de um sistema em HDL, especialmente empregando VHDL, pode ser simulada com a mesma ferramenta em qualquer nível de abstração ou domínio de criação. Além de permitir a simulação de projetos com descrições associadas, algumas partes definidas pelo seu comportamento e outras pela sua estrutura.

As principais diferenças na simulação com referência ao nível de abstração da descrição de entrada são o desempenho do simulador e a precisão dos resultados obtidos.

O desempenho do simulador é avaliado em função do tempo requerido pelo simulador para simular um dado modelo. Quanto maior o nível de abstração considerado melhor será o desempenho relativo alcançado. Este comportamento se deve ao fato de que o número de objetos que o simulador tem que considerar é menor à medida que o nível de abstração aumenta. Além disso, níveis de abstração elevados implicam na utilização de algoritmos na descrição que são fáceis de simular em computadores. Alguns tipos de simuladores VHDL podem ser executados com aceleradores de hardware para aumentarem o desempenho do simulador, enquanto outros, como o ModelSim da Mentor Graphics, permitem a utilização de diferentes tipos HDL em um mesmo projeto, como Verilog, System-C e VHDL.

A precisão dos resultados é um fator avaliado em função da semelhança entre os resultados obtidos pelo simulador e os reais. Entretanto a precisão dos resultados obtidos está diretamente relacionada com o nível de abstração da descrição de entrada do projeto. Considerando elevados níveis de abstração, a precisão relativa dos resultados será menor. Entretanto, isto não significa que o projeto não está funcionando corretamente. Por exemplo, se uma descrição no nível lógico é utilizada, os resultados obtidos conterão informações relacionadas aos tempos e atrasos dos sinais, enquanto se uma descrição ao nível de algoritmo for considerada, nenhuma informação relacionada com tempo estará disponível nos resultados. A figura 6.4 mostra os conceitos de uma forma visual, para diferentes níveis de abstração.

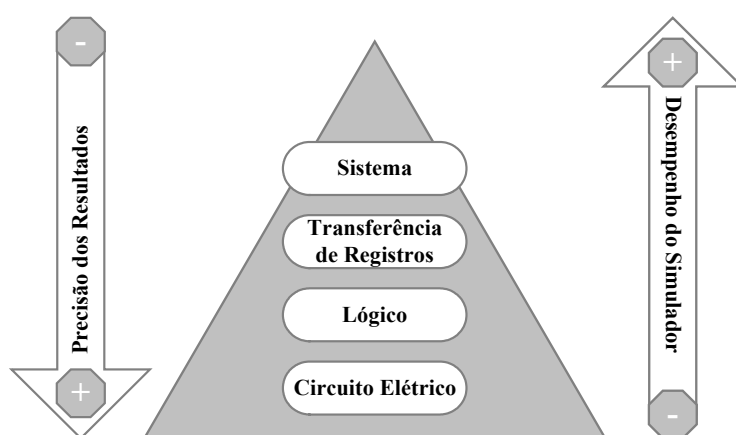


Figura 6.4 - Desempenho e precisão dos resultados do Simulador em função do nível de abstração.

Os conjuntos de estímulos de entrada que serão utilizados para simular a descrição do sistema em HDL podem ser escritos na mesma linguagem, permitindo uma maneira fácil para especificar as formas de onda de entrada, e tornando o arquivo de simulação independente da

ferramenta de desenvolvimento que esta sendo utilizada. Este arquivo de entrada que representa os estímulos de entrada é usualmente chamado de “*testbench*” e pode ser utilizado por todas as descrições em um mesmo dispositivo e em todas as fases de desenvolvimento.

Basicamente existem dois tipos de simuladores: os analógicos e os digitais, e um dos fatores principais que os diferenciam é a maneira com que tratam a evolução do tempo. Os simuladores analógicos usualmente utilizam modelos contínuos no tempo, enquanto simuladores digitais utilizam modelos discretos no tempo, onde o tempo avança de maneira discreta. Os simuladores digitais podem ser do tipo acionados por tempo e por evento. Os simuladores digitais acionados por tempo (“*time-driven*”) calculam os estados do sistema a cada passo de tempo, e os acionados por eventos (“*event-driven*”) calculam os estados do circuito quando algum evento novo ocorre e são mais eficientes com sistemas digitais de grande densidade.

Geralmente, os simuladores de VHDL são simuladores digitais do tipo acionados por evento baseados na execução concorrente de processos seqüenciais.

Antes da descrição em VHDL ser simulada, ela deve passar por uma seqüência de etapas que são executadas automaticamente pela ferramenta de simulação, e que usualmente não são acompanhadas pelo usuário.

Na primeira etapa um analisador VHDL verifica a sintaxe do código fonte presente no arquivo fonte e cria uma biblioteca de projeto, estabelecendo as conexões entre os sinais, componentes, e todas as funções requeridas dentro da hierarquia do circuito. A segunda etapa aprimora esta base de dados da biblioteca, criando um conjunto de processos seqüenciais interconectados por sinais que pode ser convertido pelo simulador em um código executável para o processador. Permitindo assim que modelos concorrentes possam ser executados em processadores seqüenciais, onde a comunicação entre os processos é gerenciada por um núcleo de processamento que calcula os eventos a cada avanço de tempo.

A ferramenta de simulação é utilizada em todos os estágios de desenvolvimento nos diferentes níveis de abstração, representando um papel vital no desenvolvimento do projeto.

A seguir é apresentado como a ferramenta de simulação é utilizada durante todos os estágios do projeto.

No estágio inicial, as especificações podem ser simuladas utilizando a linguagem ao nível do sistema, em conjunto com os estímulos de entrada para verificar a funcionalidade do sistema. Estando esta descrição inicial em concordância com as exigências de projeto, a descrição da especificação e os resultados de simulação serão utilizados como informações de entrada do próximo estágio. Adicionalmente, é importante salientar que os estímulos de

entrada que foram utilizados na verificação da funcionalidade do sistema podem ser reutilizados nos estágios posteriores;

No próximo estágio de projeto a descrição do sistema total é dividida em blocos menores. Cada bloco é sintetizado para um nível de abstração menor, convertendo os tipos de dados e as estruturas de controle em algo mais próximo das estruturas de hardware. O objetivo é obter um modelo ao nível de RTL que pode ser testado novamente através dos estímulos de entrada utilizados no estágio de especificação. Então, este modelo RTL pode ser simulado para sua exatidão e funcionalidade, incluindo as informações adicionais como esquemas de sincronização e tamanho das operações em termos de números de ciclos de “*clock*”.

O modelo RTL é muito próximo do modelo das estruturas de hardware e podem ser facilmente sintetizadas para estruturas de porta lógica baseada através de uma biblioteca de módulos específica. A descrição resultante será uma conexão de portas lógicas e módulos (“*netlist*”), e o seus resultados de simulação conterão informações dependentes da tecnologia de implementação escolhida como atrasos de propagação dos sinais. Depois deste passo, o sistema pode ser implementado utilizando um conjunto de componentes discretos em uma PCB, um ASIC, um FPGA, é ate mesmo a combinação de todos. O método de modificações depende da implementação final.

Se a tecnologia especificada para a implementação do sistema é um dispositivo ASIC, o projeto físico é determinado nesta etapa. Em função do layout final do circuito, as capacitâncias parasitas e as resistências serão calculadas, refletindo diretamente na determinação dos atrasos reais do circuito integrado final. Estes atrasos podem ser realimentados na descrição estrutural, este processo é denominado de processo “*back-annotated*”, e o resultado será um modelo mais preciso contendo informações físicas reais. Esta consiste na verificação final antes da fabricação do protótipo.

Entretanto, a utilização deste processo de realimentação só se tornou possível e viável após a criação do VITAL – “*VHDL Initiative Toward ASIC Libraries*”, que é um padrão relacionado com VHDL que suporta a modelagem dos atrasos em simulações realimentadas. Adicionalmente, a inclusão do padrão VITAL na simulação também contribuiu na aceleração das simulações de descrições no nível lógico, que usualmente são muito lentas nos simuladores VHDL convencionais.

### 6.5.3 - Síntese

Síntese é a transformação de uma descrição com elevado nível de abstração em outra descrição com nível menor de abstração[38-41]. Dependendo do nível inicial de abstração, duas maneiras diferentes de síntese podem ser consideradas: a síntese comportamental e a síntese RTL.

A síntese comportamental converte uma descrição algorítmica em um modelo no nível de transferências de registros, nível RTL. A síntese RTL converte uma descrição no nível de transferência de registros em um modelo no nível lógico.

A principal diferença entre descrições algorítmicas e de transferência de registros está na especificação do esquema de sinal de “*clock*”, que não é estipulado na descrição algorítmica somente na descrição RTL, onde também os registradores podem ser identificados.

No segundo processo de transformação, chamado de síntese RTL, a descrição RTL é convertida para um conjunto de portas lógicas interconectadas. A descrição resultante contém informações sobre os atrasos dos sinais outros parâmetros relacionados com tempo.

A síntese RTL é usualmente efetuada em dois passos. No primeiro passo, o sintetizador converte a descrição no nível de transferência de registro para um conjunto de módulos genéricos, como multiplicadores, somadores, comparadores. Este processo é chamado de auto-síntese. O segundo passo é relacionado com a tecnologia de mapeamento e a otimização das funções “*booleanas*”. Neste processo o circuito lógico é mapeado em um conjunto especial de portas lógicas presentes na biblioteca, e os algoritmos de otimização são aplicados.

O processo de síntese permite a escolha das preferências nas opções de otimização, que usualmente estão em termos de área e/ou velocidade, ou seja, em função de tempo de propagação de sinal ou de exigências de hardware.

A descrição esquemática do circuito gerado também pode ser simulada utilizando a mesma ferramenta e o mesmo “*testbench*”, contendo o conjunto de estímulos de entrada utilizados nos estágios anteriores de desenvolvimento do projeto.

As ferramentas de síntese RTL estão disponíveis a muitos anos e vários fabricantes apresentam seus produtos capazes de sintetizar diferentes tipos de HDL, como VHDL e Verilog. Na maioria dos casos, a descrição da especificação é sintetizada da descrição comportamental para uma descrição ao nível de transferência de registros e a ferramenta de síntese RTL é utilizada para criar o circuito esquemático do projeto. Por outro lado, algumas

ferramentas de síntese têm algumas limitações quanto ao tipo de códigos HDL que são aceitos, de acordo com o nível de abstração que eles consideram.

A dependência do resultado em função do estilo empregado no código, ou seja, se o código não é escrito utilizando o ponto de vista do sintetizador, os resultados em termos de utilização de área de hardware e os esforços de tempo, representados pelos atrasos de propagação, do circuito final poderão não ser satisfatórios. Apesar das ferramentas de síntese serem totalmente compatíveis com toda a gama de sintaxe do VHDL, não possuem suporte para todas as semânticas possíveis devido aos níveis de abstração permitidos. A interpretação de construções de códigos em VHDL pelo sintetizador pode ser classificada em quatro categorias: desprezível sem efeitos na saída, síntese-especial, não-sintetizável e sintetizável.

A categoria desprezível sem efeitos na saída representa as construções que podem ser desprezadas não afetando o resultado de saída, por exemplo, os comentários presentes no código. A categoria de síntese-especial representa construções que são tratadas de uma maneira especial pela ferramenta de síntese. A categoria não-sintetizável representa construções que a ferramenta não suporta e que afetam a funcionalidade do projeto, assim a operação de síntese não pode ser realizada. A categoria sintetizável representa as construções que são suportadas pela ferramenta e sintetizadas corretamente.

## 6.6 - Conclusões

A utilização de VHDL em conjunto com as ferramentas de síntese deu origem a uma nova metodologia que aumentou a eficácia dos projetos, diminuindo o ciclo necessário para sua implementação e possibilitando aplicações a custos menores.

Adicionalmente, o uso da linguagem VHDL garante uma maior robustez de projeto, uma vez que a especificação do hardware poderá ser submetida a uma série de experimentos de validação, através das etapas de simulação. Além disso, o VHDL permite projeto no estilo “*top-down*”, baseado em funções com elevado nível de abstração, ao invés de projetos elaborados ao nível de portas lógicas.

Portanto, o desenvolvimento de todo o projeto do sistema de controle digital da topologia Boost-ZCS Interleaved (aplicação como pré-regulador retificador com elevado fator de potência), será efetuado através desta nova metodologia de projeto baseada na utilização da linguagem de descrição de hardware, VHDL, em conjunto com as ferramentas EDA de desenvolvimento, num estilo de projeto “*top-down*”.

## 7 - Controle Digital

### 7.1 – Introdução

O estágio de controle dos conversores de potência chaveados geralmente é baseado na utilização de circuitos integrados analógicos comerciais, por apresentarem um baixo custo e facilidade de utilização. Apesar da existência destes circuitos integrados que oferecem o controle no modo de condução crítica da corrente através do indutor para conversores Boost, o controle disponível leva em consideração somente uma célula de potência [50, 51].

Por outro lado, a técnica de “*interleaving*” consiste em várias células de potência operando em conjunto em uma associação em paralelo, mas com seus sinais de comando defasados entre si de  $(2\pi/n)$  radianos, onde  $n$  é o número de células de potência empregadas [6, 9].

Assim, na atuação de duas ou mais células de potência de um conversor boost, operando no modo de condução crítica com técnica de “*interleaving*”, o controle analógico usualmente envolve a associação de vários CIs, ou, a aplicação de técnicas do tipo Mestre/Escravo, em conjunto com lógicas adicionais de determinação da defasagem de comando de cada conversor em paralelo, aumentando a complexidade do circuito de comando. O maior problema consiste na determinação da defasagem a ser utilizada pelo circuito de controle, principalmente quando as células de potência estão operando como parte de um pré-regulador retificador (conversão CA/CC), onde, devido ao modo de condução, a frequência de chaveamento é variável [2, 5 e 7].

A melhoria no desempenho e a redução dos custos dos circuitos digitais, tornou possível a aplicação destes circuitos nos estágios de controle de conversores de potência. Estes estágios de controle digital são usualmente baseados em DSPs (“*Digital Signal Processor*”) e aproveitam seus recursos matemáticos orientados e as estruturas embutidas nos dispositivos (conversores A/D, geradores de PWM, etc). Estes dispositivos são capazes de implementar algoritmos complexos com muitas operações matemáticas. Entretanto, DSPs não são muito empregados em aplicações de baixo custo e com elevadas frequências de chaveamento. A principal limitação dos DSPs é sua operação do tipo sequencial, onde as instruções são executadas uma após a outra [52-57].

A implementação de sistemas de controle utilizando dispositivos lógicos programáveis permite a utilização de operações concorrentes. Assim, em um dispositivo FPGA, por exemplo, todos os processos de controle podem ser executados continuamente e



simultaneamente, permitindo em alguns casos o processamento de algoritmos em velocidades superiores aos DSPs. Adicionalmente, este tipo de implementação admite a utilização de novas metodologias de projeto digital, onde a funcionalidade do controlador pode ser descrita através de um modelo comportamental, utilizando linguagens de descrição de hardware como VHDL [56 e 57].

A principal desvantagem da utilização do FPGA neste tipo de aplicação é o custo total do sistema, pois usualmente requer o acoplamento do FPGA com dispositivos externos adicionais (conversores A/D). A presença de conversores A/D integrados ao dispositivo FPGA ainda está restrita a famílias específicas e que possuem um elevado custo. Por outro lado, os dispositivos externos adicionais são facilmente acoplados devido à capacidade que os dispositivos FPGA possuem em suportar vários tipos de padrões de sinais em seus terminais de entrada e saída, não requerendo sistemas de conversão de padrão de sinais.

Por outro lado, um único dispositivo FPGA poderia controlar diversos processos e diferentes estruturas conversoras, aproveitando-se todas as suas potencialidades, reduzindo-se os custos efetivos de sua aplicação.

Logicamente, quanto maior for a potência processada pelo estágio de potência, e a complexidade dos circuitos de comando convencionais, mais adequada será a aplicação dos sistemas de controle baseados em dispositivos do tipo FPGA.

## **7.2 – Controle Digital**

### **7.2.1 – Metodologia de Desenvolvimento**

O desenvolvimento do projeto do sistema de controle digital emprega a metodologia apresentada nos capítulos 3 e 6, consistindo do uso de linguagem de descrição de hardware VHDL em conjunto com as ferramentas EDA do fabricante do dispositivo lógico programável especificado para a implementação.

O dispositivo especificado para o desenvolvimento dos sinais de controle é o FPGA XC2S200epq208-6C da família Spartan-IIe, fabricado pela Xilinx. A ferramenta EDA utilizada é a ISE Foundation 6.3i-Sp3. A ferramenta de síntese utilizada é a XST - Xilinx Synthesis Technology, presente no pacote ISE. Entretanto, o simulador utilizado é o ModelSim 5.8C XE II Starter da Model Technology, uma versão especial com bibliotecas otimizadas para este pacote.

Apesar das descrições efetuadas em códigos VHDL serem independentes de tecnologia, o emprego de uma ferramenta de síntese que possua bibliotecas específicas e

otimizadas para o dispositivo FPGA empregado é muito importante, pois ela pode utilizar os recursos tecnológicos adicionais que estão presentes no dispositivo, fato que pode refletir no aumento do desempenho.

A ferramenta de síntese foi configurada inicialmente para operar com os critérios de otimização voltados para o fator velocidade, privilegiando os sistemas que possam operar em frequências mais elevadas, ou seja, com menores tempos, relaxando as restrições envolvidas com o custo da área requerida no dispositivo. Posteriormente, em função do grau de ocupação do dispositivo, a ferramenta de síntese foi configurada para a otimização em função da área, ou seja, a ferramenta dá preferência ao circuito que execute a tarefa, mas que proporcione um menor custo de ocupação de área e que consiga atender todas as restrições de tempo imposta pelo projeto.

A figura 7.1 mostra as principais configurações utilizadas na ferramenta de síntese.

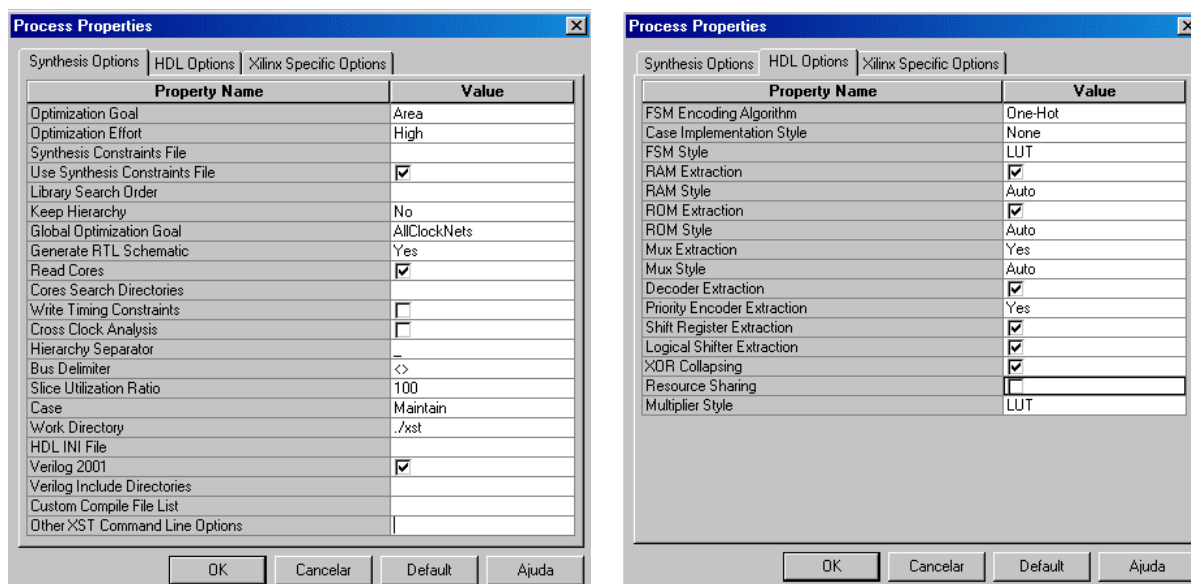


Figura 7.1 – Principais configurações utilizadas na ferramenta de síntese.

Usualmente, as descrições comportamentais de sistemas de hardware são estabelecidas em elevados níveis de abstração, através da utilização de máquina de estados finitos (FSM – “*Finite State Machine*”). Esta metodologia é baseada na existência de estados que representam todas as fases de uma lógica predeterminada de execução.

Por outro lado, os métodos de projeto para máquina de estados finitos, implementados em FPGAs, geralmente não são otimizados da maneira tradicional. Isto ocorre devido ao grande número de flip-flops presentes em cada CLB de um FPGA. A criação de termos lógicos combinacionais complexos usualmente emprega vários CLBs, entretanto, a conexão entre CLBs é geralmente mais lenta que a conexão entre flip flops dentro da mesma CLB. Portanto, o projeto típico otimizado de uma máquina de estado utilizando poucos flip-flops e

muita lógica combinacional usualmente não é adequado para FPGAs. Um dos métodos mais utilizados para o projeto de uma máquina de estados finitos para FPGAs é o conhecido como codificação do tipo “*one-hot*”. Neste método, cada estado é representado por um único flip-flop ao invés de ser codificado através da saída de vários flip-flops, reduzindo a quantidade de lógica combinacional relacionada com a representação dos estados, uma vez que apenas um bit necessita ser verificado para ver se a máquina de estado está em um estado específico. Entretanto, em algumas situações especiais o ganho relacionado com a representação dos estados na codificação do tipo “*one-hot*” pode ser denegrido caso o controle lógico responsável pelas transições de estados torne-se muito complexo, envolvendo o emprego de grande quantidade de lógica combinacional adicional para sua implementação. Assim, a ferramenta de síntese foi configurada para inferir a codificação do tipo “*one-hot*” para implementar as máquinas de estados finitos - FSM.

### 7.2.2 – Estágios do Controle Digital

O diagrama de blocos simplificado do sistema de controle é apresentado na figura 7.2. O sistema de controle consiste basicamente de dois estágios que operam simultaneamente de maneira síncrona.

O primeiro estágio está relacionado diretamente com o controle da excursão das correntes em cada célula de potência efetuando a imposição do modo de condução crítica e da fase de operação ideal requerida em cada célula de potência, para a implementação da técnica de “*interleaving*”.

O segundo estágio está relacionado com a regulação da tensão de saída, ou seja, é o estágio responsável pela determinação das larguras de pulso a serem empregadas nos interruptores das células de potência para manter o valor da tensão de saída regulada dentro dos padrões previamente especificados para a operação como estrutura pré-reguladora. Este estágio consiste de um amplificador do erro da tensão de saída composto por um filtro digital do tipo FIR (*Finite Impulse Response*) e dois filtros digitais do tipo IIR (*Infinite Impulse Response*), representando a ação de um filtro digital do tipo passa-baixa, de um filtro do tipo “*Notch*” na frequência de 120Hz e de um compensador do tipo proporcional-integral (PI).

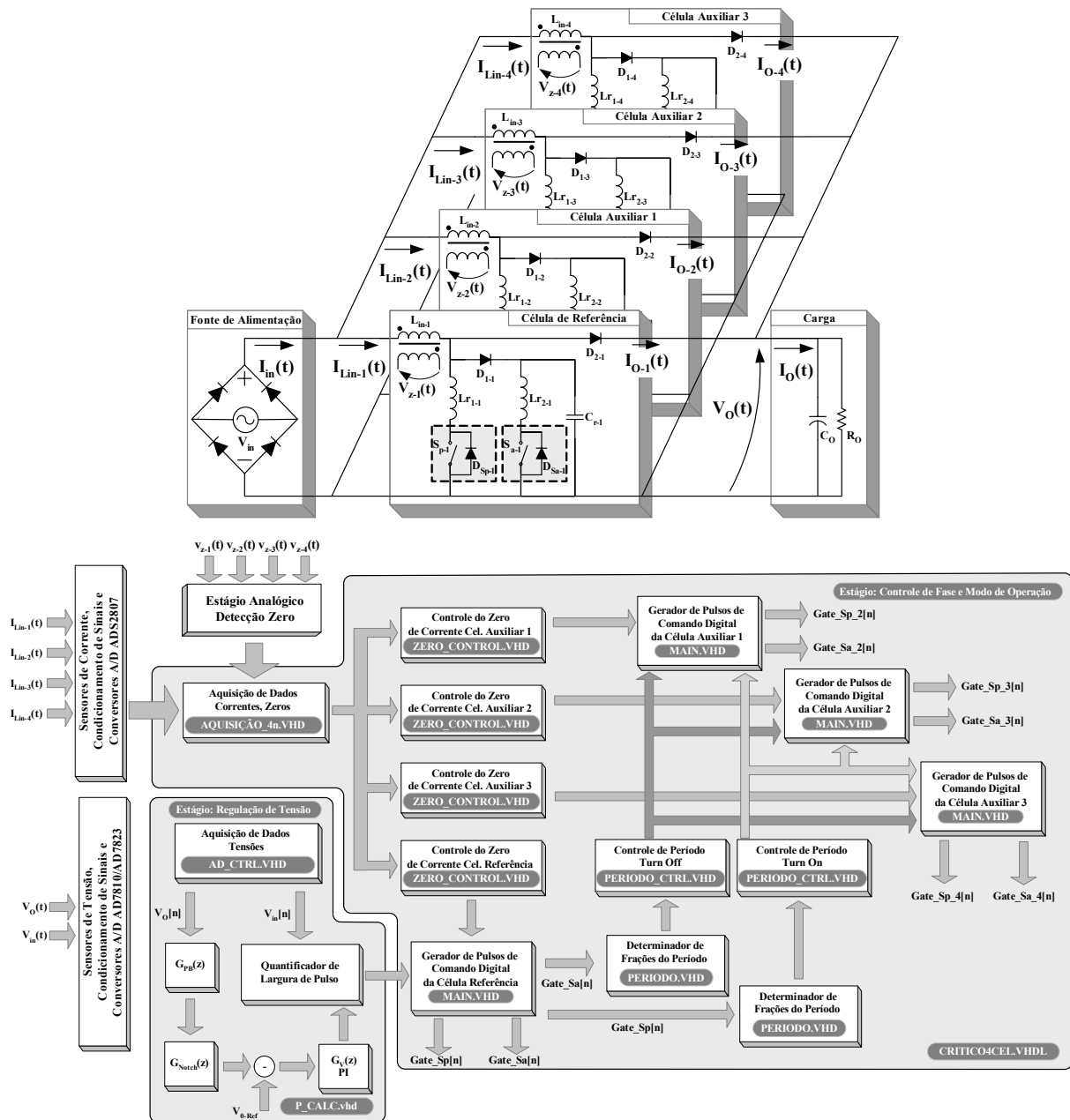


Figura 7.2 – Diagrama Básico do Controle Digital.

### 7.2.3 – Controle de Detecção de Zero

O controle de detecção de zero tem a função de monitorar as correntes através dos indutores de entrada em cada célula de comutação para a determinação do instante de tempo em que estas variáveis alcançam o seu valor nulo. A determinação correta e estável destes instantes é fundamental para a sustentação do modo de condução crítico da corrente através dos indutores de entrada em cada célula de comutação, pois é o instante em que os sinais de controle dos interruptores devem ser acionados iniciando um novo período de chaveamento nas células de comutação.

A determinação destes instantes é realizada de duas maneiras diferentes, simultaneamente, empregando uma metodologia digital e uma analógica.

A metodologia digital está baseada na análise direta de palavras binárias, quantizadas pelos conversores A/D, que são proporcionais às correntes que fluem através dos indutores de cada célula de comutação. Assim, a eficácia desta metodologia está diretamente ligada a “qualidade” do dado quantizado e entregue pelo conversor A/D ao sistema digital. Desta maneira, interpretações errôneas podem surgir nesta metodologia caso o sinal de tensão entregue ao conversor A/D para ser quantizado não esteja correto, ou caso o conversor A/D apresente uma falha em sua operação.

Em virtude das características do conversor A/D utilizado nesta função, o mesmo está sujeito a apresentar uma taxa de falha de aquisição, ou seja, em intervalos aleatórios uma palavra ou parte dela pode não ser quantizada corretamente. Podendo ocasionar uma detecção incorreta de zero em um instante em que a corrente ainda não se anulou, e conseqüentemente acionar um novo período de funcionamento, fazendo com que a comutação dos semicondutores envolvidos ocorra de maneira dissipativa. Este problema foi solucionado através da implementação de uma lógica de aquisição de dados mais elaborada e inteligente, sem a aplicação direta de filtros digitais do tipo “*passa-baixa*” com fase linear convencionais, minimizando os recursos lógicos despendidos com a realização desta tarefa.

Adicionalmente, os sensores de corrente de efeito “*Hall*” localizados nas proximidades dos campos eletromagnéticos dos indutores principais mostraram-se susceptíveis a interferências eletromagnéticas (EMI), ocasionando o deslocamento do valor de tensão referente ao valor correspondente da corrente nula, e a distorção da forma de onda de tensão fornecida pelo sensor, deteriorando a “qualidade” do sinal entregue ao conversor A/D para quantização.

Alguns esforços foram despendidos com o objetivo de eliminar estas interferências, a utilização de uma cinta de cobre em volta dos indutores principais solucionou o problema. Entretanto, a utilização deste tipo de blindagem tornou a indutância dos indutores mais susceptível à variação da frequência de operação. Levando em conta que a topologia foi projetada para operação com frequência de operação variável, mas com indutores com intensidades de indutância fixas, a utilização de indutores com indutâncias variáveis acarreta no deslocamento dos pontos de operação previstos no projeto, podendo afetar os processos de transferência de energia para a carga.

A metodologia analógica está baseada na monitoração da borda de descida de sinais analógicos resultantes da comparação de sinais de tensão provenientes de um enrolamento

secundário com polaridade subtrativa, presente em cada indutor principal (indutor Boost) nas células de comutação, com sinais de tensão estipulados como referência.

Especificamente, o sinal de tensão proveniente do enrolamento secundário é retificado restando apenas a parte da forma de onda proporcional correspondente ao intervalo de descarga de corrente pelo indutor, que por conseguinte é empregada em um comparador de tensão para geração de um sinal digital referente à esta forma de onda, como mostra a figura 7.3a. A detecção da borda de descida deste sinal digital, correspondendo ao instante de corrente nula, é realizada de maneira digital pelo sistema de controle implementado no dispositivo FPGA.

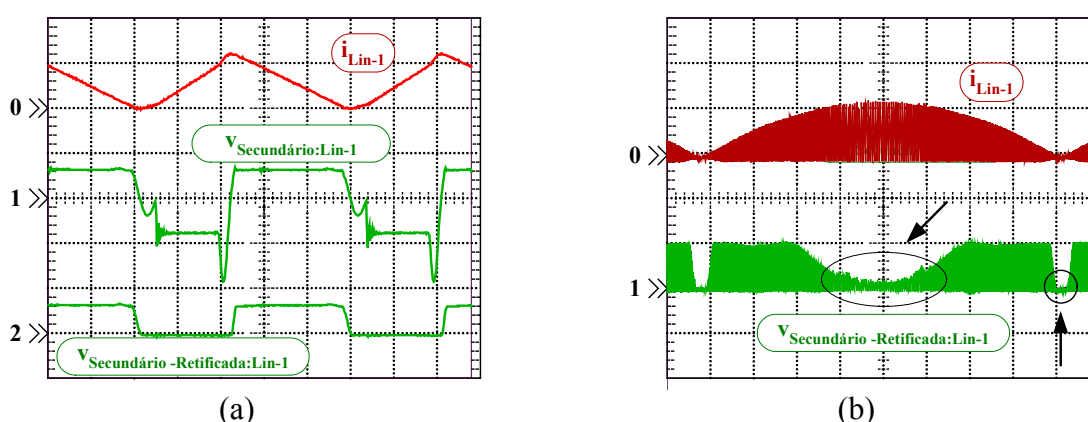


Figura 7.3 – Formas de Onda Utilizadas na Metodologia de Detecção de Zero Analógica.

As desvantagens desta metodologia estão relacionadas com o fato de requerer um sistema de operação adicional, em todo cruzamento por zero da forma de onda da tensão de entrada, uma vez que o estágio não opera de maneira estável nestes instantes, e diretamente com a amplitude de sinal analógico retificado utilizado, proporcional à tensão sobre o indutor, que por sua vez depende da taxa de variação da corrente e da frequência de chaveamento. Em aplicações da estrutura como pré-regulador, à medida que a forma de onda da tensão de entrada vai se aproximando do seu valor de pico, o período de funcionamento vai se tornando maior. Como o tempo de condução é mantido fixo, o tempo de descarga é o fator que vai crescendo, fazendo com que a derivada de corrente se torne mais lenta, e conseqüentemente a forma de onda de tensão apresente uma amplitude referente à descarga da corrente menor com o aumento do período de chaveamento, como mostra a figura 7.3b.

Caso este valor se aproxime do valor de tensão estipulado para detecção da borda do sinal analógico, pode ocasionar a geração de sinais incorretos.

### 7.2.4 – Controle de Fase de Operação

O controle de fase de operação possui o objetivo de impor a defasagem de operação entre as células, requerida pela aplicação da técnica de “*interleaving*”. Basicamente o controle de fase monitora a operação de uma célula tomada como referência, e, a partir dos dados específicos coletados desta, controla a entrada em condução ou o bloqueio das demais células de maneira que a operação destas estejam igualmente distribuídas dentro do período de operação da célula de referência.

A atuação do controle de fase pode ser realizada através do controle da entrada em condução ou do bloqueio dos interruptores das células de potência, ou através da atuação conjunta destas duas metodologias.

A metodologia baseada no controle da entrada em condução utiliza a borda de subida do sinal de comando do interruptor principal da célula adotada como referência para determinar os valores de referência de fase. A partir destes valores o sistema de controle determina as fases em que as demais células de potência devem ser comandadas para condução.

A metodologia baseada no controle do bloqueio utiliza a borda de subida do sinal de controle do interruptor auxiliar da célula adotada como referência para determinar os valores de referência de fase para o bloqueio dos interruptores nas demais células de potência. Uma vez que a célula de comutação utilizada possui um ramo ressonante responsável por proporcionar comutação não dissipativa aos semicondutores, mesmo que exista o comando de bloqueio pelo controle de fase, o controle sempre deverá avaliar a situação e atuar no ramo ressonante através do sinal de comando do interruptor auxiliar para garantir a comutação suave. Caso a célula de potência utilizada fosse do tipo convencional dissipativa, o instante a ser monitorado seria o instante da borda de descida do sinal de comando do interruptor principal.

Assim, as metodologias utilizadas no controle de fase diferem basicamente com relação a variável de controle que é adotada como referência.

Por outro lado, a tarefa de imposição da fase de operação pelo controle de fase colide de maneira frontal com a atuação do controle de detecção de zero para imposição do modo de condução crítica, que por sua vez possui prioridade máxima na escala de tarefas de controle, devido às células não possuírem exatamente os mesmos parâmetros físicos.

Apesar das células auxiliares estarem sendo acionadas com sinais de controle possuindo larguras de pulso exatamente iguais aos submetidos à célula de potência de

referência, uma vez que as células auxiliares não possuem exatamente os mesmos parâmetros, principalmente os valores de indutância dos indutores, o tempo envolvido na etapa de transferência de energia para a carga em cada célula de potência auxiliar pode variar, fazendo com que o instante de tempo no qual a corrente através do indutor se anula ocorra antes ou depois do instante de tempo delimitado para sua entrada em condução informado pelo controle de fase.

Assim, a atuação do controle de fase e do controle de detecção de zero depende diretamente do instante de tempo em que a corrente nula através dos indutores principais acontece em cada célula de potência auxiliar, ou seja, se este instante está localizado antes ou depois do instante delimitado como referência pelo controle de fase.

Considerando o controle de fase de operação utilizando a metodologia baseada na entrada em condução dos interruptores, a figura 7.4 ilustra alguns casos e as consequências da atuação do controle de fase de operação e de detecção de zero nestas situações.

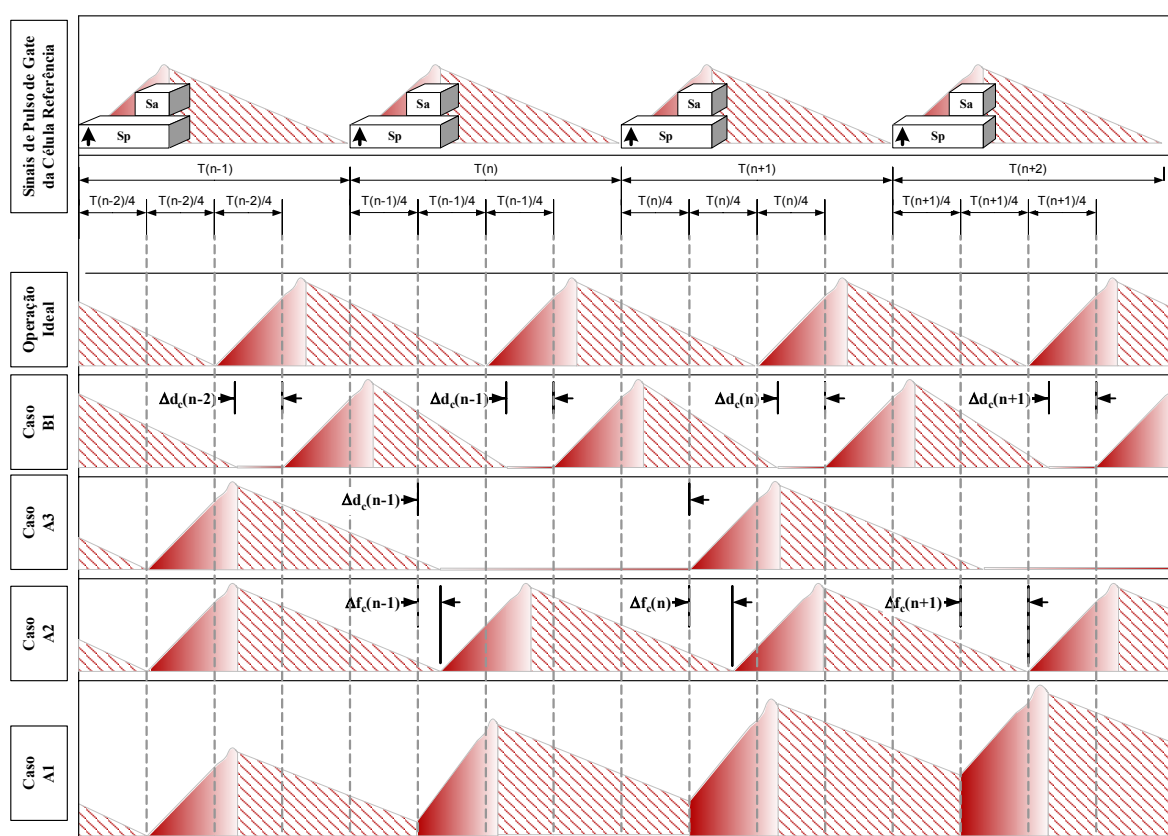


Figura 7.4 – Problemas relacionados com a atuação dos controles de fase e de detecção de zero.



Supondo que o instante para corrente nula esteja localizado após o ponto de referência de fase, ou seja, a etapa de transferência de energia para a carga demandou um intervalo de tempo maior que o estipulado como referência pelo controle, neste caso o controle de fase não pode comandar a entrada em condução dos interruptores, pois, ainda existe uma parcela de corrente fluindo através do indutor.

Caso o controle de fase force a entrada em condução no ponto de referência nas condições de corrente não nula o modo de condução deixaria de ser crítico e passaria a ser contínuo, como ilustrado no Caso “A1” da Figura 7.4.

Considerando a hipótese do controle de fase possuir prioridade sobre o controle de detecção de zero, o modo de operação passaria a ser contínuo e a instabilidade seria inerente uma vez que as frações de corrente existentes nos instantes de entrada em condução podem ir se somando através de sucessivos períodos, levando a corrente à continuidade através de patamares elevados, pois, a entrada em condução não seria mais comandada pelo sinal de corrente nula. Além disso, mesmo que este processo consiga permanecer estável, elimina uma das grandes vantagens da operação no modo de condução crítico, a minimização das perdas e problemas relacionados com a recuperação reversa do diodo, uma vez que o diodo estaria sendo bloqueado com um patamar de corrente positivo fluindo através de si, ou seja, com corrente contínua.

Considerando ainda a hipótese do controle de fase possuir prioridade sobre o controle de detecção de zero e que o instante para corrente nula esteja localizado após o ponto de referência de fase, mas com a atuação do controle de fase inibindo a ação do controle de detecção de zero deixando a célula inativa até que atinja o próximo instante do ponto de referência ocasionando o surgimento de um intervalo de condução descontínua forçado pelo controle de fase, como ilustrado no caso “A3” da figura 7.4.

Por outro lado, a atuação do controle de detecção de zero implica na imposição da entrada em condução dos interruptores em cada célula no momento exato que o mesmo detecte que a corrente através do indutor se anula. Considerando a hipótese que este instante para corrente nula aconteça posteriormente ao instante delimitado como referência pelo controle de fase e que a entrada em condução anterior foi realizada exatamente no instante demarcado como referência para entrada em condução, como ilustra o caso “A2” na figura 7.4.

Caso esta célula esteja operando em regime permanente, em uma aplicação como conversor CC/CC e com período de funcionamento estabilizado e constante, teríamos a célula operando no modo de condução crítico, mas sem controle de fase, perdendo as vantagens da

técnica de “*interleaving*”, incluindo a minimização de “*ripple*”. Extrapolando a hipótese para a aplicação da célula como estrutura pré-reguladora, o modo de condução permanece sendo crítico, mas, como o período torna-se variável, um fenômeno de deslocamento de fase passa a ocorrer, de acordo com o caso “A2” da figura 7.4. Desta maneira, têm-se células de potência operando no modo de condução crítica, porém com diferenças de fase variáveis entre si diferentes das requeridas para aplicação da técnica de “*interleaving*”. Este deslocamento de fase acarreta na perda das vantagens da minimização de “*ripple*”, pois a fase é independente e consequência direta do instante em que a corrente através do indutor se anula.

Assim, se por um lado o controle de fase deve ser suprimido pelo controle de detecção de zero para evitar a entrada no modo de condução contínuo, por outro lado a atuação exclusiva do controle de detecção de zero pode levar a perda global do controle de fase. Portanto, a operação das células quando o instante de corrente nula está localizado após o valor de referência de fase não é desejável.

Considerando a hipótese que o instante demarcado pela corrente nula esteja localizado antes do ponto de referência estipulado pelo controle de fase para a entrada em condução da célula em questão, existem duas possibilidades: o controle de fase poderá atuar ou ser inibido pelo controle de detecção de zero.

A atuação do controle de fase inibe o controle de detecção de zero deixando a célula inativa até que atinja o instante do ponto de referência, desta maneira ocasionando o surgimento de um intervalo de condução descontínua forçado pelo controle de fase, como ilustrado no caso “B1” da figura 7.4. Além disso, como a fase de operação é limitada em seu valor de referência, evita-se o fenômeno de deslocamento de fase que ocorre quando o controle de fase é bloqueado pela atuação do controle de detecção de zero nestas circunstâncias.

Assim, o período de funcionamento da célula tomada como referência deve sempre ser imposto e maior que o período de funcionamento das demais, garantindo que o instante de tempo em que a corrente se tornará nula sempre ocorrerá antes do instante de referência dado pelo controle de operação de fase, desta maneira a instabilidade do controle de fase não ocorre, porém, o custo desta imposição será pago pela existência de uma parcela de condução descontínua no período de funcionamento concernente ao tempo de espera até o instante de referência dado pelo controle de operação de fase. Observa-se entretanto que esta descontinuidade, quando ocorrer, será mantida muito pequena e praticamente desprezível, não descaracterizando a operação no modo de condução crítica.

A vantagem da técnica baseada no controle da entrada em condução, considerando sinais de comando com larguras de pulso idênticas, consiste na imposição da entrada em condução sempre no instante determinado como sendo a referência e na limitação dos valores de pico das correntes através dos indutores principais nas células de potência, uma vez que estes valores são pré-determinados a cada período de funcionamento.

Entretanto, esta metodologia possui a desvantagem de poder apresentar períodos de chaveamento diferentes em cada célula, uma vez que os parâmetros das células de potência não são exatamente iguais, mas sim próximos. Outro fator negativo é que a informação utilizada para determinação dos valores de referência de fase para entrada em condução está baseada apenas em dados dos períodos anteriores, enquanto a outra metodologia utiliza além da informação dos períodos anteriores a informação da largura de pulso do interruptor principal utilizada no período atual. Além disso, caso uma perturbação ocorra na operação do conversor e faça com que a corrente se anule após o instante delimitado pelo controle de fase para sua entrada em condução, o controle manteria a célula desligada até o próximo sinal de controle de fase, ou seja, a célula ficaria um período de chaveamento sem operar sobrecarregando a operação das demais, caso “A3” da figura 7.4.

As figuras 7.5 e 7.6 mostram os sinais de referência utilizados nas metodologias controle de fase de operação considerando o controle da entrada em condução e do bloqueio dos interruptores, respectivamente.

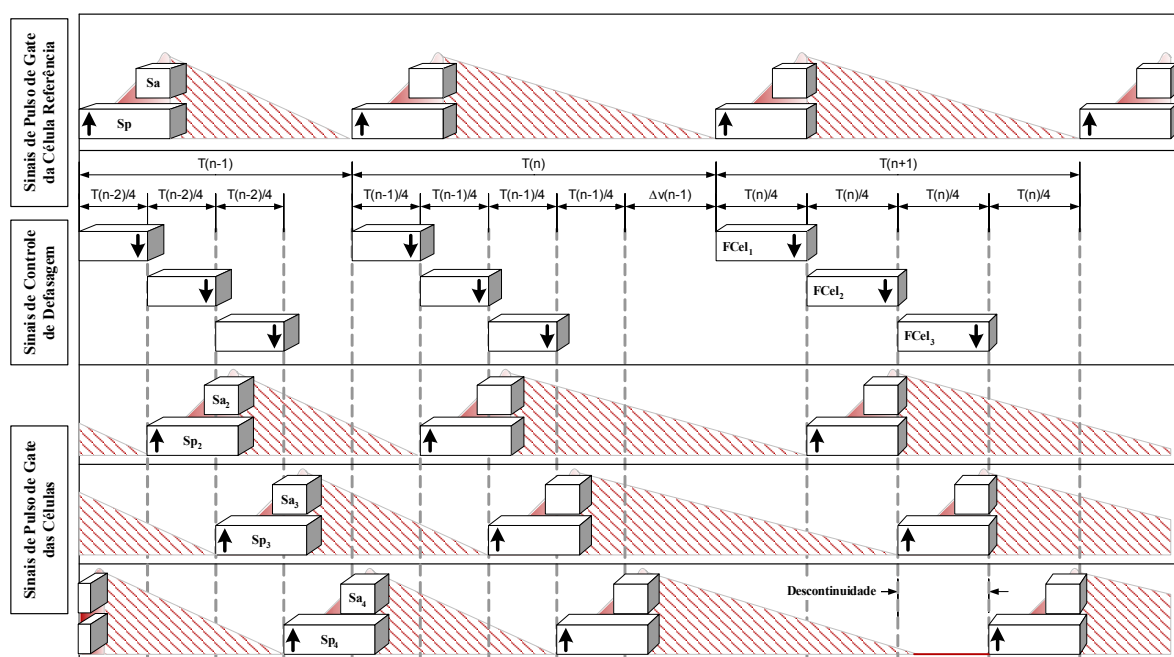


Figura 7.5- Técnica de controle de fase de operação baseada no sinal de comando do interruptor principal da célula de potência adotada como referência, geração dos sinais de referência.

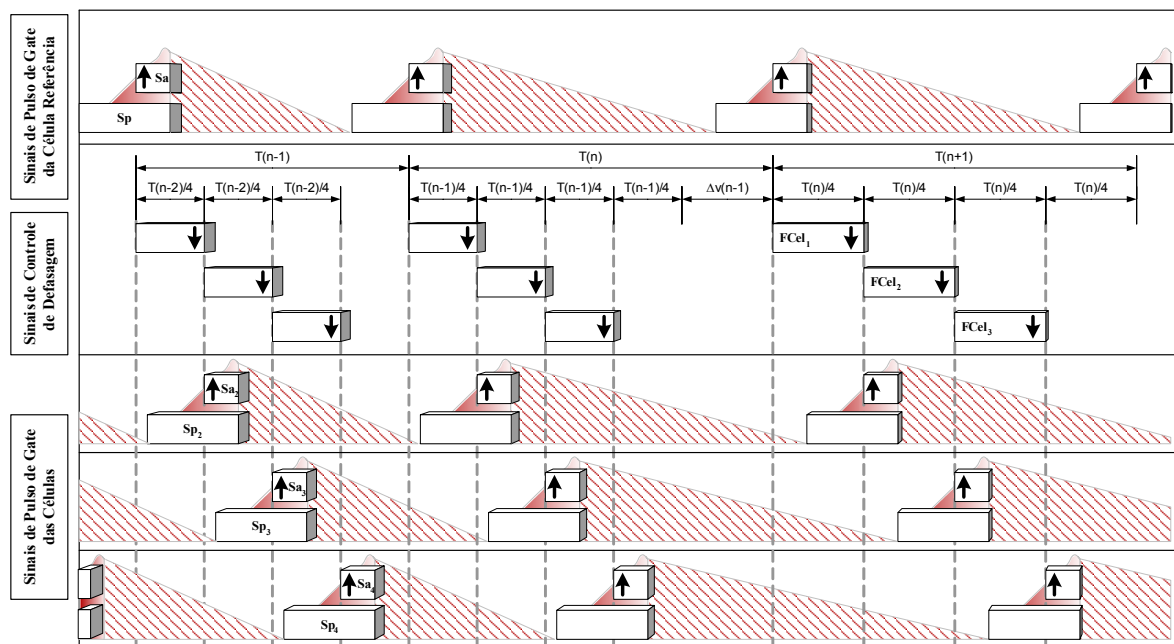


Figura 7.6- Técnica de controle de fase baseada no sinal de comando do interruptor auxiliar da célula de potência adotada como referência, geração dos sinais de referência.

A vantagem da técnica baseada no controle do bloqueio consiste na obtenção de períodos de chaveamento iguais, entretanto os valores de pico de corrente são dependentes diretamente do período de funcionamento da célula de potência tomada como referência, dos parâmetros da célula auxiliar e do instante de entrada em condução dos interruptores. A desvantagem é que a metodologia não possui um sinal de referência para a entrada em condução dos interruptores, uma vez que a metodologia tenta impor este instante em função do auto-ajuste das larguras de pulso dos sinais de comando fornecidos aos interruptores.

Este tipo de ação frente a perturbações na fase de operação tem como consequência direta a variação do valor de pico com o objetivo de adequação do valor do período. Esta correção de fase pode ser efetuada através de uma única atuação, fazendo com que a célula retorne imediatamente ao seu valor de referência de fase de operação. Entretanto, este caso é indesejável, pois, teríamos variações bruscas na amplitude de corrente, influenciando diretamente na soma das formas de onda de corrente, ou seja, no “*ripple*”. Por outro lado, o processo de correção pode ser diluído em vários períodos fazendo com que o controle permita apenas uma máxima variação deste valor de pico de corrente, para não existir uma variação muito grande na somatória dos “*ripples*”, assim, a célula voltaria para seu valor de referência em alguns períodos de funcionamento.

Portanto, a implementação da técnica de “*interleaving*” utilizada neste trabalho está baseada na utilização simultânea das metodologias de controle de fase de operação em função da imposição da entrada em condução e do bloqueio dos interruptores, de maneira genérica.

No entanto, caso a discrepância entre os períodos se torne muito grande, em função da utilização de células de comutação com parâmetros muito diferentes, mesmo as células operando nos valores de referência de fase a contribuição da aplicação da técnica de “*interleaving*” na minimização do “*ripple*” da corrente de entrada pode ser denegrida uma vez cada célula estará contribuindo com parcelas de corrente em escalas diferentes, e o deslocamento de fase usual demandado pela técnica do “*interleaving*” passa a não ser mais eficaz na minimização do “*ripple*” da corrente de entrada.

### 7.2.5 – Implementação dos Blocos Funcionais

O sistema de controle foi subdividido em blocos menores de acordo com a metodologia de projeto, esta divisão em blocos menores permitiu a reutilização dos componentes desenvolvidos de uma maneira mais fácil e a implementação de cada tarefa de uma maneira mais adequada. Os componentes relacionados com tarefas lógicas e aritméticas foram desenvolvidos utilizando o modelo de descrição comportamental permitido em VHDL. Enquanto os componentes relacionados exclusivamente com recursos aritméticos, como os filtros e o compensador, foram desenvolvidos utilizando núcleos parametrizáveis otimizados de multiplicadores e somadores presentes na ferramenta System Generator 6.3 da Xilinx, e posteriormente inseridos no sistema de controle como “caixas-pretas” utilizando a descrição do tipo estrutural. O emprego dos núcleos parametrizáveis nestes componentes resultou em uma melhor performance (tempo/área) que a obtida com a descrição comportamental desenvolvida para realizar a mesma tarefa (utilização dos recursos do dispositivo RAM, etc).

Nas próximas seções as funções dos componentes principais serão apresentadas, em conjunto com a descrição de seu funcionamento, assim como, os resultados estatísticos estimados pela ferramenta de síntese. Os códigos VHDL para cada componente estão presentes no apêndice A. Adicionalmente, cada componente desenvolvido foi alvo de simulações para comprovação da sua correta funcionalidade. O conjunto de estímulos de entrada empregado na simulação de cada componente, ou seja, os arquivos “*testbenchs*”, são descritos na mesma linguagem de descrição de hardware VHDL e foram criados com o auxílio da ferramenta HDL Bench, presente no conjunto de ferramentas disponíveis no pacote do ISE Foundation.

#### 7.2.5.1 - Componente AQUISIÇÃO\_4

A arquitetura deste componente foi desenvolvida através de uma descrição do tipo comportamental composta por dois processos concorrentes.

Os dados de entrada deste componente são quatro palavras de doze bits (DIN\_A, DIN\_B, DIN\_C e DIN\_D), oito sinais de controle de conversão (ENABLE\_A, ENABLE\_B, ENABLE\_C, ENABLE\_D, OVR\_A, OVR\_B, OVR\_C e OVR\_D) e quatro sinais provenientes dos sensores de detecção de zero da metodologia analógica (ZEROA\_A\_IN, ZEROA\_B\_IN, ZEROA\_C\_IN e ZEROA\_D\_IN) e dois sinais de controle, o CLOCK e o RESET. Os dados de saída são todos os dados de entrada A/D

O primeiro processo tem a função de criar um sinal de controle com uma frequência de 12,5MHz, onde em 50% do período o sinal terá nível lógico 1 e nos outros 50% do período nível lógico 0. Este sinal é utilizado como sinal de ativação dos conversores A/D ADS2807, utilizados para a aquisição dos sinais de tensão proporcionais às correntes de entrada em cada célula de potência. Devido a configuração pré-estipulada dos conversores A/D, este sinal de ativação controla a taxa de amostragem apresentada por cada conversor em função da frequência de sua forma de onda. Portanto, a taxa de amostragem neste caso será de 12,5MHz e poderá ser alterada facilmente através do código VHDL.

O segundo processo é responsável por coletar, analisar, validar e armazenar as quatro palavras de doze bits, provenientes dos quatro barramentos de saída dos dois conversores A/D, em cada período de amostragem. Este processo também efetua a tarefa de coletar e armazenar os quatro sinais de controle de um bit provenientes dos sensores analógicos de detecção do valor nulo de corrente através dos indutores de entrada nas células de potência.

Adicionalmente, o sinal presente na lista de sensibilidade, que é a lista de sinais cujos eventos são monitorados, deste processo é o mesmo sinal que atua como sinal de controle no conversor A/D (CLK\_OUT), proporcionando desta maneira um sincronismo entre os sinais de controle.

As quatro palavras de doze bits são coletadas e registradas em função dos estados dos sinais de controle enviados pelo conversor A/D. Estes sinais de controle informam a existência de dados válidos no barramento de comunicação, através dos sinais ENABLE, e se o sinal de tensão presente no terminal de entrada do conversor A/D está dentro das escalas permitidas, através dos sinais OVR. Adicionalmente, em conjunto com uma configuração adequada do estágio de condicionamento de sinais o sistema de controle também utiliza os sinais de dado fora de escala para atuação da proteção de sobre-corrente.

Com o objetivo de minimizar os problemas relacionados com eventuais falhas no sistema de aquisição (conversor A/D) as palavras de doze bits coletadas são submetidas a um

processo de validação. Em função do conhecimento prévio do formato e do comportamento das formas de onda quantizadas, o processo de validação consiste na confrontação do dado quantizado atual com o dado registrado e quantizado no período de amostragem anterior. Caso o valor da diferença em módulo entre estes dois valores possua uma intensidade menor que o valor de referência estipulado o sistema valida e registra o dado. Caso contrário, o sistema utiliza o valor registrado no período de amostragem anterior como valor atual e aciona um contador de eventos consecutivos. Havendo recorrências consecutivas de valores acima do valor de referência, o sistema valida e registra o dado atual mesmo estando acima do valor de referência.

Assim, o controle de validação dos dados foi implementado de maneira simples e diferente da técnica convencional baseada na utilização de filtros passa baixa de fase linear. Na metodologia usual de validação de dados perante falhas de aquisição seriam requeridos quatro filtros, ocupando grande parte dos recursos lógicos disponíveis apenas nesta função, desconsiderando o fato dos atrasos relacionados com a ordem do filtro.

A tabela 7.1 mostra os dados estatísticos referentes aos recursos requeridos no dispositivo FPGA para a implementação do componente. Estes resultados representam valores estimados, dados pela ferramenta de síntese. Os valores exatos serão fornecidos somente pela ferramenta de implementação, após os estágios de mapeamento e roteamento do circuito sintetizado, que são efetuados de acordo com o conjunto de restrições impostas.

Tabela 7.1 – Dados estatísticos com relação ao processo de síntese do componente AQUISIÇÃO\_4.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	229	2352	9,74%
Número de Flip-flops do Slice	134	4704	2,85%
Número de LUT-4	290	4704	6,16%
Número de IOBs	118	146	80,82%
<b>Temporização</b>			
Frequência Máxima de Operação		69,45MHz	

Estas restrições podem ser um conjunto de instruções indicando as posições dos pinos no encapsulamento do dispositivo, onde os sinais de E/S especificados no projeto deverão ser alocados, o tipo de padrão de sinal de E/S empregado nestes pinos, e, restrições quanto ao comportamento temporal de determinados sinais utilizados, tais como período, máximo atraso permitido, etc.

Através destes dados estatísticos constata-se que mesmo com o critério de otimização configurado para área os recursos referentes à lógica envolvida, requerem cerca de 9,74% capacidade disponível do dispositivo. A maior parte destes recursos lógicos utilizados são referentes aos estágios lógicos envolvidos no processo de validação das palavras de 12 bits provenientes dos conversores A/D.

Com relação ao número de IOBs, foram utilizados 80,82% dos recursos disponíveis, neste caso é um fator relevante uma vez que parte destes IOBs serão conectados a um pino de E/S do dispositivo, pois, são referentes aos sinais provenientes do meio externo. Este é o custo pago pela utilização de conversores A/D com barramentos de dados de saída do tipo paralelo. Entretanto, o este fator negativo da alta utilização de IOBs é amortizado de certa maneira pela taxa de aquisição permitida em conjunto com os poucos recursos de lógica de controle requeridos.

Por outro lado, o circuito sintetizado suporta uma frequência de operação máxima de 69,45MHz, assim, a ativação deste circuito com um sinal de CLOCK com frequência de 50MHz significa que o circuito lógico está operando dentro da região estável com uma frequência menor que o seu limite.

Para compor o circuito de descrição RTL, que apresenta a funcionalidade descrita no modelo comportamental do código VHDL, a ferramenta de síntese inferiu os elementos listados na tabela 7.2. O código VHDL desenvolvido para o componente *AQUISIÇÃO\_4* está presente no Apêndice A.

Tabela 7.2 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação no circuito de descrição RTL da descrição comportamental.

Registadores	Registrador de 12 bits	8
	Registrador de 1 bit	10
Somadores/Subtratores	Subtrator de 12 bits	8
	Somador de 2 bits	1
Contadores	Contador de 6 bits	4
	Contador de 1 bit	1
Comparadores	Comparador > de 12 bits	4
	Comparador <= de 12 bits	4
	Comparador >= de 6 bits	4
	Comparador < de 2 bits	1
Multiplexadores	Multiplexador 2:1 de 12 bits	8



A figura 7.7 mostra os resultados da simulação do funcionamento do componente AQUISIÇÃO\_4.

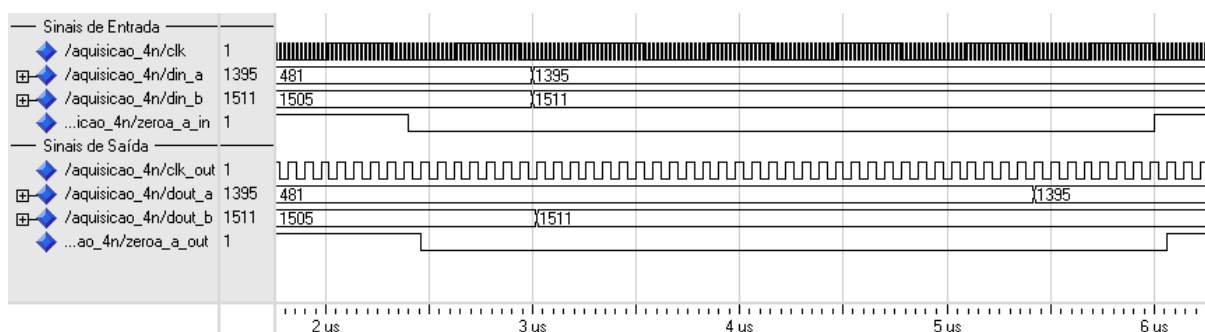


Figura 7.7 – Resultado de simulação da descrição VHDL do componente AQUISIÇÃO\_4.

Observa-se o sinal de ativação dos conversores A/D AD2807, CLK\_OUT, criado à partir do sinal de CLK e um divisor de frequência. Os sinais DIN\_A,DIN\_B representam as palavras de 12 bits provenientes do conversor A/D, e os sinais DOUT\_A,DOUT\_B as palavras coletadas, validadas e registradas pelo componente. Adicionalmente, os sinais digitais provenientes dos estágios de detecção de zero da técnica analógica também são registrados, sinais ZERO\_A\_IN e ZERO\_A\_OUT.

#### 7.2.5.2 - Componente MAIN

Este componente tem a função de criar um par de sinais de controle com largura de pulso e frequência parametrizáveis, em função dos seus sinais de entrada. Estes sinais digitais são gerados com a finalidade de comandar os interruptores principal e auxiliar presentes na célula de comutação Boost-ZCS controlada por este componente.

Os dados de saída deste componente são os sinais GATE\_SP e GATE\_SA, e os dados de entrada são duas palavras de doze bits cada, PWM\_A1 e PWM\_A2, e três sinais de controle, o C\_CONTROL, o CLOCK e o RESET.

As duas palavras de doze bits são responsáveis pela configuração das duas formas de onda dos sinais de saída, impondo a largura do pulso do sinal GATE\_SP e a largura do pulso e a defasagem do sinal GATE\_SA. O sinal de CLOCK é utilizado como base de tempo, assim, a determinação dos intervalos de tempo é baseada na contagem destes pulsos. Portanto, um sinal com largura de pulso de 2µs é composto por cem ciclos de um sinal de CLOCK com frequência de 50MHz.

A borda de descida do sinal C\_CONTROL é utilizada como evento de acionamento para interrupção programada da geração dos sinais GATE\_SP e GATE\_SA. O controle de imposição de fase de operação utiliza este sinal como instrumento de efetivação de suas ações

de comando de bloqueio de interruptores. Entretanto, como a célula de potência utilizada possui um ramo ressonante responsável por proporcionar a comutação do tipo não dissipativa aos semicondutores, caso um comando de bloqueio acionado pelo controle de fase ocorra, a lógica de controle deve sempre garantir a atuação do ramo ressonante através da existência do sinal de comando do interruptor auxiliar, GATE\_SA.

Considerando que a largura do pulso GATE\_SP é dada inicialmente pela soma dos sinais PWM\_A1 e PWM\_A2, enquanto o sinal GATE\_SA possui um atraso dado por PWM\_A1 e uma largura de pulso dada por PWM\_A2.

O sistema precisa verificar se o evento da borda de descida do sinal C\_CONTROL ocorre antes ou depois do instante PWM\_A1. Caso o evento da borda ocorra após PWM\_A1, significa que o ramo ressonante já está sendo acionado, e portanto o processo de bloqueio dos interruptores está decorrendo não havendo a necessidade de ajuste nas larguras de pulso, como ilustra o “Caso A” na figura 7.8.

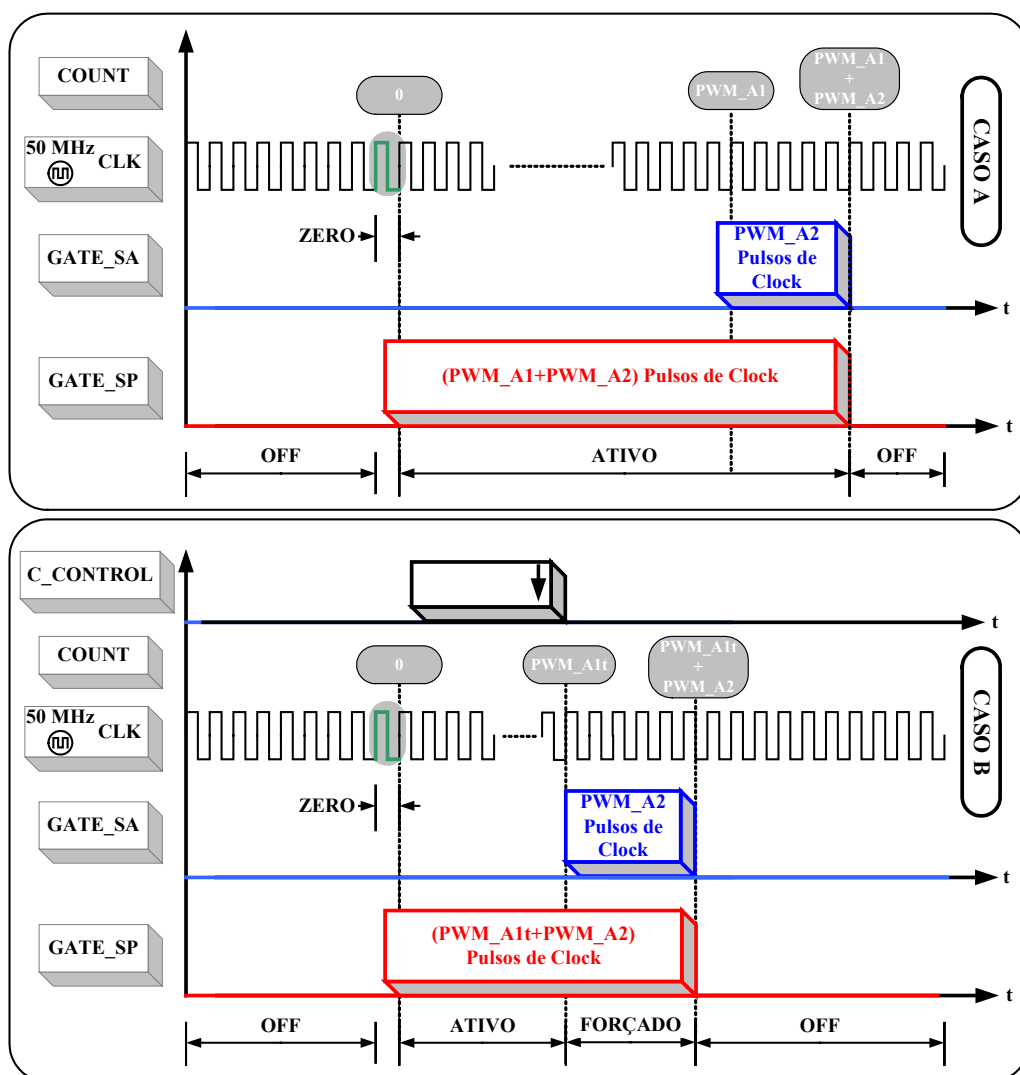


Figura 7.8 – Diagrama de composição dos sinais de controle e estados de operação.

Por outro lado, caso o evento da borda de descida ocorra no instante PWM\_A1t localizado antes de PWM\_A1. Neste instante o ramo ressonante ainda não foi acionado, ou seja, ainda não existe sinal de comando em GATE\_SA, e a largura de pulso total a ser empregada para o sinal GATE\_SP deve ser atualizada com soma de PWM\_A1t e PWM\_A2, como ilustra o “Caso B” na figura 7.8.

Este modelo é baseado na descrição comportamental de uma máquina de estados finita com sinal de RESET síncrono. Os estados possíveis são: ATIVO, FORÇADO, ZERO E OFF. Três dos estados são referentes às condições de operação do interruptor principal da célula de comutação que está sendo controlada por este componente, e um referente ao estado especial de transição forçado pelo controle de fase para o bloqueio dos interruptores. O estado ATIVO significa que o interruptor está conduzindo, o estado FORÇADO significa que o controle de fase está requerendo o bloqueio dos interruptores para correção de fase de operação, o estado OFF significa que os interruptores estão bloqueados, e o estado ZERO é o agente responsável por começar um novo período de funcionamento. Portanto em cada período de funcionamento da célula de comutação o modo de operação desta máquina de estado excursiona por pelo menos três dos estados.

O modo de operação referente ao estado ZERO representa um estágio de configuração para o início de um novo período de funcionamento. O valor zero é armazenado no contador e novos valores de PWM\_A1 e PWM\_A2 são coletados para configurar os parâmetros de geração dos sinais GATE\_SP e GATE\_SA neste novo período. O tempo de duração deste estado é de um período de CLOCK. Como o sinal utilizado possui uma frequência de 50MHz, a sua duração seria em torno de 20ns. Adicionalmente, este estado somente é acionado através do sinal de controle RESET, enviado pelo bloco lógico responsável pelo controle de detecção do zero na corrente através do indutor boost, da célula de comutação que está sendo controlada por este componente.

No modo de operação referente aos estados ATIVO e FORÇADO, os sinais GATE\_SP e GATE\_SA são gerados a partir de registradores de doze bits e comparadores. Devido à base de tempo adotada e ao registrador de doze bits, os pulsos que são gerados com uma resolução de 20ns e podem apresentar frequências de 12kHz até 12,5MHz.

O intervalo de duração destes estados é determinado pelo evento da borda de descida do sinal C\_CONTROL e pelo tempo em que o pulso de GATE\_SP permanece com nível lógico alto, a partir do momento que este sinal muda de estado para nível lógico baixo, o modo de operação é modificado do estado atual para o estado OFF.

O modo de operação permanece no estado OFF, até o componente receber um nível lógico alto no seu sinal de controle RESET, este evento leva o modo de operação do estado OFF para o estado ZERO, começando um novo período de funcionamento.

Os dados estatísticos estimados referentes aos recursos requeridos no dispositivo FPGA, para a implementação do componente são listados na tabela 7.3. A análise dos dados mostra que os recursos lógicos utilizados por este componente representam em torno de 4% dos recursos totais disponíveis.

Tabela 7.3 – Dados estatísticos estimados com o processo de síntese do componente MAIN.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	95	2352	4,04%
Número de Flip-flops do Slice	70	4704	1,49%
Número de LUT-4	178	4704	3,78%
Número de IOBs	29	146	19,86%
<b>Temporização</b>			
Frequência Máxima de Operação		87,161 MHz	

A ferramenta de síntese inferiu uma máquina de estados com codificação do tipo “*one-hot*” implementada com flip-flops do tipo D, quatorze registradores, quatro somadores/subtratores, cinco comparadores e um multiplexador para compor o circuito RTL que apresenta a funcionalidade descrita no modelo comportamental do código VHDL, de acordo com a tabela 7.4.

Tabela 7.4 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental.

Máquinas de Estados Finitos (FSM)	FSM – One Hot	1
Registradores	Registrador de 12 bits	5
	Registrador de 1 bit	9
Somadores/Subtratores	Somador de 12 bits	3
	Subtrator de 12 bits	1
Comparadores	Comparador $\leq$ de 12 bits	1
	Comparador $<$ de 12 bits	1
	Comparador $>$ de 12 bits	2
	Comparador $\geq$ de 12 bits	1
Multiplexadores	Multiplexador 2:1 de 12 bits	1

Os resultados da simulação do funcionamento do componente MAIN para um conjunto de estímulos de entrada referentes aos sinais PMW\_A1, PWM\_A2, C\_CONTROL, RESET e CLK, são apresentados nas figuras 7.9.a e 7.9.b.

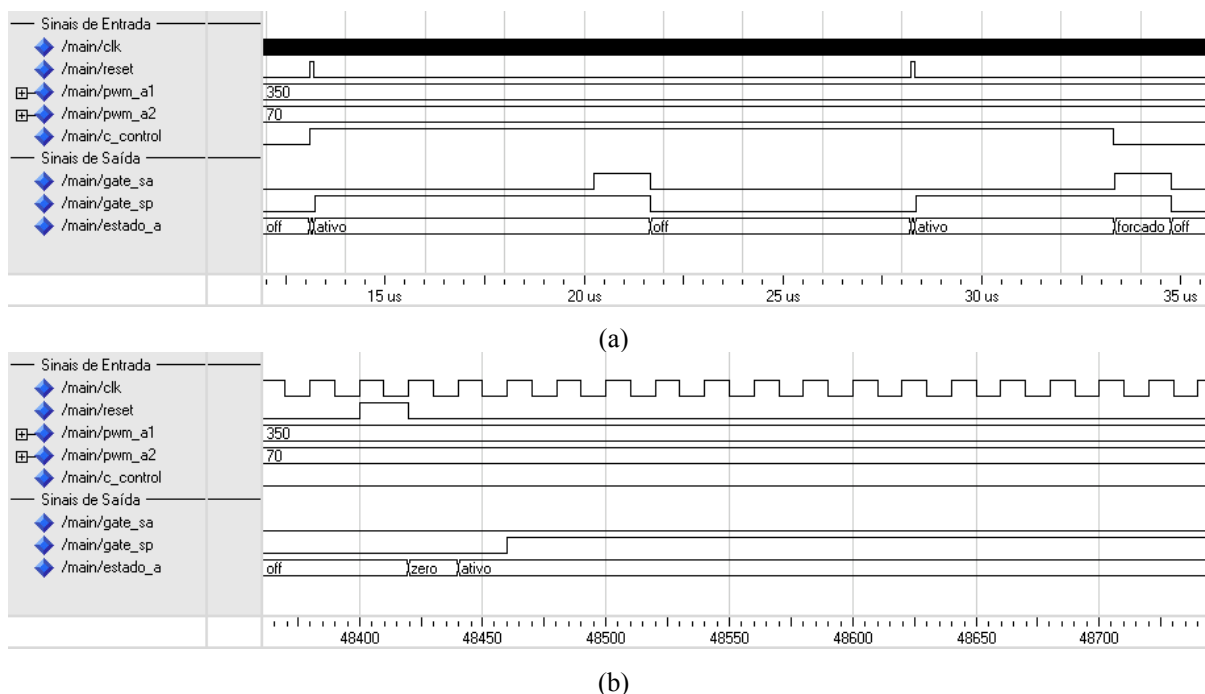


Figura 7.9 – Resultado de simulação da descrição VHDL do componente MAIN.

A figura 7.9.a apresenta os resultados para dois tipos de configurações de largura de pulso dos sinais GATE\_SP e GATE\_SA, uma com a duração normal das larguras de pulso programadas e outra apresentando o comando de bloqueio forçado, através da borda de descida do sinal C\_CONTROL. Através desta simulação comprovou-se que o sinal de RESET é o responsável por configurar e iniciar um novo período de geração dos sinais GATE\_SP e GATE\_SA, conforme detalhe apresentado na figura 7.9.b.

### 7.2.5.3 - Componente ZERO\_CONTROL

Este componente tem a função de determinar o instante em que os sinais de controle dos interruptores devem ser acionados para iniciar um novo período de chaveamento na célula de comutação controlada, sustentando o modo de condução crítico da corrente através do indutor de entrada na célula de comutação controlada.

Os dados de entrada deste componente são os sinais de controle CLOCK e RESET, o sinal digital de ativação do interruptor principal GATE\_A, o sinal de ativação de proteções FLAG\_STOP, e os dados registrados pelo componente AQUISIÇÃO\_4, no último período de amostragem. Estes dados consistem de uma palavra de doze bits referente ao valor quantificado da corrente instantânea através do indutor boost, na célula de comutação

analisada, e o sinal proveniente do sensor de detecção de zero da metodologia analógica, DIN\_A e ZERO\_A\_OUT, respectivamente.

A resposta deste componente, em função dos seus dados de entrada, é apresentada no sinal de saída, SINAL\_A. Este sinal atua como indicador de corrente nula para os outros componentes. Caso este componente esteja no arranjo de controle da célula de comutação adotada como referência, este sinal é quem impõe o modo de condução crítico, pois é conectado ao terminal RESET do componente MAIN. Caso esteja presente no arranjo de outra célula, é conectado no componente PERÍODO\_CTRL, que por sua vez ainda efetuará uma lógica de controle adicional, para garantir o modo de condução crítico nestas células de comutação. Uma palavra de dois bits, representando o modo de operação ativo, também é um dado de saída deste componente.

A principal tarefa deste componente é monitorar o valor da corrente que flui através do indutor da célula de comutação controlada, com o objetivo de detectar o instante em que esta corrente se anula. Esta determinação é realizada de duas maneiras, a primeira através da comparação do dado DIN\_A com um valor de referência, e a segunda efetuada através da monitoração da borda de descida do sinal ZERO\_A\_OUT.

A metodologia de descrição adotada é análoga à empregada no componente MAIN, é baseada nos estados de operação do interruptor principal da célula de comutação, entretanto, um novo estado foi adicionado e o registro do estado anterior foi utilizado no algoritmo. Os novos estados de operação definidos foram: ATIVO, DESCARGA, ZERO e OFF.

Enquanto o interruptor principal está conduzindo o modo de operação permanece com estado igual a ATIVO. Com o bloqueio do interruptor o estado é modificado de ATIVO para DESCARGA, neste estado o dado de entrada concernente à intensidade da corrente instantânea é comparado a cada período do sinal de “*clock*”, representado por CLK, com um valor de referência armazenado em registradores. Este valor de referência, que corresponde ao valor nulo de corrente, foi determinado de maneira automática no processo de “*inicialização*” do sistema. De maneira análoga o evento da sua borda de descida do sinal ZERO\_A\_OUT também é monitorado. Desta maneira, tem-se dois sistemas de detecção de zero operando simultaneamente, caso ocorra uma eventual falha de um dos sistemas o outro assume a tarefa.

Logo, assim que o primeiro zero de corrente é detectado, em função da palavra de doze bits ser menor que o valor de referência ou em função do evento da borda de descida do sinal ZERO\_A\_OUT, o modo de operação é modificado do estado DESCARGA para o estado ZERO, evitando que os cruzamentos por zero seguintes, devido aos transitórios de comutação, interfiram resultando em novos pontos de atuação.

O modo de operação referente ao estágio OFF ocorre quando o sinal de proteção FLAG\_STOP, proveniente do estágio de proteções, é ativado informando que o sistema registrou a ocorrência de um excesso de corrente em algum dos indutores ou valor da tensão na saída acima dos permitidos. Portanto, este estágio tem a função de bloquear o funcionamento da célula de comutação nestes casos.

A tabela 7.5 lista os recursos estimados para a implementação do componente ZERO\_CONTROL no dispositivo FPGA. A análise dos dados mostra que os recursos lógicos utilizados por este componente representam em torno de 2,89% dos recursos totais disponíveis.

Tabela 7.5 – Dados estatísticos estimados com o processo de síntese do componente.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	68	2352	2,89%
Número de Flip-flops do Slice	51	4704	1,08%
Número de LUT-4	111	4704	2,36%
Número de IOBs	31	146	21,23%
<b>Temporização</b>			
Frequência Máxima de Operação		114,57 MHz	

Como a descrição comportamental do sistema digital requerido está baseada na utilização de duas máquinas de estados finitos, a ferramenta de síntese inferiu duas FSM com codificação “one-hot”, quinze registradores e quatro comparadores, para implementar a lógica requerida, como mostra a tabela 7.6.

Tabela 7.6 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental.

Máquinas de Estado Finitas (FSM)	FSM – One Hot	2
Registradores	Registrador de 1 bit	11
	Registrador de 2 bits	1
	Registrador de 12 bits	3
Comparadores	Comparador <= de 12 bits	1
	Comparador > de 12 bits	3

#### 7.2.5.4 - Componente PERÍODO

Este bloco tem a função de determinar qual o fator de deslocamento temporal será aplicado entre os sinais de comando para que as células de comutação operem defasadas de 180 graus, no caso de duas células, e de 90 graus no caso de quatro células. O deslocamento temporal pode estar relacionado com os sinais de referência para a entrada em condução ou para o comando de bloqueio presentes no controle de fase de operação.

Os sinais de entrada exigidos são o sinal de CLOCK e um sinal digital de comando de interruptor da célula de referência, que pode ser o do interruptor principal GATE\_SP no caso do bloco estar sendo utilizado para a determinação dos sinais de referência de fase para entrada em condução dos interruptores, ou o sinal de comando do interruptor auxiliar GATE\_SA utilizado para a determinação dos sinais de referência de fase para o comando de bloqueio dos interruptores. Os sinais de saída consistem de duas palavras de doze bits e um sinal de ativação de um bit, onde as palavras expressam os valores determinados para os deslocamentos entre as células.

A metodologia é baseada na adoção de uma célula de comutação como referência, que tem o seu período de chaveamento monitorado para a determinação da largura de pulso requerida no deslocamento dos sinais de controle. A duração total do período é estipulada pelas duas bordas de transição de subida do sinal do pulso do interruptor principal ou auxiliar da célula adotada como referência, representados pelo sinal GATE\_SP e GATE\_SA, e quantificada em número de períodos do “clock” de entrada. Outra consideração adotada neste modelo é que a variação do período entre ciclos de operação adjacentes é considerada pequena, possibilitando o emprego do valor calculado no período de funcionamento anterior para o período de funcionamento atual.

O objetivo é implementar uma função capaz de quantificar em número de “clocks” as partes iguais resultantes da divisão do período de funcionamento total por “n”, onde “n” é o número de células de comutação existentes. Uma solução possível para o caso em que o número de células possa ser expresso na base binária ( $2^n$ ), consiste em efetuar deslocamentos sucessivos dos bits da palavra quantificada para a esquerda, a cada deslocamento o número binário é dividido por dois. Para os outros casos, existem duas possibilidades, a primeira consiste em determinar o período total e implementar a operação de divisão acarretando em custo de lógica, a segunda opção consiste em utilizar um artifício que através de uma base de tempo incrementa um contador apenas quando decorrerem “n” períodos da base de tempo, assim se a terça parte do período é requerida, basta incrementar o contador a cada três



períodos da base de tempo. A desvantagem deste método é que pode levar a um erro na determinação de “n-1” períodos da base de tempo, entretanto, devido às intensidades dos períodos analisados e à frequência da base de tempo empregada, este erro torna-se desprezível. Assim, a vantagem é que não são necessárias a determinação do valor total do período, nem a aplicação dos algoritmos de divisão posteriormente, que implicam em maiores custos lógicos, uma vez que o valor final presente no contador já é o resultado requerido.

A descrição comportamental implementada consiste da existência de dois modos de operação o ATIVO e o ZERO.

No modo de operação ATIVO, o processo supervisiona as transições do sinal de entrada referente ao pulso de comando do interruptor principal e utiliza dois contadores de doze bits e um contador de dois bits para determinar a metade e a quarta parte do período de chaveamento. Cada vez que o bit mais significativo do contador de dois bits possui nível lógico alto, o contador referente à quarta parte é incrementado. O incremento no contador, que determinara a metade do período, ocorre cada vez que o bit menos significativo do contador de dois bits possui nível lógico alto.

No início de cada período de chaveamento supervisionado, o estado ZERO é ativado durante alguns ciclos, registrando os valores calculados referentes ao fator de defasagem nos sinais de saída do componente.

Adicionalmente, a tabela 7.7 mostra os dados estatísticos referentes aos recursos requeridos no dispositivo FPGA para a implementação do componente. Para compor o circuito de descrição RTL que apresenta a funcionalidade descrita no modelo comportamental do código VHDL, de acordo com os elementos listados na tabela 7.8, a ferramenta de síntese inferiu cinco registradores e três contadores.

Tabela 7.7 – Dados estatísticos estimados com o processo de síntese do componente PERIODO.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	33	2352	1,40%
Número de Flip-flops do Slice	55	4704	1,17%
Número de LUT-4	29	4704	0,62%
Número de IOBs	26	146	17,81%
<b>Temporização</b>			
Frequência Máxima de Operação		160,591 MHz	

Tabela 7.8 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental.

Registadores	Registrador de 12 bits	2
	Registrador de 1 bit	3
Contadores	Contador de 12 bits	2
	Contador de 2 bits	1

Os resultados de simulação obtidos para o componente desenvolvido submetido a um conjunto de estímulos de entrada que emulam o comportamento dos dados de entrada reais são apresentados nas figuras 7.10 e 7.11. A análise destes resultados comprova que o componente lógico quantifica e entrega no próximo período de chaveamento o valor de defasagem referente à metade e um quarto do período anterior, conforme o detalhe dos sinais apresentado na figura 7.11.

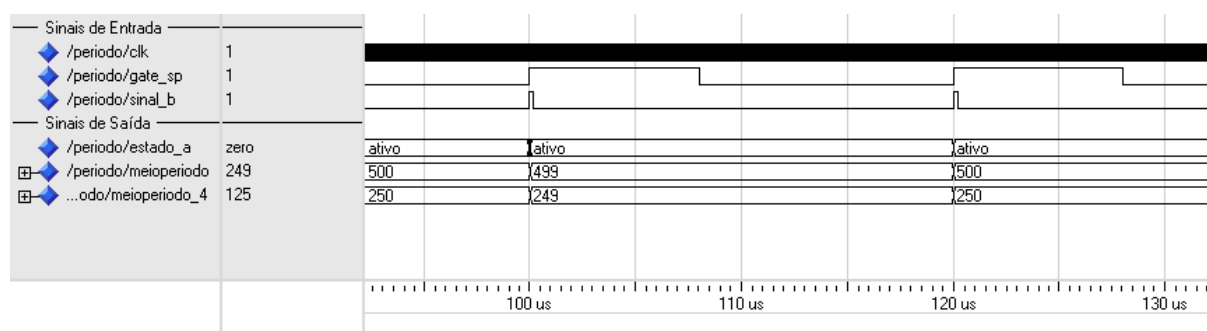


Figura 7.10 – Resultado de simulação da descrição VHDL do componente PERIODO.

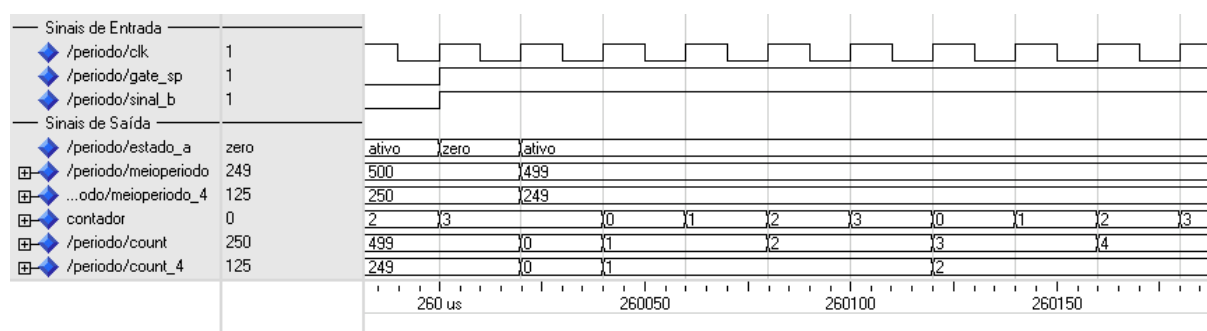


Figura 7.11 – Resultado de simulação da descrição VHDL do componente PERIODO, detalhe dos sinais de controle envolvidos no modelo.

#### 7.2.5.5 - Componente PERÍODO\_CTRL

Este componente tem a função de gerar três pulsos com largura e frequência controladas em função dos sinais de entrada atuais e anteriores. Estes pulsos apresentam

bordas de subida localizadas nos instantes referentes a um quarto, metade e três quartos do período de tempo quantizado adotado como referência.

Apesar do projeto teórico adotar que todas as células de comutação são compostas por elementos idênticos, na prática os componentes não são completamente iguais, ou seja, para um mesmo sinal de comando dos interruptores das células de comutação o ponto referente à corrente nula pode não ser o mesmo.

Estes sinais são empregados como sinais de controle de RESET nos componentes ZERO\_CONTROL, fazendo com que a condição de defasagem possua prioridade maior na hierarquia de controle, frente ao controle de detecção de zero da corrente.

O modelo desenvolvido é baseado na existência de dois estados: ATIVO e ZERO. Analogamente, como nos outros componentes, o estado ATIVO utiliza um contador e um comparador para efetuar a geração dos sinais de controle e o estado ZERO é responsável pela atualização dos parâmetros de largura e frequência dos sinais.

Estes são valores são resultado da determinação da média dos parâmetros atuais, recebidos nos terminais de entrada do componente, com os valores registrados para o período de funcionamento anterior.

A tabela 7.12 lista os recursos estimados para a implementação do componente PERIODO\_CTRL no dispositivo FPGA. A análise dos dados mostra que os recursos lógicos utilizados por este componente representam em torno de 1,19% dos recursos totais disponíveis. Para compor o circuito de descrição RTL que apresenta a funcionalidade descrita no modelo comportamental do código VHDL, a ferramenta de síntese inferiu os elementos listados na tabela 7.13.

Tabela 7.12 – Dados estatísticos estimados com o processo de síntese do componente PERIODO\_CTRL.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	28	2352	1,19%
Número de Flip-flops do Slice	14	4704	0,30%
Número de LUT-4	39	4704	0,83%
Número de IOBs	14	146	9,59%
<b>Temporização</b>			
Frequência Máxima de Operação		129,299 MHz	

Tabela 7.13 – Estatísticas de estruturas inferidas pela ferramenta de síntese no processo de determinação, no circuito de descrição RTL da descrição comportamental.

Registadores	Registrador de 12 bits	2
	Registrador de 1 bit	3
Contadores	Contador de 12 bits	2
	Contador de 2 bits	1

A figuras 7.12 e 7.13 apresentam resultados de simulação digital para este componente. Na figura 7.12, os sinais SINAL\_CA, SINAL\_CB e SINAL\_CC apresentam as bordas de subida localizadas nos instantes referentes a um terço, metade e três quartos do período de tempo quantizado informado através dos sinais MEIOPERIODO\_2 e MEIOPERIODO\_4. O detalhe da ativação de uma nova configuração pelo sinal RESET é apresentado na figura 7.13.

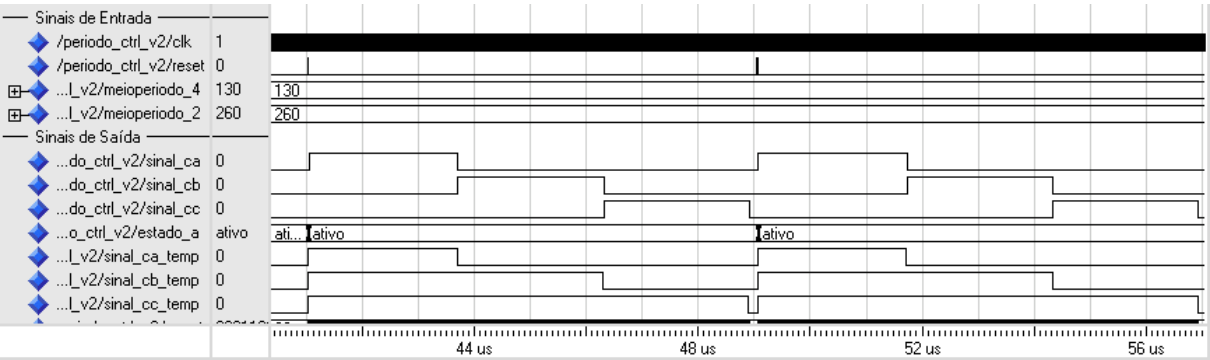


Figura 7.12 – Resultado de simulação da descrição VHDL do componente PERIODO\_CTRL.

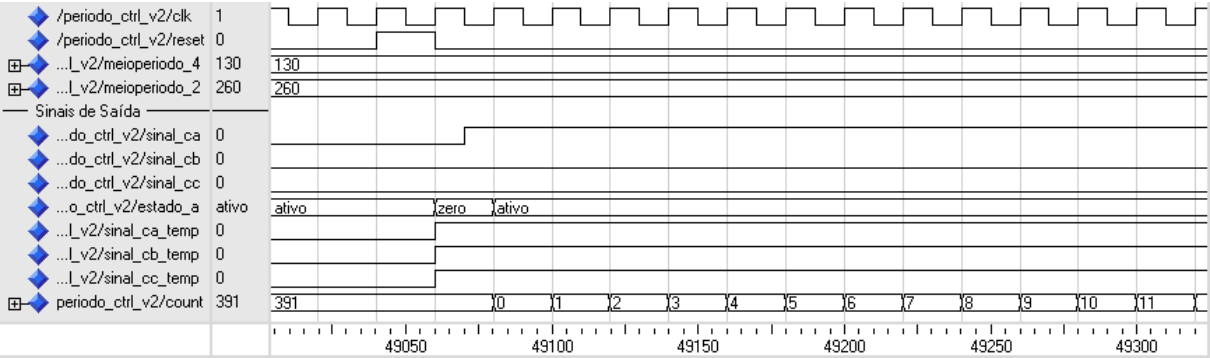


Figura 7.13 – Resultado de simulação da descrição VHDL do componente PERIODO\_CTRL, detalhe dos sinais de controle.

### 7.2.5.6 - Sistema de Regulação P\_CALC

Este estágio consiste de um amplificador do erro da tensão de saída composto por um filtro digital do tipo FIR (*Finite Impulse Response*) e dois filtros digitais do tipo IIR (*Infinite Impulse Response*), representando a ação de um filtro digital do tipo passa-baixa com frequência de corte em 25 kHz, de um filtro do tipo “*Notch*” na frequência de 120Hz e de um compensador do tipo proporcional-integral (PI) composto por um zero e dois pólos. Todos os filtros digitais foram implementados utilizando lógica aritmética de ponto fixo, e núcleos parametrizáveis de registradores, multiplicadores e somadores, em virtude de sua melhor performance com relação aos tempos e na área ocupada na execução de tarefas aritméticas.

Os projetos dos filtros digitais do tipo “*Notch*” e passa-baixa foram desenvolvidos diretamente no plano discreto utilizando-se a ferramenta de projeto de filtros digitais FDA presente no ambiente MATLAB, utilizando a taxa de amostragem configurada como sendo 50kHz. O projeto do compensador proporcional integral foi realizado no domínio de *Laplace*, utilizando as técnicas convencionais de controle, e posteriormente passando por um processo de discretização da função através da técnica da aproximação bilinear da derivada (*Tustin*).

Basicamente a implementação de filtros digitais do tipo IIR é fundamentada na codificação das equações diferenças que descrevem o seu comportamento perante um sinal de entrada. Estas equações diferenças podem ser manipuladas algebricamente, ou seja, modificando a maneira com que as operações matemáticas são realizadas resultando em diferentes realizações de filtros e, para representar o filtro utilizando várias operações matemáticas terminando no mesmo resultado. Assim, diferentes realizações de filtros digitais podem ser obtidas de acordo com a maneira que eles são codificados.

Na implementação dos filtros digitais IIR utilizou-se a forma direta de realização do filtro. Esta forma direta do filtro IIR é obtida pela representação da equação diferença de maneira direta, ou seja, da maneira que é usualmente escrita como ilustrado na expressão (7.1).

$$y(n) = a_0 \cdot x(n) + a_1 \cdot x(n-1) + \dots + a_N \cdot x(n-N) + b_1 \cdot y(n-1) + b_2 \cdot y(n-2) + \dots + b_M \cdot y(n-M) \quad (7.1)$$

Utilizando a equação 7.55, a representação gráfica da realização na forma direta do filtro considerando M igual a dois e N igual a três está ilustrada na figura 7.14.

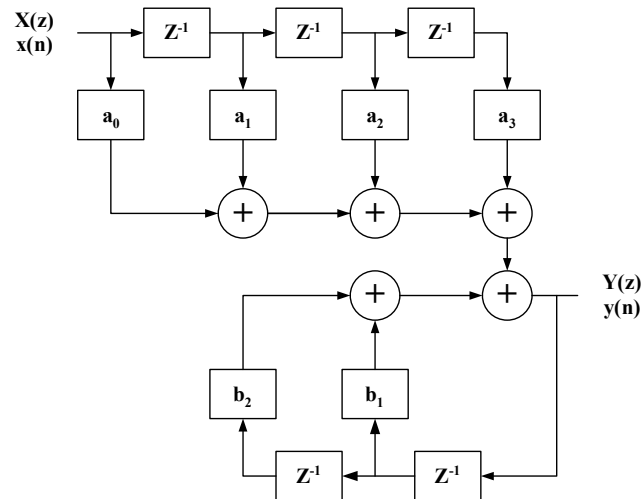


Figura 7.14 – Realização direta de filtros digitais do tipo IIR.

A realização é baseada no emprego da transformada-Z para os sinais de tal maneira que a função de transferência para o atraso de tempo de um período de amostragem pode ser representado por  $z^{-1}$ . Os atrasos são implementados através da armazenagem dos valores em uma estrutura de memória para sua utilização nos ciclos posteriores, usualmente registradores.

A equação 7.2 mostra a função de transferência genérica utilizada para implementar os filtros digitais do tipo IIR, uma vez que no processo de digitalização ambos resultaram em expressões de mesma ordem.

$$\frac{Y(z)}{X(z)} = \frac{a_0 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2}}{1 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2}} \quad (7.2)$$

A figura 7.15 mostra a realização do filtro digital utilizando a representação no modo direto, empregando núcleos parametrizáveis fornecidos pela ferramenta de desenvolvimento EDA utilizada.

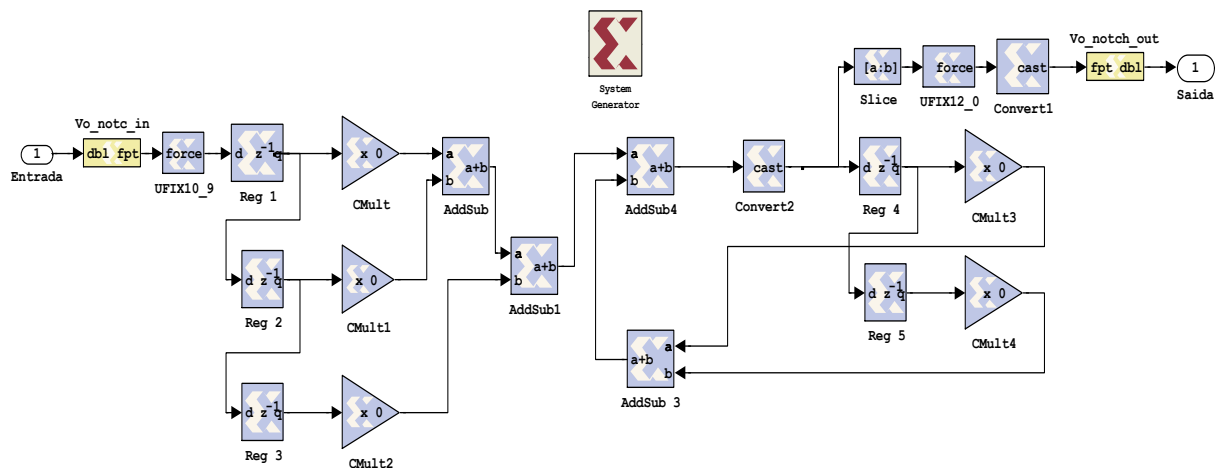


Figura 7.15 – Realização direta de filtros digitais do tipo IIR empregando núcleos parametrizáveis.

Na composição da realização do filtro digital foram utilizados cinco registradores representando, cinco multiplicadores, quatro somadores e quatro estruturas de conversão de formato de dados em ponto fixo. As estruturas de conversão de dados são necessárias para evitar que o laço de realimentação do filtro cause a instabilidade da operação do filtro.

Apesar da implementação dos filtros utilizarem a mesma realização, como foram criados dois sistemas, a configuração do número de bits utilizados e a posição do ponto decimal nas lógicas aritméticas de ponto fixo foram configuradas de maneira diferente, com o objetivo de obter uma melhor relação entre a precisão requerida e o espaço requerido para a sua implementação.

Assim, as tabelas 7.14 e 7.15 mostram os coeficientes utilizados para a implementação e a configuração da lógica aritmética de ponto fixo utilizada em cada elemento empregado na realização dos filtros do tipo IIR.

Tabela 7.14 – Coeficientes utilizados na implementação dos filtros digitais do tipo IIR.

Coeficientes	Filtro Digital Notch	Filtro Digital PI
<b>a0</b>	0,99437689781188965	4,6956e-005
<b>a1</b>	-1,988527774810791	2,1402e-010
<b>a2</b>	0,99437689781188965	-4,6956e-005
<b>b1</b>	-1,988527774810791	-2,00234
<b>b2</b>	0,9887537956237793	1,023

Tabela 7.15 – Configuração aritmética de ponto fixo dos núcleos parametrizáveis utilizados na realização dos filtros digitais do tipo IIR.

Filtro	Componente	Número de Bits	Posição do Ponto Fracionário	Padrão
<b>Notch</b>	Coeficientes	25	22	Signed
	Registradores do Numerador	13	11	Signed
	Registradores do Denominador	23	20	Signed
	Somadores	40	35	Signed
	Multiplicadores do Numerador	34	31	Signed
	Multiplicadores do Denominador	40	37	Signed
<b>PI</b>	Coeficientes	36	33	Signed
	Registradores do Numerador	13	11	Signed
	Registradores do Denominador	36	33	Signed
	Somadores	51	45	Signed
	Multiplicadores do Numerador	49	45	Signed
	Multiplicadores do Denominador	73	67	Signed

O filtro passa baixa digital do tipo FIR foi implementado utilizando uma estrutura composta por um multiplicador acumulador, um controlador de memória RAM para gerenciamento dos dados, e um registrador de deslocamento endereçado (ASR) para o cálculo dos termos das equações diferenças, como mostra a figura 7.16.

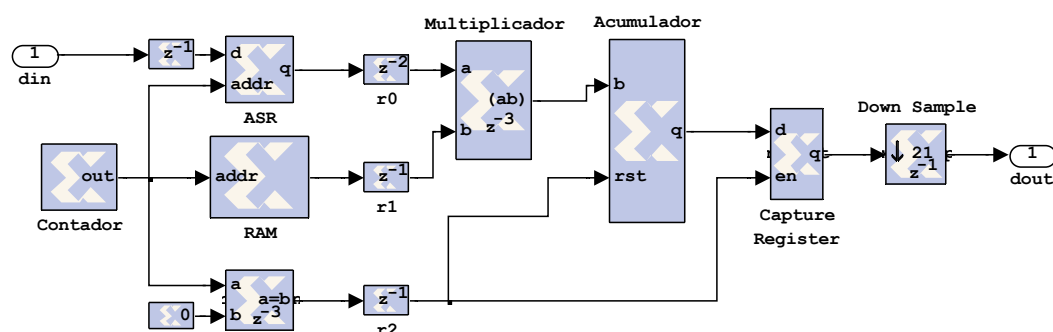


Figura 7.16 – Realização direta de filtro digital passa-baixa do tipo FIR empregando núcleos parametrizáveis.

Nesta implementação optou-se por armazenar os coeficientes em blocos de memória internos do dispositivo (BRAMs), devido o grande número de coeficientes e a não existência de realimentação do dado de saída para a resposta do filtro. Os endereços utilizados pela RAM e pelo ASR são produzidos pelo contador, que possui a seqüência repetitiva de zero até  $n-1$ , onde  $n$  é o número de coeficientes. O comparador gera os pulsos de *enable* e *reset* para o acumulador e para o registrador de captura, estes pulsos são disparados quando o endereço é zero.

A tabela 7.16 mostra os coeficientes utilizados para a implementação do filtro digital, de acordo com a equação 7.3. Adicionalmente, os coeficientes foram quantizados utilizando uma formatação de ponto fixo com 12 bits e o ponto fracionário localizado no décimo bit.

$$\frac{Y(z)}{X(z)} = a_0 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2} + \dots + a_{n-1} \cdot z^{n-1} \quad (7.3)$$

Tabela 7.16 – Coeficientes utilizados na implementação do filtro digital passa-baixa do tipo FIR.

Coeficientes	Valor	Coeficientes	Valor
<b>a0</b>	-0,00018311	<b>a11</b>	0,29402
<b>a1</b>	-0,0023041	<b>a12</b>	0,085724
<b>a2</b>	-0,002655	<b>a13</b>	-0,047241
<b>a3</b>	0,0067749	<b>a14</b>	-0,049149
<b>a4</b>	0,017426	<b>a15</b>	-0,0013733
<b>a5</b>	-0,0013733	<b>a16</b>	0,017426
<b>a6</b>	-0,049149	<b>a17</b>	0,0067749
<b>a7</b>	-0,047241	<b>a18</b>	-0,002655
<b>a8</b>	0,085724	<b>a19</b>	-0,0023041
<b>a9</b>	0,29402	<b>a20</b>	-0,00018311
<b>a10</b>	0,39767		



Os recursos estimados para a implementação deste estágio completo no dispositivo FPGA, são mostrados na tabela 7.17. A análise dos dados mostra que os recursos lógicos utilizados por este componente representam em torno de 34,00% dos recursos totais disponíveis, sendo 8% da ocupação referente à implementação do filtro digital FIR e os 24% restantes referentes aos filtros digitais IIR, e o componente poderia operar com uma frequência de operação máxima em torno de 42,28MHz.

Tabela 7.17 – Dados estatísticos estimados com o processo de síntese P\_CALC.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	800	2352	34,01%
Número de Flip-flops do Slice	418	4704	8,88%
Número de LUT-4	1361	4704	28,93%
Número de BRAMs	2	14	14,28%
Número de IOBs	22	146	15,06%
<b>Temporização</b>			
Frequência Máxima de Operação		42,282MHz	

Adicionalmente, a implementação pela ferramenta de síntese inferiu utilização dos blocos de memória internos do dispositivo (BRAMs) para alocação dos dados e coeficientes relativos a operação do filtro FIR, em virtude da ordem empregada, levando a uma taxa de ocupação menor que a resultante caso estes dados fossem armazenados nos registradores internos dos “slices”. Este processo de otimização não pode ser efetuado com os filtros do tipo IIR, em virtude do laço de realimentação do dado de saída tornar-se instável pela existência de atrasos de propagação, ou seja, em função da presença de coeficientes no denominador da equação 7.2.

#### 7.2.5.7 - Sistema Completo

De acordo com o projeto do conversor para carga nominal, operando em regime permanente, a largura de pulso requerida para o interruptor principal é de 8,52μs e a largura de pulso do interruptor auxiliar é de 1,76μs, com uma defasagem de 6,76μs. Assim, com o conversor operando em regime permanente e carga nominal, os sinais PWM\_A1 e PWM\_A2 devem estar apresentando valores referentes a 338 e 88 ciclos de “clock”, respectivamente, de acordo com a base de tempo utilizada (um sinal de “clock” com frequência de 50MHz).

Todos os componentes desenvolvidos foram agrupados em um único modelo com o intuito de implementar o circuito de controle em destaque na figura 7.2. O modelo recebeu o nome de CRITICO4CEL e consiste da descrição estrutural dos componentes utilizados no sistema.

Os dados de entrada do modelo são as informações provenientes dos conversores A/D, dos sensores analógicos de detecção de zero e um sinal de “*clock*”, os dados de saída são os pulsos de comando dos interruptores presentes nas células de comutação e sinais informativos das atuações das proteções de sobre-tensão e de sobre-corrente.

A implementação final do sistema de controle requer a estipulação da posição dos pinos do dispositivo a serem utilizados como portos de entrada e saídas de sinais e que tipos de padrão de sinais digitais serão utilizados em cada associação. Assim, a lista do conjunto de instruções representando estas restrições para a implementação está presente no Apêndice A..

Os dados estatísticos referentes aos recursos requeridos no dispositivo FPGA para a implementação do componente, utilizando as restrições impostas, são listados na tabela 7.18. A análise dos dados mostra que os recursos lógicos utilizados pelo sistema representam em torno de 88% dos recursos totais disponíveis, e que o sistema digital esta operando dentro na frequência máxima permitida, uma vez que o “*clock*” de entrada é de 50MHz. Entretanto, utilizou-se 65% dos pinos disponíveis no encapsulamento do dispositivo, e este elevado coeficiente de utilização é causado principalmente pelo fato do sistema de aquisição de dados operar com palavras de dados do tipo paralelo.

Tabela 7.18 – Dados estatísticos estimados com o processo de síntese do componente CRITICO4CEL.

Dispositivo - XC2S200EPQ208-6/ Critério de Otimização - Área			
Recursos	Utilizado	Disponível	Porcentagem
Número de Slices	2064	2352	87,75%
Número de Flip-flops do Slice	1459	4704	31,01%
Número de LUT-4	3383	4704	71,90%
Número de BRAMs	2	14	14,28%
Número de IOBs USADOS	95	146	65,06%
<b>Temporização</b>			
Frequência Máxima de Operação		69,345 MHz	

Por outro lado, a configuração desenvolvida requer dois IOBs para os sinais de controle CLK e CLK\_OUT, oito IOBs relacionados com o estágio de aquisição dos sinais de tensão de entrada e saída, e, para cada célula de potência dois IOBs relacionados com os

sinais de controle de comando (GATE\_SP e GATE\_SA), quatorze IOBs relacionados com a aquisição dos dados de corrente e um IOB relacionado com o sensor analógico de detecção de zero. Assim, considerando a limitação no número de IOBs, apresentada pelo encapsulamento do dispositivo lógico, o sistema poderia gerenciar até mais duas células de potência..

Os resultados de simulação para o sistema digital projetado, em função de estímulos de entrada que emulam o comportamento dos sinais de entrada do sistema real são apresentados nas figuras 7.17 até 7.18. Os sinais GATE\_SP e GATE\_SA são os sinais de comando para os interruptores da célula de comutação adotada como referência, enquanto os sinais GATE\_SP\_i e GATE\_SA\_i são referentes aos sinais da célula auxiliar i, em “*interleaving*”.

Nas figuras 7.17 e 7.18 pode-se verificar a evolução dos sinais de controle gerados para os interruptores, em função dos estímulos de entrada, atribuindo o modo de condução crítica nas quatro células de comutação. Os sinais de referência para entrada em condução (SINAL\_SAIDA\_C2\_ON) e de referência para o bloqueio (SINAL\_SAIDA\_C2) para a célula auxiliar 1 são mostrados na figura 7.17 em conjunto com os sinais de comando para os interruptores da mesma, comprovando que a atuação do controle de imposição de fase.

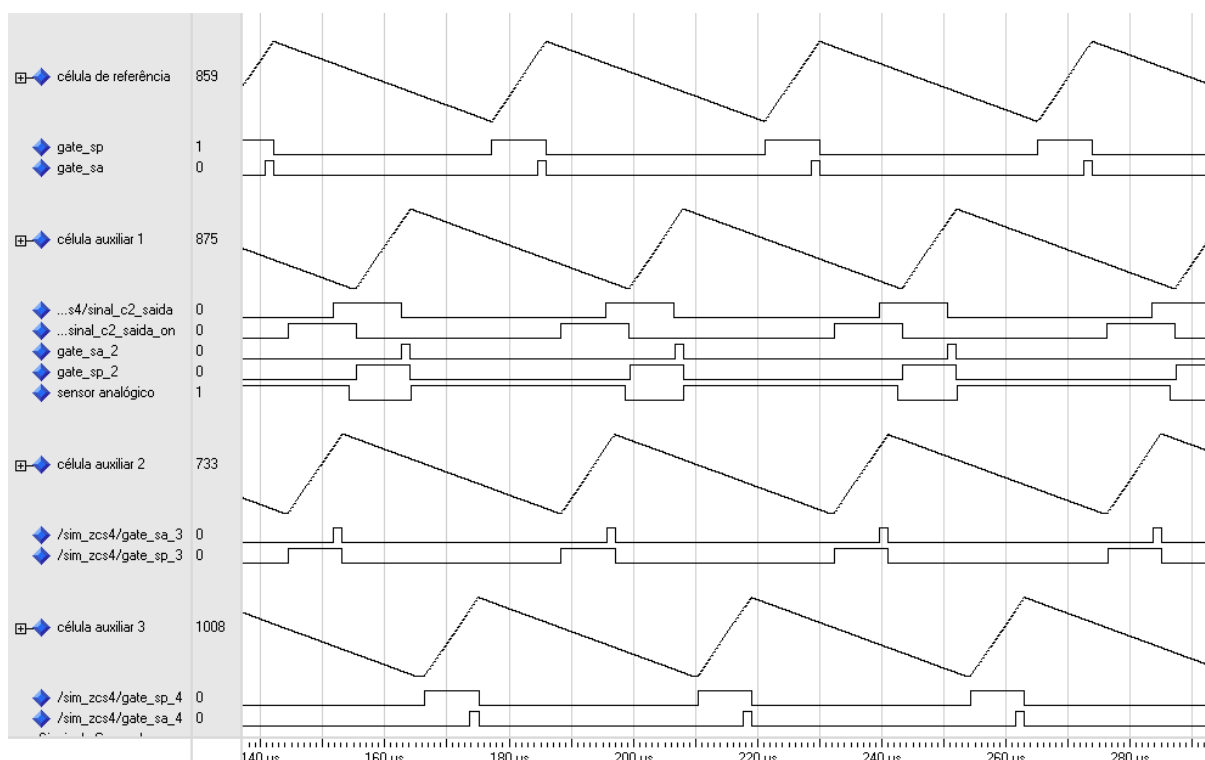


Figura 7.17 – Resultado de simulação da descrição VHDL do componente CRITICO4CEL.

A figura 7.18 mostra a evolução dos sinais de referência gerados pelo controle de imposição de fase de operação, com relação a fase de operação da célula adota como referência.

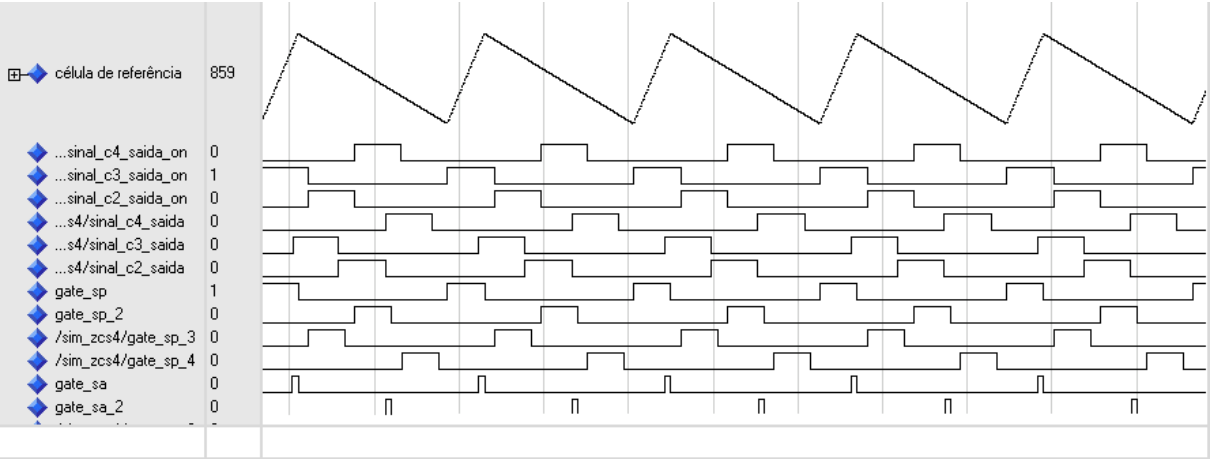


Figura 7.18 – Resultado de simulação da descrição VHDL do componente CRITICO4CEL.

### 7.3 – Conclusões

Neste capítulo foram abordadas as principais etapas de desenvolvimento para a implementação do controle digital do conversor *Boost-ZCS Interleaved*.

Estas etapas consistiram fundamentalmente na análise, desenvolvimento e implementação na forma digital da lógica referente ao controle de imposição de fase, ao controle de detecção do valor nulo de corrente através dos indutores e da lógica relacionada com o controle e a geração da largura de pulso dos sinais de comando para os interruptores.

O controle de imposição de fase de operação utiliza as vantagens das metodologias baseadas na geração das referências de entrada em condução e de bloqueio dos interruptores para impor a fase de operação requerida pela técnica de “*interleaving*”. Enquanto o controle de detecção do valor nulo de corrente através dos indutores está baseado na utilização de duas metodologias diferentes na geração do sinal de referência de corrente nula, uma totalmente digital e outra proveniente de um sensor analógico de detecção de corrente nula. Esta redundância garante que mesmo quando uma das metodologias falhe na detecção do ponto de corrente nula, por alguma eventualidade, o comando continue a operar corretamente através do outro sinal de maneira automática.

Na implementação das lógicas de controle modeladas o desenvolvimento foi baseado na utilização de linguagem de descrição de hardware VHDL através de descrições do tipo comportamental e de núcleos parametrizados para a implementação de tarefas puramente aritméticas empregando notação de ponto fixo.

A implementação do sistema total, denominado CRITICO4CEL, utilizou cerca de 88% dos recursos de “*slices*” e 65% dos IOBs disponíveis pelo dispositivo FPGA, sendo que a máxima frequência de operação permitida pelo sistema global é de 69,345MHz.

Adicionalmente, devido à limitação no número de IOBs disponíveis no encapsulamento do dispositivo, e da necessidade de 19 IOBs adicionais por cada nova célula inserida na configuração atual, o sistema poderia gerenciar nesta configuração no máximo mais duas células, totalizando seis células de potência.

Detalhes da implementação e da especificação dos componentes da estrutura proposta, assim, como, os principais resultados experimentais, obtidos com o protótipo implementado, são apresentados no capítulo seguinte.

## 8 – Protótipo Desenvolvido para o Pré-Regulador Retificador Boost ZCS-FM Interleaved

Nas próximas seções serão apresentadas as etapas envolvidas na implementação física do protótipo do conversor retificador boost ZCS interleaved, com duas e quatro células de comutação. Adicionalmente, apresentam-se os principais resultados experimentais para o protótipo, verificando-se os esforços de tensão e corrente através dos elementos da estrutura, e, a funcionalidade do sistema de controle digital implementado.

### 8.1 - Especificação dos Semicondutores

A especificação dos semicondutores utilizados na implementação do protótipo está baseada na análise dos resultados obtidos por meio da simulação digital e do programa de cálculo de projeto desenvolvido, realizada para a topologia operando como Pré-Regulador Boost-ZCS-FM Interleaved, com duas células, na situação de carga nominal, conforme resultados apresentados no capítulo 4.

A tabela 8.1 apresenta os esforços de tensão e corrente em cada interruptor ativo ou passivo da célula de comutação Boost-ZCS, bem como o modelo do semicondutor especificado para realizar a tarefa requerida. Adicionalmente, como a topologia do pré-regulador é composta por um conjunto de células de comutação idênticas, todas as células de comutação utilizarão os mesmos semicondutores especificados.

Tabela 8.1 – Esforços de tensão e corrente nos interruptores ativos e passivos das células de comutação, obtidos através de simulação digital, e, o modelo do semicondutor especificado em cada caso.

Componentes →	Interruptor Principal	Interruptor Auxiliar	Diodo Auxiliar	Diodo Boost
↓ Esforços ↓	Sp-i	Sa-i	D <sub>1-i</sub>	D <sub>2-i</sub>
Corrente Média [ $I_{avg}$ ]	0,56 A	0,48 A	0,44 A	1,24 A
Corrente Eficaz [ $I_{rms}$ ]	1,15 A	1,78 A	1,64 A	2,11 A
Corrente de Pico [ $I_{pico}$ ]	5,01 A	9,78 A	8,76 A	6,41 A
Tensão de Pico [ $V_{pico}$ ]	660,00 V	447,00 V	410,00 V	768,00 V
Semicondutores Especificados	HGTP12N60A4D ( IGBT )	HGTP7N60A4D ( IGTB )	RHRP860 ( Diodo )	RHRP8100 ( Diodo )

Portanto, os semicondutores especificados para atuarem como interruptores principais e auxiliares, de acordo com os esforços exigidos, foram os IGBTs HGTP12N60A4D e HGTP7N60A4D. Analogamente, os semicondutores especificados para atuar como diodo auxiliar  $D_{1-i}$  e diodo boost  $D_{2-i}$ , em cada célula de comutação, foram os diodos RHRP860 e RHRP8100, respectivamente. Todos os semicondutores especificados são fabricados pela Fairchild Semiconductors<sup>®</sup>.

Observa-se ainda que, um pequeno “*snubber*” será necessário para os interruptores  $S_{p-i}$ , devido a recuperação do diodo em anti-paralelo com os mesmos, o que provoca pequena sobretensão durante seus bloqueios, porém com pequena energia envolvida.

## 8.2 - Especificação dos Indutores

No desenvolvimento dos cálculos referentes à especificação dos indutores, considerou-se que o comportamento de todos os indutores é linear. O método utilizado para tornar linear a relação B-H do material magnético foi o da introdução de um pequeno entreferro no circuito magnético. Assim, com a introdução de um entreferro no circuito magnético a indutância diminui e torna-se menos sensível às variações na permeabilidade do material magnético. Consequentemente, estas variações na permeabilidade do material, devido às variações na componente contínua da corrente e na tensão aplicada ao indutor, não ocasionam variações apreciáveis na indutância [58, 59].

A metodologia empregada na especificação dos indutores é baseada nos métodos apresentados em [59, 60]. Assim, um algoritmo de maneira resumida é apresentado a seguir:

**Passo 1)** Especificar os dados iniciais de projeto necessários:

- a) Intensidade da indutância requerida ( $L$ );
- b) Valores de pico ( $I_{pico}$ ) e eficaz ( $I_{rms}$ ) da forma de onda da corrente que flui através do indutor;
- c) Frequência máxima ( $f_{s_{max}}$ ) da forma de onda da corrente que flui através o indutor;
- d) Fator de utilização da janela ( $K_u$ ), adotou-se nestes casos  $K_u = 0,7$ ;
- e) Magnitude máxima da densidade de corrente ( $J_{max}$ );
- f) Indução magnética máxima ( $B_{max}$ ), definida em função do tipo do material magnético.
- g) O tipo de núcleo magnético (EE, EC, ETD, PM, PQ, etc).

**Passo 2)** Calcular o produto da área da janela do núcleo requerido  $(A_e W_A)_R$  através da equação 8.1.

$$(A_e \cdot W_A)_R \geq L \cdot \frac{I_{pico} \cdot I_{rms}}{K_u \cdot B_{max} \cdot J_{max}} \quad (8.1)$$

Onde:

$A_e$  é a área efetiva da seção transversal do núcleo magnético;

$W_A$  é área da janela disponível para os enrolamentos;

A figura 8.1 mostra informações referentes à localização dos parâmetros  $A_e$ ,  $W_A$  e entreferro ( $lg$ ) em um núcleo do tipo EE.

**Passo 3)** Encontrar nos catálogos dos fabricantes dos núcleos magnéticos o núcleo candidato que possua um produto  $A_e \cdot W_A$  maior que  $(A_e W_A)_R$  calculado no passo 2. Adotar o valor do  $A_e$  e do  $W_A$  do núcleo selecionado para os passos seguintes.

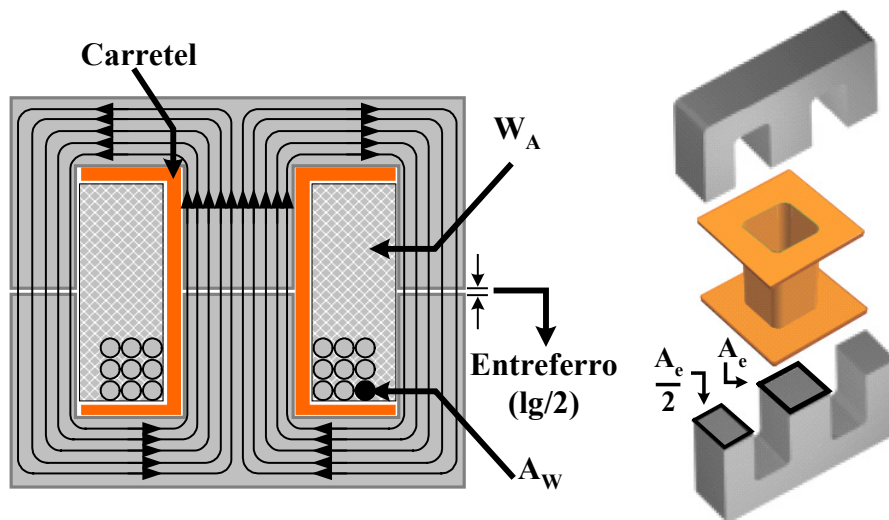


Figura 8.1 – Identificação das variáveis  $A_e$ ,  $W_A$ ,  $A_w$  e  $lg$  em um núcleo do tipo EE.

**Passo 4)** Calcular o número de espiras ( $N$ ), através da equação 8.2.

$$N \geq \frac{L \cdot I_{pico}}{B_{max} \cdot A_e} \cdot 10^4 \quad (8.2)$$

**Passo 5)** Calcular o entreferro necessário ( $lg$ ), através da equação 8.3.

$$lg = \frac{N^2 \cdot A_e \cdot \mu_0}{L} \cdot 10^2 \quad (8.3)$$

Onde:

$N$  é o número de espiras;

$\mu_0$  é a permeabilidade do vácuo;



**Passo 6)** Determinar a seção mínima (bitola) do condutor a ser utilizado nas espiras em função da corrente eficaz exigida. Adota-se um fio que possua uma seção transversal de cobre ( $Scu$ ) com valor maior que ( $Scu_{ini}$ ) dado pela equação 8.4.

$$Scu_{ini} = \frac{I_{rms}}{J_{max}} \quad (8.4)$$

- a) Verificar se a restrição imposta pela equação 8.6 é satisfeita. Se sim significa que o coeficiente de penetração ( $\Delta$ ), dado pela equação 8.5, é maior que o raio da seção transversal de cobre do condutor escolhido, então não será necessário utilizar fios do tipo Litz. Caso contrário, a utilização de fios Litz faz-se necessária, então prossiga para o próximo sub-item.

$$\Delta = \frac{7,5}{\sqrt{fs_{max}}} \quad (8.5)$$

$$\Delta < \sqrt{\frac{Scu}{\pi}} \quad (8.6)$$

- b) Determinar o diâmetro máximo do condutor ( $D_{max}$ ) do condutor e o número de fios necessários para a composição do fio Litz, através das equações 8.7, 8.8 e 8.9.

$$D_{max} = 2 \cdot \Delta \quad (8.7)$$

$$Scu_{Litz} = 2 \cdot \pi \cdot R^2 \quad (8.8)$$

$$N_{Litz} = \frac{Scu_{ini}}{Scu_{Litz}} \quad (8.9)$$

Alguns fatores podem influenciar no fator de utilização da janela do núcleo ( $Ku$ ) ocasionando um valor menor que um. Como por exemplo, quando as camadas de fios no ato do enrolamento das espiras não se encaixam perfeitamente, e, quando o tipo de isolamento, a bitola do fio e o carretel também ocupam uma pequena parcela de área da janela disponível.

No desenvolvimento de todas as especificações considerou-se que:

- o fator de utilização da janela ( $Ku$ ) seria igual a 0,7;
- a magnitude máxima da densidade de corrente ( $J_{max}$ ) é igual a 350A/cm<sup>2</sup>;
- a indução magnética máxima ( $B_{max}$ ) é igual a 0,3 T;
- o tipo de núcleo a ser utilizado é do tipo EE, e o material magnético é ferrite (Thornton – IP12).

Assim, as tabelas 8.2, 8.3 e 8.4 apresentam os resultados dos cálculos efetuados para a especificação e confecção dos indutores  $L_{in}$ ,  $L_{r1}$  e  $L_{r2}$ .

Tabela 8.2 – Resumo dos cálculos efetuados para a especificação do indutor Lin.

Etapas	Variáveis	Amplitudes	Comentários
<b>Passo 1</b>	L	428,40 $\mu\text{H}$	Dados requeridos
	$I_{\text{pico}}$	6,41 A	
	$I_{\text{rms}}$	2,62 A	
	$f_{\text{smax}}$	120 kHz	
<b>Passo 2</b>	$(A_e \cdot W_A)_R$	0,979 $\text{cm}^4$	Produto de áreas requerido
<b>Passo 3</b>	$A_e$	1,81 $\text{cm}^2$	Núcleo EE42/15 ( Thornton )
	$W_A$	2,11 $\text{cm}^2$	
	$A_e \cdot W_A$	3,822 $\text{cm}^4$	
<b>Passo 4</b>	N	51 espiras	
<b>Passo 5</b>	lg	0,138 cm	Entreferro
<b>Passo 6</b>	$Scu_{\text{ini}}$	0,007486 $\text{cm}^2$	AWG 18
	Scu	0,008231 $\text{cm}^2$	
<b>Passo 6.a</b>	$\Delta > \sqrt{\frac{Scu}{\pi}}$		Restrição (8.6) não satisfeita, fio Litz requerido.
<b>Passo 6.b</b>	$D_{\text{max}}$	0,043301 cm	
	$Scu_{\text{Litz}}$	0,001287 $\text{cm}^2$	AWG 26
	$N_{\text{Litz}}$	7	Fio Litz 7 x AWG 26

Tabela 8.3 – Resumo dos cálculos efetuados para a especificação do indutor Lr1.

Etapas	Variáveis	Amplitudes	Comentários
<b>Passo 1</b>	L	28,50 $\mu\text{H}$	Dados requeridos
	$I_{\text{pico}}$	5,0 A	
	$I_{\text{rms}}$	1,45 A	
	$f_{\text{smax}}$	120 kHz	
<b>Passo 2</b>	$(A_e \cdot W_A)_R$	0,028. $\text{cm}^4$	Produto de áreas requerido
<b>Passo 3</b>	$A_e$	0,3929 $\text{cm}^2$	Núcleo EE25/10 ( Thornton )
	$W_A$	0,613 $\text{cm}^2$	
	$A_e \cdot W_A$	0,241 $\text{cm}^4$	
<b>Passo 4</b>	N	13 espiras	
<b>Passo 5</b>	lg	0,029 cm	Entreferro
<b>Passo 6</b>	$Scu_{\text{ini}}$	0,004143 $\text{cm}^2$	AWG 20
	Scu	0,005176 $\text{cm}^2$	
<b>Passo 6.a</b>	$\Delta > \sqrt{\frac{Scu}{\pi}}$		Restrição (8.6) não satisfeita, fio Litz requerido.
<b>Passo 6.b</b>	$D_{\text{max}}$	0,043301 cm	
	$Scu_{\text{Litz}}$	0,001287 $\text{cm}^2$	AWG 26
	$N_{\text{Litz}}$	4	Fio Litz 4 x AWG 26

Portanto, a confecção do indutor  $L_{in}$  deverá ser efetuada utilizando-se um núcleo magnético do tipo ferrite EE42/15 Thornton, o carretel deverá conter 51 espiras de um fio do tipo Litz composto por 7 fios trançados de seção AWG 26.

A confecção do indutor  $L_{r1}$  deverá ser efetuada utilizando-se um núcleo magnético do tipo ferrite EE25/10 Thornton, o carretel deverá conter 13 espiras de um fio do tipo Litz composto por 4 fios trançados de seção AWG 26.

De acordo com a tabela 8.4, a confecção do indutor  $L_{r2}$  deverá ser efetuada utilizando-se um núcleo magnético do tipo ferrite EE25/10 Thornton, o carretel deverá conter 17 espiras de um fio do tipo Litz composto por 4 fios trançados de seção AWG 26.

Tabela 8.4 – Resumo dos cálculos efetuados para a especificação do indutor  $L_{r2}$ .

Etapas	Variáveis	Amplitudes	Comentários
<b>Passo 1</b>	L	19,99 $\mu$ H	Dados requeridos
	$I_{pico}$	9,79 A	
	$I_{rms}$	1,77 A	
	$f_{s_{max}}$	120 kHz	
<b>Passo 2</b>	$(A_e \cdot W_A)_R$	0,047. $cm^4$	Produto de áreas requerido
<b>Passo 3</b>	$A_e$	0,3929 $cm^2$	Núcleo EE25/10 ( Thornton )
	$W_A$	0,613 $cm^2$	
	$A_e \cdot W_A$	0,241 $cm^4$	
<b>Passo 4</b>	N	17 espiras	
<b>Passo 5</b>	lg	0,071 cm	Entreferro
<b>Passo 6</b>	$Scu_{ini}$	0,005057 $cm^2$	AWG 20
	$Scu$	0,005176 $cm^2$	
<b>Passo 6.a</b>	$\Delta > \sqrt{\frac{Scu}{\pi}}$		Restrição (8.6) não satisfeita, fio Litz requerido.
<b>Passo 6.b</b>	$D_{max}$	0,043301 cm	
	$Scu_{Litz}$	0,001287 $cm^2$	AWG 26
	$N_{Litz}$	4	Fio Litz 4 x AWG 26

Levando em conta que a operação do conversor em aplicações como pré-regulador implica diretamente em operação com frequência variável, e que o desenvolvimento da modelagem da estrutura convencionou que os valores das indutâncias não seriam afetados por esta variação de frequência de operação, a verificação dos efeitos da variação de frequência frente à intensidade da indutância nos indutores confeccionados é necessária. Assim, a tabela 8.4a apresenta os resultados aferidos para a intensidade da indutância e da resistência série

dos indutores de entrada em quatro pontos discretos de frequência (1kHz, 10kHz, 20kHz e 100kHz), que englobam o intervalo previsto para a variação de frequência na operação como pré-regulador. Estas aferições foram realizadas utilizando medidor digital RLC modelo HP-4263B. Através da análise dos dados obtidos constatou-se que a diferença percentual da indutância devido à variação de frequência é quase nula dentro da faixa de ensaio, implicando que a convenção adotada na modelagem é válida para esta configuração de projeto de indutores.

Adicionalmente, em virtude do surgimento de problemas de EMI relacionados entre os indutores principais e os sensores de corrente, devido localização e a proximidade dos mesmos no circuito impresso. Uma das tentativas de minimizar estas interferências foi a utilização de um tipo de blindagem nos indutores. Esta blindagem consistia de uma fita de cobre no formato de retângulo, presa como se fosse uma cinta ao redor do núcleo e carretel. Apesar de minimizar os efeitos da interferência eletromagnética, este procedimento de blindagem não é adequado para operação com frequência variável pois modifica a intensidade da indutância e a torna mais susceptível à variação de frequência, como mostra a ultima coluna da tabela 8.4a.

Tabela 8.4a – Variação da intensidade da indutância e da resistência série dos indutores  $L_{in-i}$ , em função de pontos discretos de frequência .

Indutor	Frequência [kHz]	Indutância [ $\mu$ H]	Resistência Série [ $\Omega$ ]	Indutância [ $\mu$ H] Com Cinta de Cobre
$L_{in-1}$	1	428,68	67,52m	475,62
	10	428,69	93,54m	431,54
	20	428,70	168,25m	410,30
	100	428,12	2,02	360,44
$L_{in-2}$	1	428,42	77,82m	
	10	428,37	103,10m	
	20	428,33	173,80m	
	100	428,27	2,01	
$L_{in-3}$	1	429,37	83,53m	
	10	429,36	119,42m	
	20	429,33	183,20m	
	100	429,29	2,11	
$L_{in-4}$	1	428,70	79,82m	
	10	428,71	104,60m	
	20	428,67	178,50m	
	100	428,35	2,08	

### **8.3 - Cálculo Térmico Para os Semicondutores**

O parâmetro que limita a capacidade de corrente de coletor de um IGBT é a máxima temperatura de junção  $T_j$ . Esta temperatura não deve ultrapassar o limite indicado pelo fabricante, pois provoca a destruição do componente por superaquecimento. Analogamente, os diodos também devem operar dentro dos limites de temperatura estipulados pelo seu fabricante.

Para dissipar o calor gerado pelo dispositivo e manter sua temperatura de junção dentro dos limites recomendados é necessário montar o mesmo sobre um dissipador de calor que possua uma resistência térmica entre a cápsula e o ambiente ( $R_{thca}$ ) adequada.

A determinação da resistência térmica necessária para o dissipador envolve a quantificação da energia dissipada pelo dispositivo durante um período de comutação, assim, faz-se necessário quantificar as perdas em cada semicondutor da topologia analisada.

As perdas nos semicondutores são divididas em: perdas de condução e perdas de comutação. As perdas de comutação podem ser classificadas em: perdas de comutação durante a entrada em condução e perdas de comutação durante o bloqueio.

A temperatura de junção  $T_j$  antes de atingir sua inércia térmica de junção sofre uma oscilação, usualmente esta oscilação ocorre quando semicondutores operam em frequências inferiores a 3kHz. No desenvolvimento dos cálculos térmicos, uma vez que a frequência de operação dos semicondutores é muito superior a 3kHz, considerou-se que a temperatura de junção já atingiu sua inércia térmica.

Adicionalmente, os semicondutores devem ser classificados como dispositivos discretos ou não discretos. Usualmente o dispositivo é classificado como discreto quando dentro do encapsulamento existe uma única pastilha referente a um semicondutor, por exemplo, um diodo. Por outro lado, os dispositivos tidos como não discretos geralmente são denominados de módulos, pois são dispositivos compostos por várias pastilhas conectadas em série/paralelo e encapsuladas com a mesma resina térmica. Os IGBTs não possuem diodos intrínsecos em antiparalelo como acontece com os MOSFETs, os diodos que podem existir em antiparalelo com os IGBTs são conectados externamente à sua pastilha semicondutora e posteriormente cobertos com a mesma resina térmica, sendo classificados portanto como dispositivos não discretos.

Deste modo, cada célula de comutação do conversor boost ZCS-FM é composta de dois módulos e dois componentes discretos. Os módulos estão representando os interruptores principal e auxiliar e seus diodos em antiparalelo encapsulados, enquanto os componentes discretos representam os diodos auxiliares  $D_{1-i}$  e os diodos  $D_{2-i}$  boost.

Os seguintes dados são requeridos para determinação dos cálculos térmicos, sendo que são comumente retirados da ficha de informações do componente fornecida pelo fabricante:

- $R_{thjc}$  : resistência térmica junção-cápsula;
- $R_{thcd}$  : resistência térmica cápsula-dissipador;
- $T_j$  : máxima temperatura de junção admissível pelo semiconductor.

As etapas de cálculo da resistência térmica do dissipador ( $R_{thda}$ ) são descritas de forma resumida a seguir:

1. Determinação da potência média dissipada ( $P_i$ ) em todos os componentes dos módulos e nos componentes discretos;
2. Determinação das temperaturas de cápsula ( $T_{c_i}$ ) em todos os componentes dos módulos e nos componentes discretos, através da equação 8.10;

$$T_{c_i} = T_i - R_{thjc_i} \cdot P_i \quad (8.10)$$

3. Escolher o menor valor da temperatura de cápsula ( $T_{c_i}$ ) em cada módulo para utilizar como temperatura limite para o módulo [  $T_{c(modi)}$  ];
4. Determinar os valores das temperaturas do dissipador em cada módulo ( $T_{d(modi)}$ ) e componentes discretos ( $T_{d_i}$ ), através da equações 8.11 e 8.12;

$$T_{Dmodi} = T_{c_{modi}} - R_{thcd} \cdot P_{modi} \quad (8.11)$$

$$T_{Di} = T_{c_i} - R_{thcd} \cdot P_i \quad (8.12)$$

É importante salientar que a resistência térmica entre a cápsula e o dissipador depende do material térmico utilizado, neste caso utilizou-se a mica, que apresenta uma resistência térmica no valor de 0,58° C/W.

5. Escolher o menor valor de ( $T_{Di}$ ) para ser utilizado com o ( $T_{DT}$ );

6. Calcular a resistência térmica do dissipador  $R_{thda}$  necessária, através da equação 8.13.

$$R_{thda} = \frac{T_{DT} - T_a}{\sum_{i=1}^i P_i} \quad (8.13)$$

Por motivos de layout de placa de circuito impresso, e do número de semicondutores utilizados, optou-se por acomodar todos os semicondutores em um único dissipador de maneira plana. Assim, a figura 8.2 mostra o circuito térmico equivalente do conversor Boost ZCS-FM Interleaved implementado com duas células.

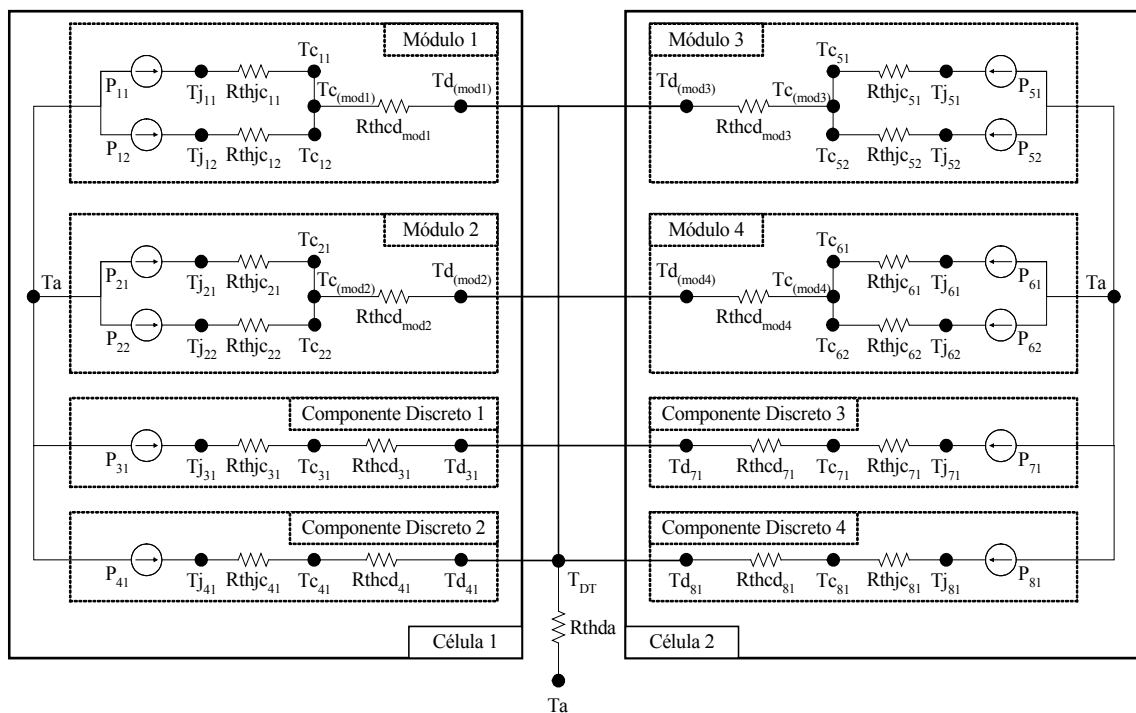


Figura 8.2 - Circuito térmico equivalente do conversor Boost ZCS “Interleaved”, utilizando duas células de comutação.

Os módulos 1 e 3 que representam os interruptores principais das células de comutação são compostos pelo componente HGTP12N604AD, que consiste de um IGBT e um diodo em antiparalelo encapsulado. A tabela 8.5 mostra um resumo dos resultados térmicos determinados para estes módulos.

Os módulos 2 e 4 que representam os interruptores auxiliares das células de comutação são compostos pelo componente HGTP7N604AD, que consiste de um IGBT e um diodo em antiparalelo encapsulado. A tabela 8.6 mostra um resumo dos resultados térmicos determinados para estes módulos.

Tabela 8.5 – Resumo dos resultados obtidos no cálculo térmico dos módulos 1 e 3.

Módulos 1 e 3 HGTP12N604AD	IGBT	Diodo
<b>Índice [i]</b>	11 e 51	12 e 52
<b>R<sub>thjc<sub>i</sub></sub></b>	0,75°C/W	2,0°C/W
<b>T<sub>ji</sub></b>	130 °C	130 °C
<b>P<sub>i</sub></b>	1,512W	0,480W
<b>T<sub>ci</sub></b>	128,5 °C	126,0 °C
<b>T<sub>cmod1,3</sub></b>	126°C	
<b>T<sub>Dmod1,3</sub></b>	124,84 °C	

Analogamente, os cálculos foram efetuados para o restante dos componentes presentes no circuito térmico equivalente. Estes componentes discretos representam os diodos D<sub>1</sub> e D<sub>2</sub> das células de comutação e são compostos pelos componentes RHRP860 e RHRP8100. Os resultados térmicos determinados são apresentados na tabela 8.7.

Tabela 8.6 – Resumo dos resultados obtidos no cálculo térmico dos módulos 2 e 4.

Módulos 2 e 4 HGTP7N604AD	IGBT	Diodo
<b>Índice [i]</b>	21 e 61	22 e 62
<b>R<sub>thjc<sub>i</sub></sub></b>	1,0°C/W	2,2°C/W
<b>T<sub>ji</sub></b>	130 °C	130 °C
<b>P<sub>i</sub></b>	1,3W	0,05W
<b>T<sub>ci</sub></b>	128,65 °C	127,0 °C
<b>T<sub>cmod2,4</sub></b>	127,0 °C	
<b>T<sub>Dmod2,4</sub></b>	126,2 °C	

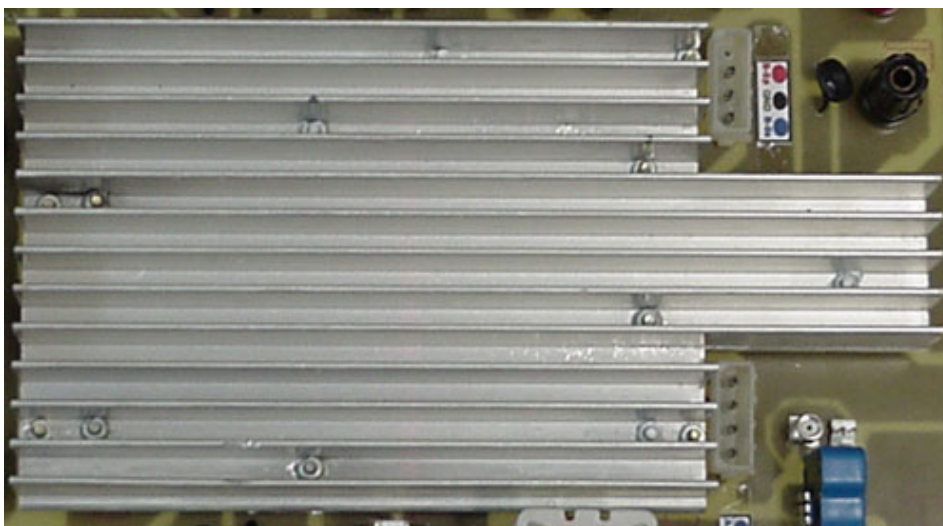
Tabela 8.7 – Resumo dos resultados obtidos no cálculo térmico dos componentes discretos 1 a 4.

Componentes Discretos 1 a 4 RHRP8100/860	Diodo D <sub>1</sub> RHRP860	Diodo D <sub>2</sub> RHRP8100
<b>Índice [i]</b>	31 e 71	41 e 81
<b>R<sub>thjc<sub>i</sub></sub></b>	2,0°C/W	2,0°C/W
<b>T<sub>ji</sub></b>	157,5 °C	157,5 °C
<b>P<sub>i</sub></b>	1,3W	3,7W
<b>T<sub>ci</sub></b>	147,5 °C	147,5 °C
<b>T<sub>Di</sub></b>	144,6 °C	



Analisando-se todos os valores determinados para as temperaturas de dissipador ( $T_{Di}$ ), de acordo com a etapa 5 do algoritmo, adota-se que a temperatura global do dissipador ( $T_{DT}$ ) deva ser a temperatura de dissipador encontrada para os módulos 1 e 3,  $124,84^{\circ}\text{C}$ , pois é o menor valor de temperatura.

Considerando-se o valor da temperatura ambiente ( $T_a$ ) igual a  $30^{\circ}\text{C}$ , e a última etapa do algoritmo de cálculo da resistência térmica, determinou-se que o dissipador a ser empregado deve possuir uma resistência térmica inferior a  $5,6^{\circ}\text{C/W}$ , para manter as temperaturas de junção dos semicondutores dentro dos padrões de segurança, ou seja, inferiores às máximas temperaturas permitidas. Adicionalmente, a figura 8.3 apresenta detalhes do perfil do dissipador utilizado para acondicionar os semicondutores utilizados.



(a) Visão superior do perfil do dissipador empregado.



(b) Visão lateral do perfil do dissipador empregado.

Figura 8.3 – Detalhes do perfil do dissipador utilizado para acomodar os semicondutores.

## 8.4 – Circuitos Integrantes do Controle Digital

Basicamente a implementação do circuito de controle digital é composta por três blocos distintos, como ilustra a figura 8.4. O primeiro bloco tem o objetivo de efetuar a aquisição das variáveis requeridas no processo de controle, sendo composto por sensores, estágios de condicionamento e quatro conversores analógico-digitais (A/D). O segundo bloco envolve toda a lógica do processamento das informações e as tomadas de decisões, aqui representado pelo dispositivo FPGA. O terceiro bloco se refere ao circuito de comando que recebe as informações de controle do FPGA e atua nos interruptores localizados no circuito de potência, levando-os para a condução ou bloqueio.

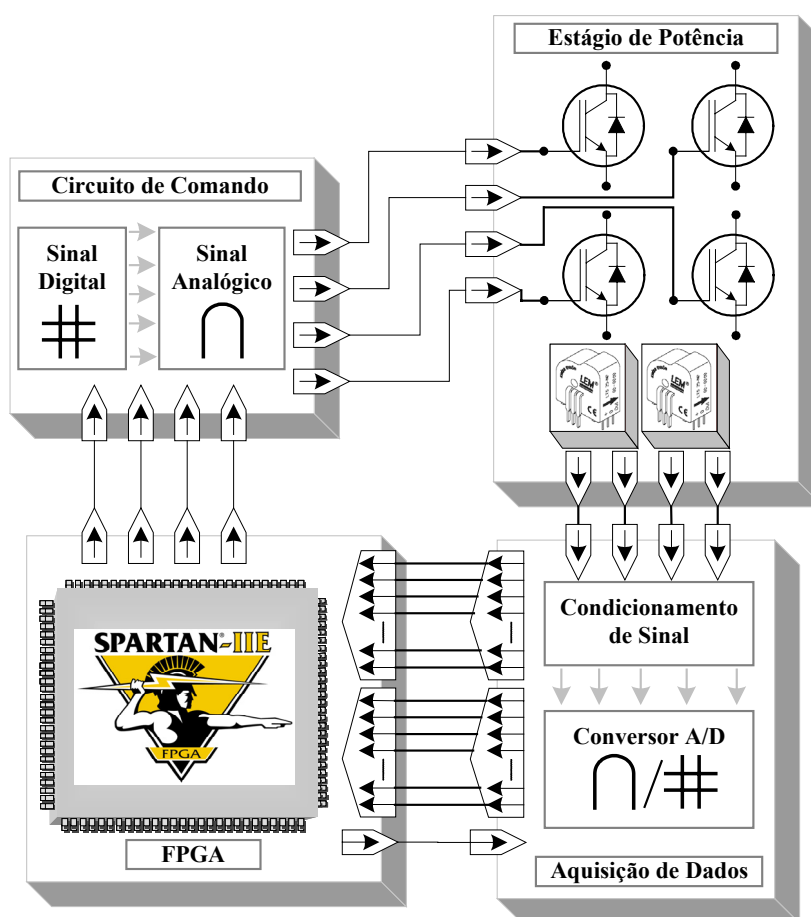


Figura 8.4 – Diagrama de blocos do circuito de controle e suas ligações ao estágio de potência.

No protótipo desenvolvido, a malha de controle de fase atua na imposição do modo de condução crítico da corrente que flui através dos indutores  $L_{in}$  presentes nas células de comutação, e na imposição da fase de operação para garantir a aplicação da técnica de “*interleaving*”.

O estágio de controle completo, composto pelo estágio de regulação de tensão e do estágio de controle de fase, emprega os dados referentes às amostras da tensão de entrada  $V_{in}$  e tensão de saída  $V_{out}$  quantizadas pelos estágios de aquisição de dados, para determinar a largura de pulso de comando necessária a ser imposta aos interruptores para manter a tensão de saída regulada no valor de referência adotado.

#### 8.4.1- Sensor de Corrente

Optou-se pela utilização de sensores de corrente que operam através do efeito “Hall” para aferir as correntes que fluem através dos indutores boost  $L_{in-i}$  em cada célula de comutação, ao invés da utilização dos tradicionais resistores “shunt”, por dois motivos principais.

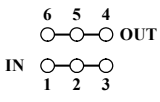
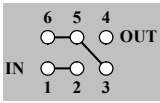
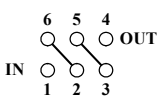
O primeiro motivo concerne no fato de que a resistência série apresentada pelo sensor é muito baixa, portanto não representando a inserção de perdas. Este é um fator crítico, pois o sensor está localizado no caminho de transferência de energia para a carga, quanto maior esta resistência maior seria a perda de energia envolvida. O segundo motivo é que o sensor, devido à sua própria característica de funcionamento, através do efeito Hall, proporciona um sinal de saída que pode ser isolado da massa de potência. Este fato facilita a integração com o circuito de controle que geralmente possui massa diferente da massa do circuito de potência.

Os sensores de corrente utilizados foram o LTS 15-NP fabricados pela LEM Components, que possuem uma resistência série inferior a  $1,62\text{m}\Omega$ . Outras características relevantes do sensor empregado são: ser compacto, facilitando a incorporação na placa de circuito impresso, excelente precisão, linearidade frente à variações de temperatura e capacidade de suportar excessos de correntes.

Entretanto, apesar de seu fabricante salientar que o mesmo possui imunidade à interferências externas devido ao seu encapsulamento, a resposta dos sensores apresentou susceptibilidade a interferências eletromagnéticas quando os mesmos estão localizados fisicamente próximo aos elementos indutivos.

A configuração dos sensores para a operação é efetuada de acordo com a tabela 8.8. Em função dos esforços de corrente ao qual serão submetidos, os mesmos foram montados utilizando duas espiras no enrolamento primário.

Tabela 8.8 – Configurações de operação do sensor de corrente LTS 15-NP.

Número de Espiras no Enrolamento Primário	Corrente RMS Nominal no Enrolamento Primário $I_{PN}[A]$	Tensão de Saída Nominal $V_{OutLEM}[V]$	Resistência Série do Enrolamento Primário $R[m\Omega]$	Indutância do Enrolamento Primário $L[\mu H]$	Conexão Recomendada
1	$\pm 15$	$2,5 \pm 0,625$	0,18	0,013	
2	$\pm 7,5$	$2,5 \pm 0,625$	0,81	0,015	
3	$\pm 5$	$2,5 \pm 0,625$	1,62	0,12	

Assim, o comportamento da tensão de saída deste sensor pode ser expresso através da equação 8.14, onde  $I_{PN}$  passa a valer 7,5. A figura 8.5 ilustra um gráfico da tensão de saída em função da corrente que flui no primário.

$$V_{OutLEM} = 2,5 \pm 0,625 \cdot \frac{I_P}{I_{PN}} \quad (8.14)$$

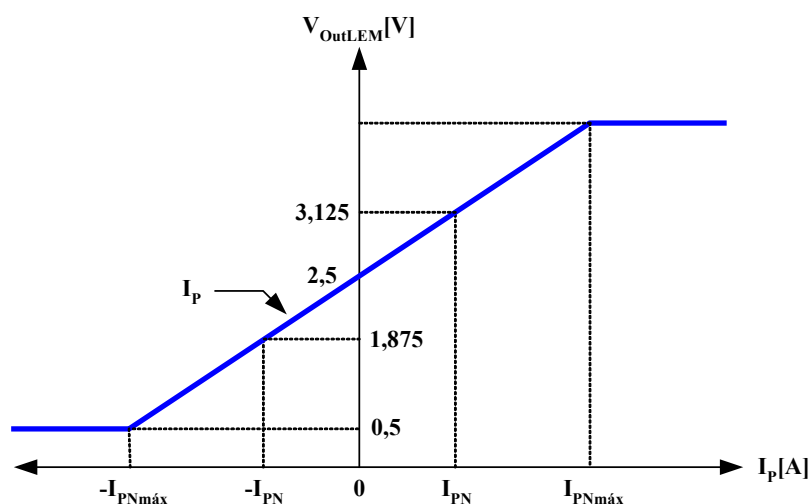


Figura 8.5 – Tensão de saída em função da corrente no enrolamento primário.

#### 8.4.2 – Conversor Analógico-Digital (A/D)

A substituição de circuitos de controle analógicos por circuitos digitais implica na utilização de métodos de processamento digital de sinais que fundamentalmente requerem que os sinais envolvidos sejam quantificados no plano de tempo discreto e representados como uma sequência de palavras consistindo de 1's e 0's. Entretanto, os sinais analógicos reais são

naturalmente não discretos e variam continuamente com o tempo. Assim, torna-se necessário efetuar a conversão de sinais elétricos analógicos para uma representação digital, função realizada por um dispositivo denominado conversor analógico-digital, ou simplesmente, conversor A/D.

A escolha do tipo de conversor A/D a ser empregado depende da especificação de alguns parâmetros referentes à precisão desejada, taxa de amostragem, largura de banda requerida e o custo do sistema. O número de níveis de quantização utilizados para representar o sinal analógico, ou seja, o número de bits utilizados para representar o sinal na base binária e a taxa em que o sinal é amostrado, geralmente são especificados em função da precisão desejada.

No desenvolvimento deste projeto optou-se nos sistemas de aquisição das formas de onda de tensão proporcionais às de corrente pela utilização de conversores A/D do tipo “*Pipelined*”, em função da sua capacidade de efetuar conversões a taxas extremamente altas, oferecendo ao mesmo tempo uma elevada precisão à custa de um atraso existente no processo de entrega do dado de saída referente à conversão.

Especificamente, empregou-se o conversor A/D do tipo “*Pipelined*” ADS2807 fabricado pela Texas Instruments. Este conversor apresenta dois canais de conversão A/D, modo de entrada de sinal analógico diferencial e CC com amplitudes de 2V e 3V de pico a pico, resolução de 12 bits com saída paralela nos dois canais, taxa de amostragem configurável variando de 100kHz até 50MHz, modo de conversão contínuo, um atraso de seis períodos de “*clock*” para a entrega do valor aquisitado no barramento de saída de dados [60].

Os principais sinais lógicos envolvidos nos processos de conversão em cada canal são:

- “***Clock***” – sinal lógico de controle que ativa o processo de conversão, possui a forma de onda quadrada composta por uma parcela com nível lógico igual a 1 denominada  $t_H$  e outra parcela com nível lógico igual a 0 denominada  $t_L$ ;
- ***DVA*** – sinal lógico de controle que indica que existe uma palavra de 12 bits no barramento de saída de dados referente à aquisição de um sinal válido;
- ***OVR*** – sinal lógico de controle que indica que a amplitude do sinal de entrada está fora de escala, ou seja, fora dos valores limites impostos pela configuração do A/D para efetuar a aquisição;
- ***Dado de Saída*** – barramento de sinal composto por 12 bits representando a quantização do sinal de entrada analógico imposto para conversão A/D.

O diagrama da figura 8.6 mostra como funciona o processo de conversão realizado pelo A/D em termos de seus sinais de controle.

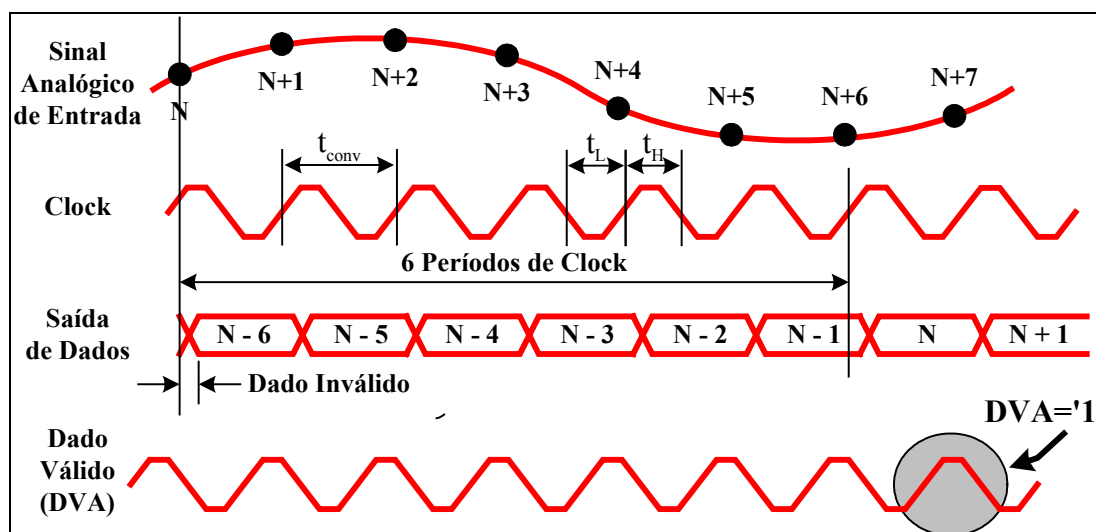


Figura 8.6 – Processo de conversão ADS2807 em termos de seus sinais de controle.

O período de conversão ( $t_{conv}$ ) é imposto pelo período do sinal de “clock” aplicado. A informação “N” aquisitada do sinal analógico de entrada só estará disponível no barramento de saída de dados após seis períodos de conversão ( $t_{conv}$ ) e durante o intervalo de tempo do período de conversão em que o sinal de dado válido (DVA) estiver com nível lógico igual a 1.

Configurou-se o conversor A/D para operação no modo de aquisição contínuo, utilizando a taxa de amostragem imposta pelo sinal de controle “clock” enviado pelo circuito do controle digital proveniente do dispositivo FPGA. Este sinal possui uma frequência de 12,5MHz resultando em um atraso de 480ns, relativo aos seis períodos de “clock”, entre a aquisição do sinal analógico e a entrega do sinal quantizado (convertido) no barramento de saída do canal utilizado.

A utilização de sinais com característica CC e a escolha do fundo de escala como sendo de 2V de pico a pico foram outras configurações impostas para o funcionamento do dispositivo A/D. Portanto, a amplitude dos sinais analógicos de entrada deverá estar dentro da faixa correspondente as intensidades de 1,5V a 3,5V.

Nos sistemas de aquisição das formas de onda de tensão proporcionais às da tensão de saída e da tensão de entrada optou-se pela utilização de conversores A/D convencionais de aproximação sucessiva SAR, com entradas do tipo “pseudo-diferencial”, função “track-hold” inerente, tempo de conversão de 2,3 $\mu$ s e uma interface serial de alta velocidade que facilita a comunicação dos dados com outros dispositivos.

Especificamente, empregou-se o conversor A/D AD7810 de 10 bits para a aquisição da tensão de saída e o conversor A/D AD7823 de 8 bits para a aquisição da tensão de entrada, ambos fabricados pela Analog Devices, por possuírem lógicas de controle de aquisição parecidas, diferindo apenas no número de pulsos requeridos para a leitura do dado na interface serial (8 e 10 bits).

Os principais sinais lógicos da interface serial envolvidos nos processos de conversão são:

- **CONVST** – sinal lógico de controle para início de conversão, a borda de descida deste sinal habilita o início da conversão e a borda de subida habilita a porta da interface serial de dados do conversor;
- **SCLK** – sinal lógico de controle referente ao trem de pulsos a ser aplicado na interface serial, determina a frequência com que os dados seriais serão deslocados para leitura;
- **DOUT** – barramento serial de saída de dados.

A taxa de amostragem foi estabelecida como sendo 50kHz e o modo de operação do tipo “Power-Down”, ou modo de economia de energia, nos dois conversores empregados. Neste modo de operação o estágio de conversão do conversor A/D é automaticamente desligado ao final de cada tarefa de conversão. O processo de energização do estágio de conversão, para uma nova aquisição, é comandado pela borda de subida do sinal CONVST e possui a duração de 1,5 $\mu$ s. Decorrido este tempo o conversor efetua o processo de conversão, que possui a duração de 2,3  $\mu$ s para o conversor AD7810, e o resultado da quantização do sinal de entrada é armazenado no registrador de deslocamento serial, posteriormente o estágio de conversão é desligado automaticamente. Assim, o mínimo tempo de conversão efetivo neste modo de operação é igual ao tempo de energização mais o tempo requerido para a conversão SAR, aproximadamente igual a 3,8 $\mu$ s para o conversor AD7810. Adicionalmente, a borda de subida do sinal CONVST ativa a porta serial de dados de saída, possibilitando que o dado armazenado no registrador de deslocamento possa ser transferido para a saída DOUT a cada evento de borda de subida do sinal SCLK.

O diagrama da figura 8.7 mostra como funciona o processo de conversão realizado pelo A/D em termos de seus sinais de controle.

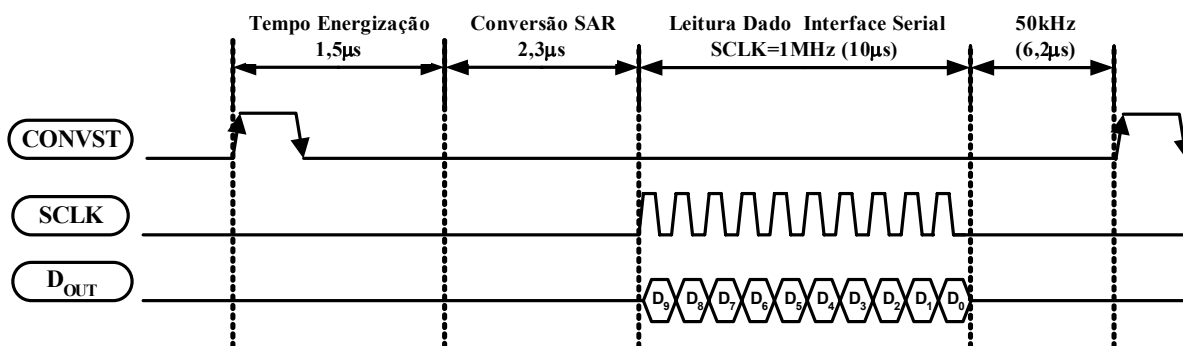


Figura 8.7 – Processo de conversão AD7810 em termos de seus sinais de controle.

### 8.4.3 - Estágio de Condicionamento de Sinais do Conversor A/D

Usualmente, um estágio primário de condicionamento de sinal é acoplado antes do conversor A/D, de maneira a proporcionar um estágio de isolamento entre circuitos, ou com o propósito de adequar as amplitudes dos sinais para que se encaixem dentro da faixa de amplitudes válidas para a aquisição, e explorando o máximo da escala permitida, melhorando os resultados.

O circuito esquemático do estágio de condicionamento do sinal utilizado nos estágios de aquisição dos sinais de tensão proporcionais às tensões de entrada e de saída é mostrado na figura 8.8. O circuito é composto basicamente de um filtro analógico do tipo passa baixa e de um estágio de isolamento dos sinais analisados entre o circuito de potência e o circuito de aquisição de dado.

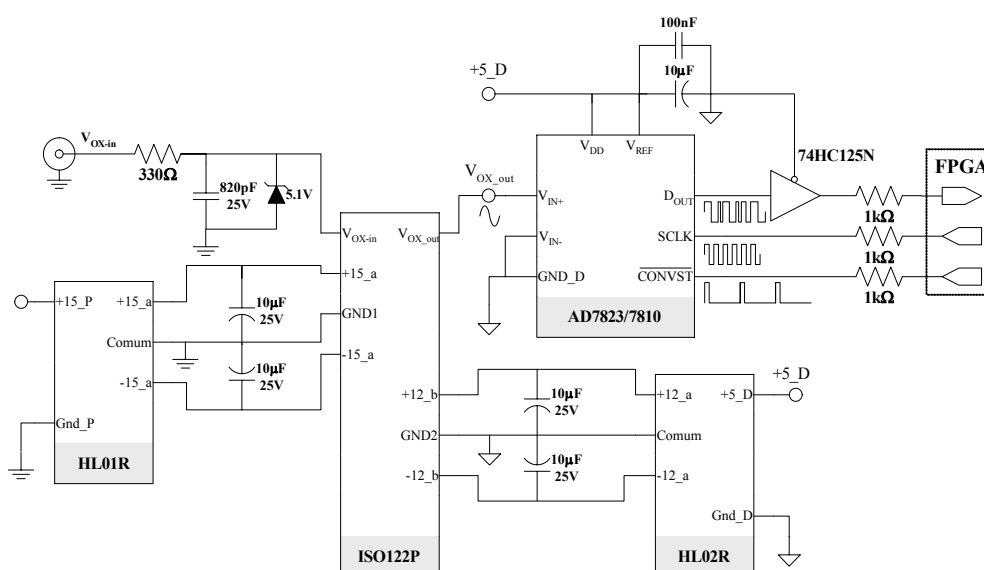


Figura 8.8 – Circuito esquemático de um módulo do estágio de condicionamento de sinal para os conversores A/D AD7823/7810.



A figura 8.9 mostra o circuito esquemático do estágio de condicionamento do sinal que tem a função de adequar o sinal de tensão proveniente do sensor de corrente para servir de sinal de entrada para o conversor A/D ADS2807[61-62], responsável pelo processamento do sinal de tensão proporcional ao valor das correntes através dos indutores boost, os quais serão utilizados para impor o modo de condução crítica.

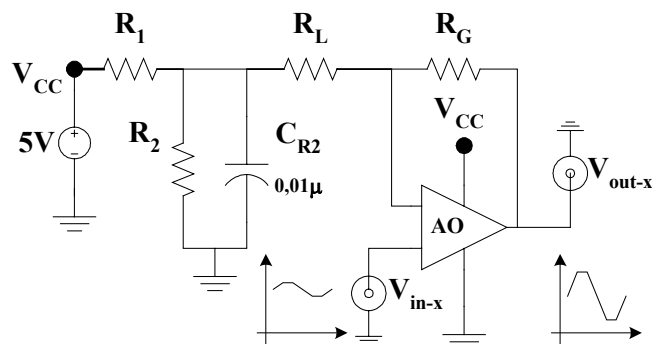


Figura 8.9 – Circuito esquemático de um módulo do estágio de condicionamento de sinal para os conversores A/D ADS2807.

Uma importante característica desta configuração é necessitar de apenas um amplificador operacional e de operar com apenas uma fonte, ou seja, não exigindo fontes simétricas. O amplificador operacional utilizado para implementar este estágio de condicionamento foi o LM6171BIN fabricado pela National Semiconductors. Este dispositivo faz parte da classe dos amplificadores operacionais ultra-rápidos possuindo um “*slew rate*” em torno de 3600V/μs.

O sinal de tensão proveniente do sensor de corrente, devido ao modo de operação do conversor, é composto de uma parcela CC e uma parcela CA possuindo um valor mínimo de 2,5V e um valor máximo de 3,3V. Enquanto os limites de escala do conversor A/D são 1,5V e 3,5V.

Isto significa que o estágio de condicionamento de sinal deve impor que a intensidade do sinal de saída deverá ser igual a 1,5V quando o sinal proveniente do sensor for igual a 2,4V e igual a 3,5 quando o sinal do sensor for igual a 3,2V. Informa-se que um grau de liberdade de 10% foi imposto nos limites das escalas para evitar instabilidade quando da operação nos limites das escalas.

Considerando a configuração presente na figura 8.9 e os valores limites em cada escala é possível determinar o valor dos componentes através da solução de um sistema de equações lineares dado por 8.15.

$$\begin{aligned} 1,5 &= 2,4 \cdot m - b \\ 3,5 &= 3,2 \cdot m - b \end{aligned} \quad (8.15)$$

Considerando que  $R_1/R_2$  seja muito menor que  $R_G$ , podemos expressar “m” e “b” de maneira simplificada através das equações 8.16 e 8.17.

$$m = \frac{R_F + R_G}{R_G} \quad (8.16)$$

$$b = V_{CC} \cdot \left( \frac{R_F}{R_G} \right) \cdot \left( \frac{R_2}{R_1 + R_2} \right) \quad (8.17)$$

A solução do sistema de equações lineares 8.15, leva a um valor de “m” igual a 2,5 e a um valor de “b” igual a 4,5. Adotando-se que  $R_G$  seja igual a  $10k\Omega$  deriva-se que  $R_F$  é igual a  $15k\Omega$ . Analogamente, fazendo  $R_1$  igual a  $1k\Omega$  tem-se que  $R_2$  vale  $1,5k\Omega$ .

Para comprovar o funcionamento do estágio condicionador projetado, foi efetuada uma simulação através do software Pspice, utilizando o modelo do amplificador operacional LM6171BIN fornecido pelo fabricante. Um sinal possuindo o comportamento da forma de onda de tensão fornecida pelo sensor de corrente foi emulado, e utilizado como dado de entrada. A figura 8.10 mostra as formas de onda referentes aos sinais de entrada e saída, comprovando que o estágio condicionador está funcionando como projetado.

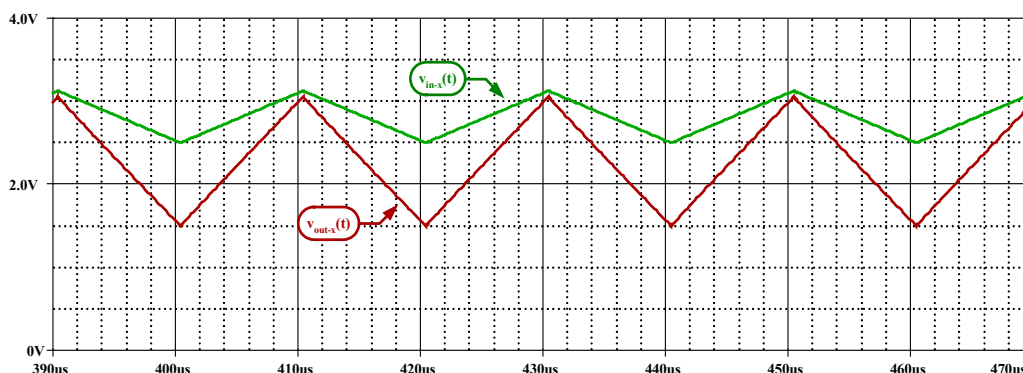


Figura 8.10 – Formas de onda referentes aos sinais de entrada e saída do condicionador de sinais.

#### 8.4.4 - Circuito de Acionamento de Interruptores

Um estágio intermediário entre o circuito de controle e o circuito de potência se faz necessário por dois motivos principais: adequação dos sinais de controle e isolamento. O circuito de controle empregado é baseado na utilização de um dispositivo lógico programável FPGA Spartan-III, os sinais de controle que representam os pulsos de comando dos interruptores provenientes deste dispositivo estão em níveis lógicos digitais no padrão LVTTTL, com nível lógico alto em 3,3V.

Por outro lado, os interruptores IGBT empregados nas células de comutação dos estágios de potência requerem para seu correto acionamento níveis mínimos de tensão e

corrente nos sinais analógicos de entrada dos seus “*gates*”. Assim, os sinais digitais de controle provenientes do FPGA precisam ser convertidos para um padrão analógico capaz de acionar com segurança os interruptores. Adicionalmente, a incorporação de uma técnica de isolamento entre os estágios é uma forma de proteção do circuito digital.

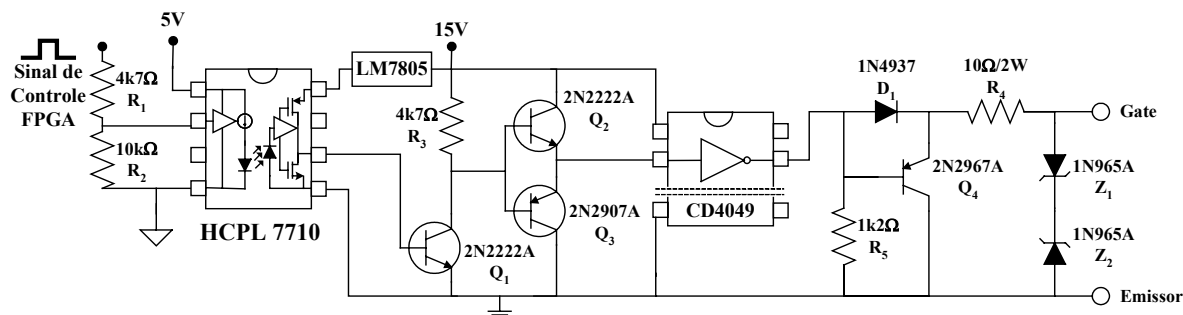


Figura 8.11 – Circuito esquemático do estágio de acionamento dos interruptores.

A configuração utilizada para o acionamento de um interruptor está presente na figura 8.11, é composta basicamente de um optoacoplador HCPL 7710 da Hewlett Packard, um estágio elevador de tensão composto por uma configuração de transistores NPN e PNP que opera com lógica inversa, um buffer de corrente do tipo inversor e um circuito de ataque de IGBT composto por um transistor e uma resistência.

Uma vez que cada célula possui dois interruptores, o número de circuitos idênticos requeridos neste estágio depende do número de células empregadas. Neste protótipo foram utilizados dois conjuntos de duas células de comutação, portanto cada conjunto foi composto por quatro circuitos simétricos cada um referente a um interruptor.

Esta configuração emprega um grande número de componentes em cascata o que pode levar a um atraso de propagação de até 200ns, limitando o tamanho da largura do pulso e a frequência máxima dos sinais de comando. Como proposta poder-se-ia substituir a utilização desta grande combinação de componentes discretos em cada acionamento por um único ASIC, que possui implementadas estas operações de isolamento e circuito de ataque, apresentando também a vantagem de possuir menor atraso de propagação, como por exemplo, o HCPL-3180 da Agilent Technologies.

#### 8.4.5 - Circuito de Detecção de Zero Empregando a Metodologia Analógica

A amostragem digital das correntes através dos indutores boost é o elemento basilar para a técnica de controle implementada no dispositivo FPGA, para garantir o modo de condução crítica e a adequada fase de operação entre as células em “*interleaving*”. Desta

forma, uma vez que se verificou, sob determinadas condições de operação, erros de aquisição dos sensores de corrente (devido interferências eletromagnéticas), implementou-se um estágio de detecção de zero de forma analógica. Esta detecção de zero, em redundância, em conjunto com os sinais de detecção de zero na forma digital, impõe através de lógica implementada no FPGA, a correta operação das células em “*interleaving*” com imunidade aos possíveis ruídos nos sensores de corrente de efeito “Hall”.

A figura 8.12 mostra a configuração utilizada para o circuito de detecção de zero empregando a metodologia analógica. Este circuito é composto basicamente de um estágio retificador, um comparador de tensão representado por um amplificador operacional LM6171BIN, um optoacoplador HCPL 7710 e um buffer de tensão 74HC125N. O sinal analógico de entrada deste estágio é um sinal de tensão proveniente de um enrolamento secundário com polaridade subtrativa presente no indutor principal em cada células de comutação, e o sinal de saída é um sinal digital contendo a informação do instante em que a corrente através dos indutores tornam-se nulas, através do evento da sua borda de descida do nível lógico alto para baixo.

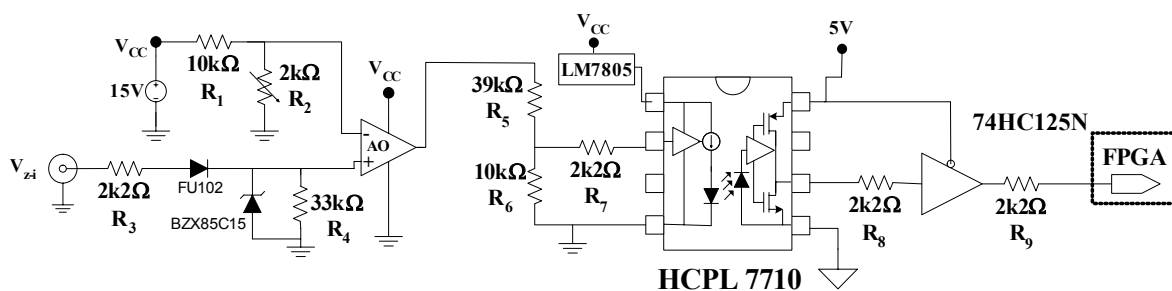


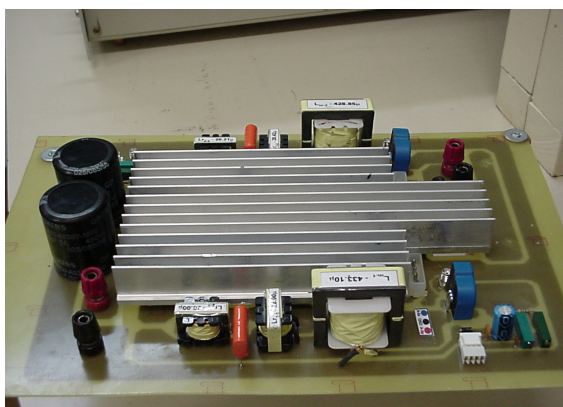
Figura 8.12 – Circuito esquemático do estágio de detecção de zero empregando a metodologia analógica.

#### 8.4.6 - Acoplamento Entre os Módulos

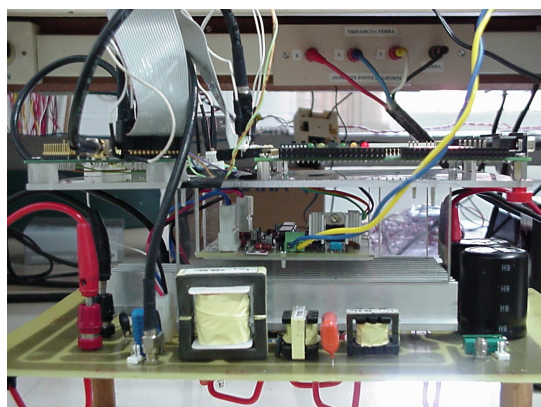
Com a finalidade de minimizar os problemas devido às interferências eletromagnéticas, todos os sinais analógicos e digitais coletados em altíssimas frequências, acima de 5MHz, são transportados através de cabos coaxiais do tipo semi-rígido RG59 e as conexões efetuadas através de conectores do tipo SMA. Os demais sinais de controle são transportados através de cabos paralelos planos. Adicionalmente, todos os sinais lógicos correspondentes aos barramentos de dados de saída do conversor A/D são conectados ao dispositivo FPGA através de cabos do tipo “Flat” 26x22AWG e conectores do tipo *latch* de 26 vias.

## 8.5 – Resultados Experimentais

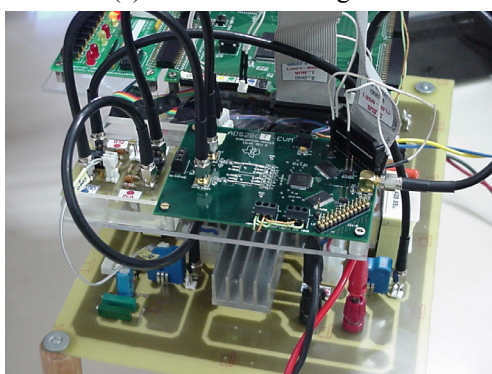
As figuras 8.13 e 8.14 apresentam o protótipo do conversor retificador Boost ZCS-FM Interleaved desenvolvido e implementado. A figura 8.13 mostra detalhes da implementação do protótipo utilizando duas células de comutação, enquanto a figura 8.14 apresenta o protótipo em sua configuração final utilizando quatro células de comutação. Como se observa na figura 8.14, foram desenvolvidos dois protótipos com duas células em “*interleaving*”, e, com ambos conectados compõe-se o conversor retificador Boost ZCS-FM com quatro células de comutação em “*interleaving*”.



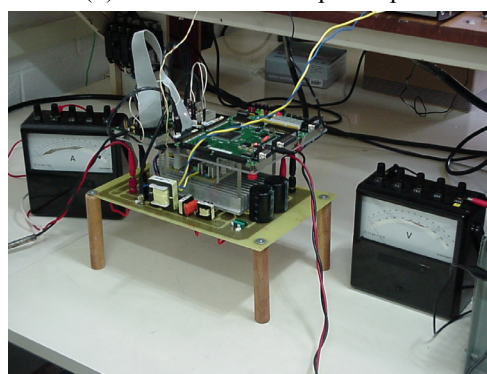
(a) Detalhe da montagem.



(b) Detalhe lateral do protótipo.

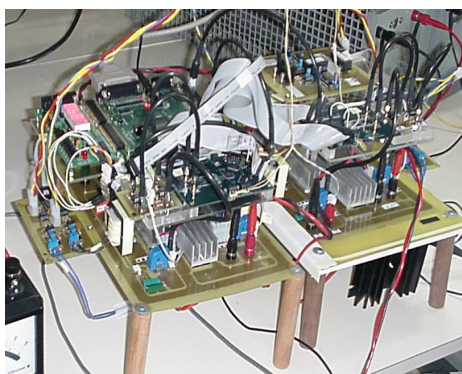


(c) Detalhe frontal do protótipo.

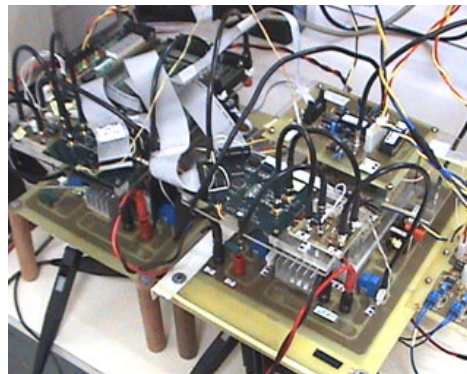


(d) Vista geral do protótipo.

Figura 8.13 - Protótipo do conversor retificador Boost ZCS Interleaved, com duas células de comutação.



(a) Vista geral do protótipo com 4 células.



(b) Vista geral do circuito de controle.

Figura 8.14 - Protótipo do conversor retificador Boost ZCS Interleaved, com quatro células de comutação.

Os principais resultados experimentais são apresentados nos sub-itens seguintes, com a finalidade de se verificar a funcionalidade da estrutura de comando implementada e os esforços resultantes de corrente e tensão nos elementos da estrutura.

Uma vez que o protótipo é composto de quatro células de comutação, possuindo os mesmos parâmetros, cada célula foi submetida a um conjunto de ensaios experimentais operando individualmente, ou seja, funcionando como se fosse um conversor convencional de uma única célula. Estes conjuntos de ensaios experimentais foram efetuados com intuito de se constatar a operação correta dos estágios de potência de maneira separada, através da verificação da evolução das etapas de funcionamento previstas na modelagem matemática.

Especificamente, o primeiro conjunto de ensaios experimentais envolveu a alimentação em CC das quatro células de comutação, de forma independente, ou seja, operando como conversor CC/CC, com a finalidade de análise dos esforços de tensão nos semicondutores. Nestes ensaios constatou-se a necessidade da utilização de um circuito adicional, denominado de “*snubber*”, composto por uma associação série de um capacitor e uma resistência para limitar os esforços de tensão sobre os interruptores aos máximos valores suportados pelos semicondutores utilizados.

Nestes ensaios experimentais preliminares, o controle digital foi programado para considerar a célula de comutação ativa como sendo a célula de referência para a lógica de controle digital, enquanto as outras células de comutação foram suprimidas do circuito de potência, através da retirada de um acoplamento entre trilhas específicas na placa de circuito impresso que interrompe o fluxo de corrente para a mesma.

Com a constatação de que os esforços de tensão nos interruptores, após a inserção de circuitos “*snubber*”, estavam dentro dos limites de operação dos semicondutores, um segundo conjunto de ensaios experimentais foi realizado considerando a célula 1 como a célula de referência e o emprego da técnica de “*interleaving*”, inicialmente com as duas células de comutação defasadas entre si de meio período, e posteriormente com quatro células de comutação defasadas entre si da quarta parte do período. Considerando-se ainda a alimentação em CC, com tensão nominal de saída ( $V_O$ ) igual a 400V, processando-se 500W em cada célula.

Finalmente, a estrutura foi alimentada em CA com valor nominal da tensão de entrada ( $220V_{\text{eficazes}}$ ) e carga nominal por célula, totalizando uma potência de saída de 1000W na operação com duas células e 2000W na operação com quatro células, com tensão nominal de saída de 400V.



### 8.5.1 – Operação CC/CC

Os resultados apresentados neste sub-item são referentes ao conversor operando com quatro células de comutação e carga nominal, resultados adicionais explícitos relativos ao conversor operando com duas células são apresentados apenas em casos especiais, uma vez que as operações são análogas.

As figuras 8.15 e 8.16 mostram os detalhes das comutações nos interruptores principais e auxiliares nas quatro células de comutação empregadas.

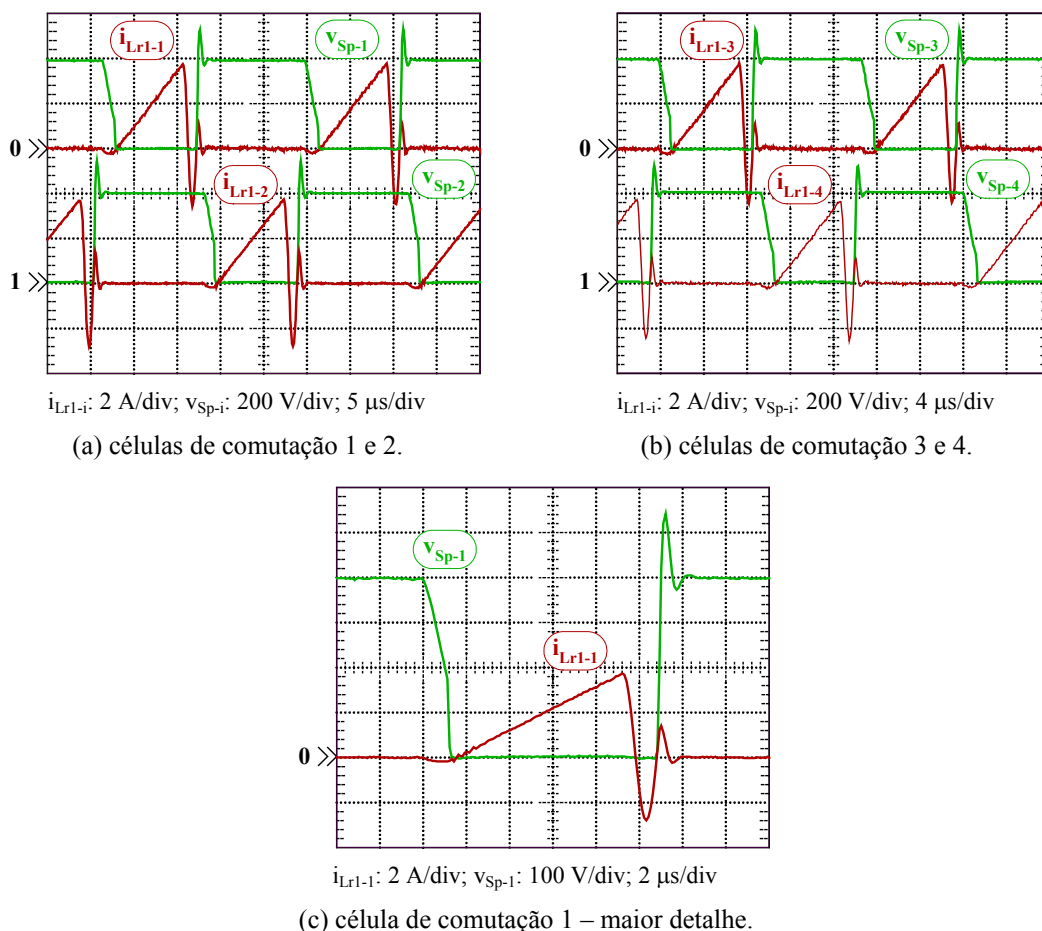


Figura 8.15 – Detalhes das comutações nos interruptores principais  $S_{p-i}$ : (a) das células de comutação 1 e 2, (b) das células de comutação 3 e 4 e (c) da célula de referência – maior detalhe.

Através das figuras 8.15 e 8.16 pode-se constatar que todos os semicondutores utilizados como interruptores principais e auxiliares apresentam comutações não dissipativas, entram em condução com corrente nula (ZCS - “Zero Current Switch”) e bloqueiam com corrente e tensão nulas (ZCZVS - “Zero Current Zero Voltage Switch”).

Apesar do valor máximo de tensão sobre o interruptor principal, em cada célula de comutação, previsto teoricamente para corresponder ao valor da tensão de saída ( $V_O$ ), constatou-se a existência de sobretensões durante o bloqueio dos mesmos, ocasionadas pela

recuperação reversa dos diodos em antiparalelo, encapsulados com os IGBT. Deste modo, a utilização de um “*snubber dissipativo*”, como descrito anteriormente, fez-se necessária para amenizar estas sobretensões e manter os esforços de tensão sobre o interruptor principal dentro dos valores seguros de operação para o semiconductor especificado, no máximo 600V. Adicionalmente, devido ao mesmo motivo, também se efetuou a incorporação de “*snubbers*” aos interruptores auxiliares.

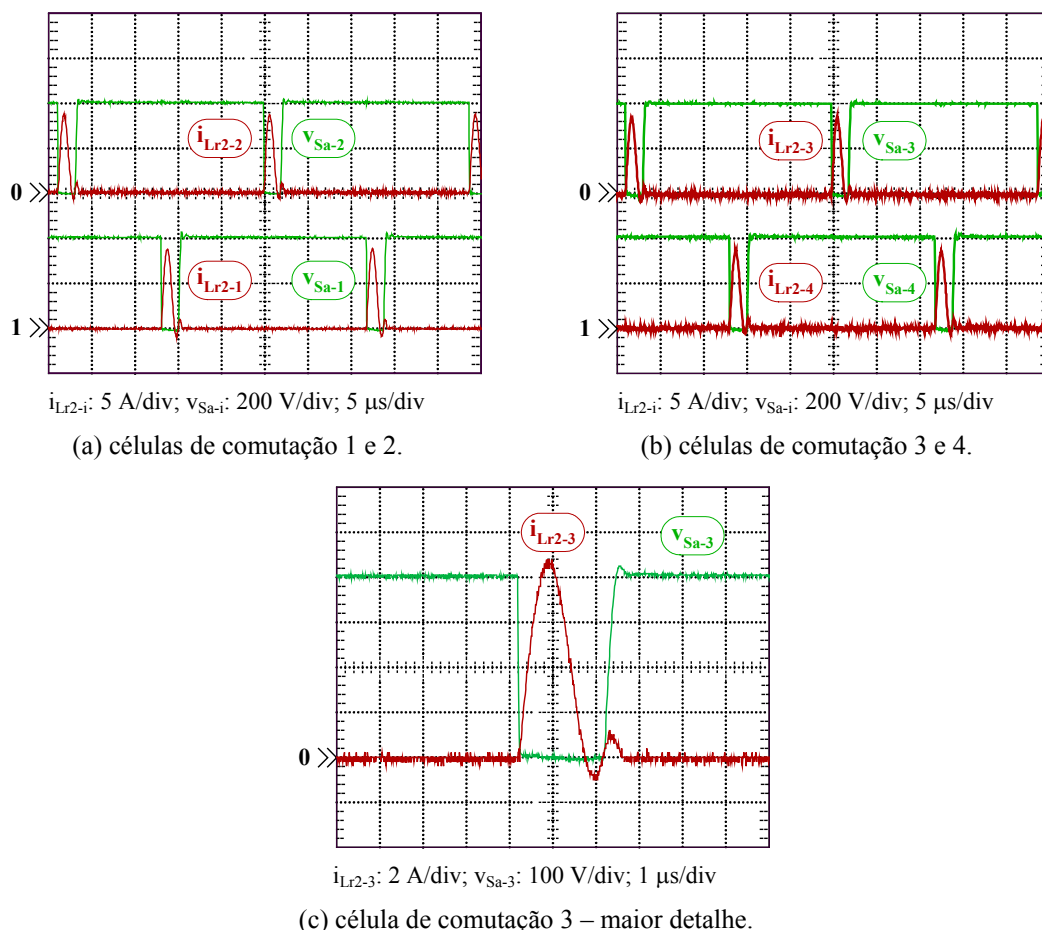


Figura 8.16 – Detalhes das comutações nos interruptores auxiliares  $S_{a-i}$ : (a) das células de comutação 1 e 2, (b) das células de comutação 3 e 4 e (c) da célula de comutação 3 – maior detalhe.

A especificação do circuito “*snubber*” utilizado para os interruptores principais foi a seguinte:

$$R_{sp}=220\Omega \text{ e } C_{sp}=333\text{pF};$$

e para os interruptores auxiliares foi:

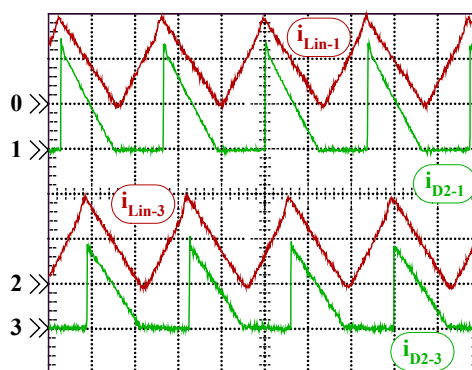
$$R_{sa}=150\Omega \text{ e } C_{sa}=733\text{pF}.$$

Entretanto, a incorporação destes “*snubbers*” causou um efeito adicional refletindo no aumento da intensidade do valor de pico da corrente de recuperação do diodo em anti-paralelo com o IGBT, em cada ramo ressonante.



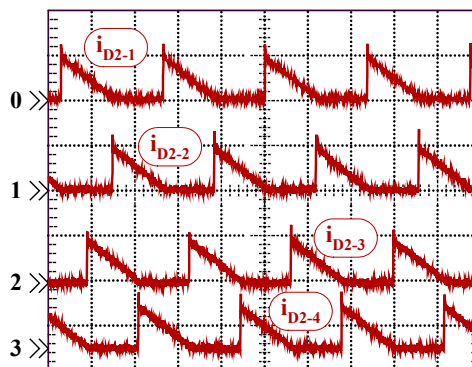
A forma de onda da corrente através dos indutores boost  $L_{in-i}$  em cada célula de comutação possui uma pequena parcela de condução descontínua, sendo este intervalo imposto e programado pela atuação do controle de imposição de fase e de modo de operação. Entretanto, a existência desta pequena parcela de descontinuidade na forma de onda de corrente de  $L_{in-i}$  não implica em perdas substanciais das características e vantagens do modo de condução crítico em conjunto com a técnica de “*interleaving*”. Contudo, o modo de operação aplicado ainda pode ser considerado como crítico pois a frequência de operação continua sendo variável e a duração deste intervalo descontínuo é consideravelmente pequena e constante.

As figuras 8.17 e 8.18 apresentam os detalhes das correntes através dos indutores boost  $L_{in-i}$  e dos diodos  $D_{2-i}$ , nas células de comutação 1 e 3, e das correntes através dos diodos  $D_{2-i}$  nas quatro células de comutação, respectivamente.



$i_{D2-i}$  e  $i_{Lin-i}$ : 2 A/div; 10  $\mu$ s/div

Figura 8.17 – Detalhes das correntes através dos indutores boost e dos diodos  $D_{2-i}$  nas células de comutação 1 e 3.



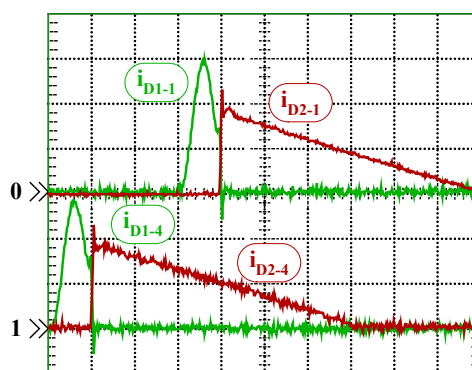
$i_{D2-i}$ : 5 A/div; 10  $\mu$ s/div

Figura 8.18 – Detalhes das correntes através dos diodos  $D_{2-i}$  nas quatro células de comutação.

Devido ao modo de condução crítica, onde a corrente através do indutor boost ( $L_{in}$ ), em cada célula, parte do zero no início do período de funcionamento e retorna a este valor no final do período de funcionamento, os diodos  $D_{1-i}$  e  $D_{2-i}$  empregados nas células de comutação apresentam a entrada em condução de forma ZVS (“Zero Voltage Switching”), assim como o bloqueio de  $D_{2-i}$  também ocorre de maneira não dissipativa, com a comutação ocorrendo através de uma derivada de corrente suave de corrente nula (ZCS). Portanto, praticamente eliminando uma das principais desvantagens da topologia boost convencional em condução contínua, as perdas envolvidas com a recuperação reversa do diodo boost.

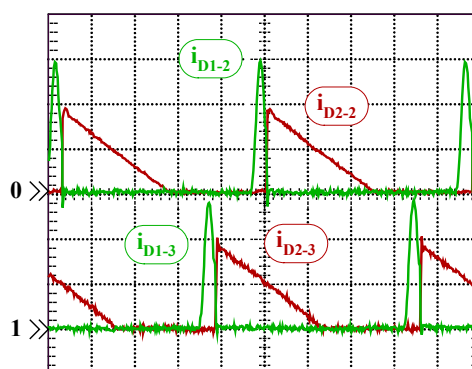
Além disso, é importante ressaltar que em cada célula de comutação o diodo  $D_{1-i}$  não conduz em conjunto com o diodo  $D_{2-i}$ , o que significa que a corrente transferida para a carga flui apenas através dos diodos  $D_{2-i}$ .

Os detalhes das correntes através dos diodos  $D_{1-i}$  e  $D_{2-i}$ , nas quatro células de comutação, são apresentados nas figuras 8.19 e 8.20.



$i_{D1-i}$  e  $i_{D2-i}$ : 2,5 A/div; 2  $\mu$ s/div

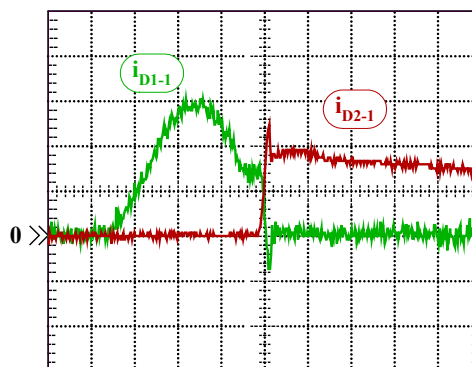
Figura 8.19 – Detalhes das correntes através dos diodos  $D_{1-i}$  e  $D_{2-i}$  das células de comutação 1 e 4.



$i_{D1-i}$  e  $i_{D2-i}$ : 2,5 A/div; 5  $\mu$ s/div

Figura 8.20 – Detalhes das correntes através dos diodos  $D_{1-i}$  e  $D_{2-i}$  das células de comutação 2 e 3.

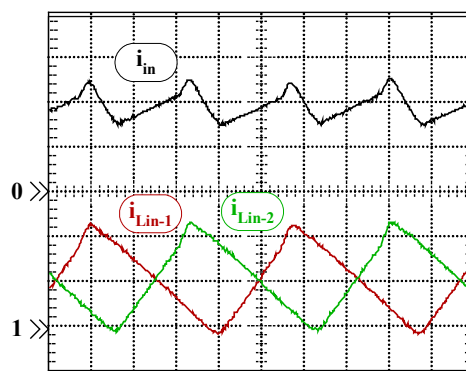
O processo simultâneo de bloqueio do diodo  $D_{1-i}$  e entrada em condução do diodo  $D_{2-i}$  em cada célula de comutação acontece de maneira instantânea, com duração menor que 100ns, sendo este intervalo referente principalmente à recuperação reversa do diodo  $D_{1-i}$  em virtude da energia que circula através do mesmo. Além disso, o processo de descarga da energia envolvido na recuperação reversa do diodo  $D_{1-i}$  é refletido diretamente na forma de onda da corrente através do diodo  $D_{2-i}$ , como mostra a figura 8.21.



$i_{D1-1}$  e  $i_{D2-1}$ : 2,5 A/div; 500ns/div

Figura 8.21 – Detalhe das correntes através dos diodos  $D_{1-1}$  e  $D_{2-1}$  da célula de comutação 1.

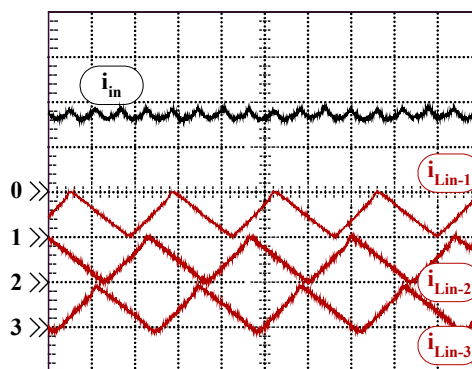
A redução da amplitude do “ripple” de corrente de entrada é evidenciada através dos resultados apresentados nas figuras 8.22 e 8.23, referentes ao conversor operando com duas e com quatro células de comutação ativas defasadas entre si de acordo a técnica de “interleaving”.



$i_{Lin-1}$ ,  $i_{Lin-2}$  e  $i_{in}$ : 2A/div e 5µs/div  
 $P_O = 1000W - V_O \cong 400V - 2$  células

Figura 8.22 – Correntes de entrada  $I_{in}$  e através dos indutores boost  $L_{in-1}$  e  $L_{in-2}$  das células de comutação 1 e 2, respectivamente.

Como esperado, apesar do modo de condução crítica estar sendo aplicado nas células de comutação ativas, o arranjo das fases de operação entre as células de comutação proporcionou uma forma de onda de corrente na entrada total do protótipo com característica contínua em virtude da somatória instantânea das formas de onda das correntes de entrada de cada célula, que possuem a forma pulsada.



$i_{L_{in-i}}$  e  $i_{in}$ : 5A/div e 10 $\mu$ s/div

$P_O = 2000W - V_O \cong 400V - 4$  células

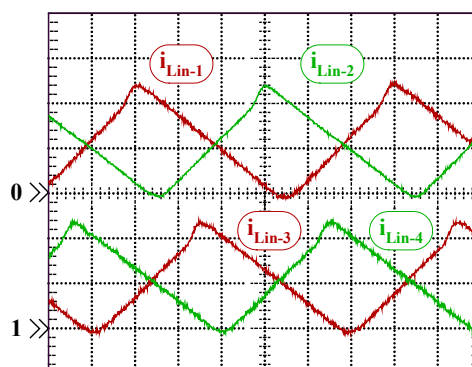
Figura 8.23 – Correntes de entrada  $I_{in}$  e através dos indutores boost  $L_{in-i}$  das células de comutação 1, 2 e 3.

No caso da operação com duas células de comutação, processando 1000W, o valor da amplitude do “ripple” da forma de onda da corrente de entrada resultou em torno de 2,10 A, e em torno de 1,45A para o caso da operação com quatro células, processando 2000W.

A operação das células em condições diferentes de tensões de saída e potência drenada pela carga foi amplamente verificada e demonstrou que o algoritmo digital de controle de detecção de zero e de imposição de fase de operação se comportou bem frente a variação destes parâmetros, conservando a operação das células de comutação dentro dos limites permitidos entre o modo de condução descontínuo e modo de condução contínuo, ou seja, operando no modo de condução crítica e operando defasadas entre si de iguais frações do período de chaveamento determinado pela célula de referência (célula de comutação 1).

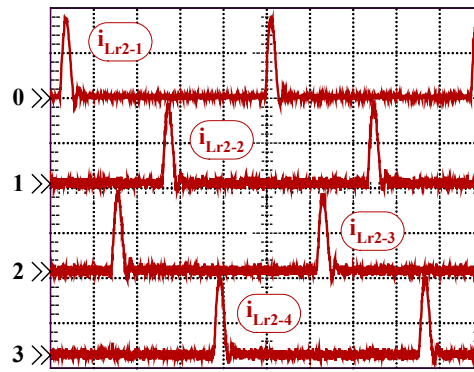
Especificamente, as células de comutação auxiliares 2, 3 e 4 foram programadas para atuar com fases de operação relacionadas a operação da célula de referência correspondendo a parcela da metade, de um quarto, e de três quartos do período de chaveamento de referência.

Através das figuras 8.24 e 8.25, pode-se verificar a operação das células de comutação nas fases programadas e que o modo de condução crítica foi alcançado nas quatro células.



$i_{L_{in-i}}$ : 2A/div e 5 $\mu$ s/div

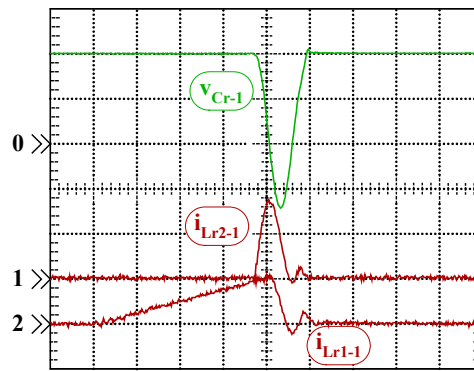
Figura 8.24 – Correntes através dos indutores boost  $L_{in-i}$  das quatro células de comutação.



$i_{Lr2-i}$ : 5A/div e 5  $\mu$ s/div

Figura 8.25 – Correntes através dos indutores ressonantes  $L_{r2-i}$  das quatro células de comutação.

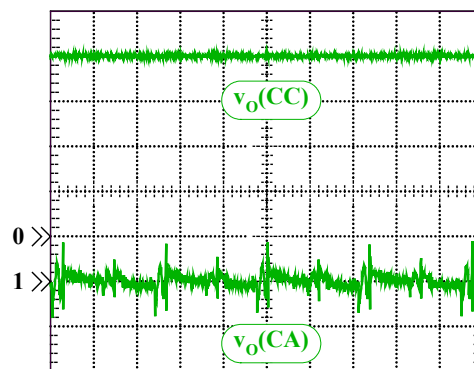
A figura 8.26 apresenta as formas de ondas referentes à evolução da ressonância nos elementos  $L_{r1}$ ,  $L_{r2}$  e  $C_r$  da célula de comutação 1, operando com carga nominal.



$v_{Cr-1}$ : 200V/div;  $i_{Lr1-1}$  e  $i_{Lr2-1}$ : 5 A/div; 2  $\mu$ s/div

Figura 8.26 – Detalhes da evolução da ressonância na célula de comutação 1.

As formas de onda da tensão de saída ( $V_O$ ) e do seu “ripple” CA, para operação com quatro células de comutação processando carga nominal, são apresentadas na figura 8.27.



$v_{O(CC)}$ : 100V/div;  $v_{O(CA)}$ : 1V/div; 10  $\mu$ s/div

Figura 8.27 – Forma de onda da tensão de saída ( $V_O$ ), para 4 células de comutação operando com carga nominal.

### 8.5.2 – Operação CA/CC

As figuras 8.28 até 8.33 apresentam os resultados experimentais para a tensão e corrente de entrada, nas condições de carga nominal em cada célula de comutação, e operação com duas e quatro células de comutação. Adicionalmente, nenhum tipo de filtro foi utilizado no estágio de entrada nestes ensaios experimentais.

Verifica-se na figura 8.28, relacionada à operação com duas células de comutação, que a corrente de entrada encontra-se em fase com a tensão de entrada.

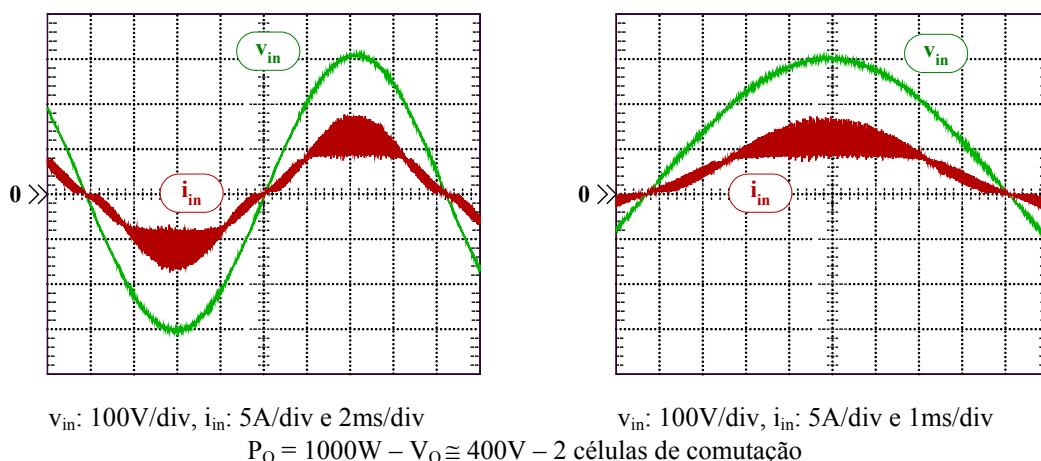


Figura 8.28 – Tensão e Corrente de entrada, para carga nominal.

O espectro harmônico da forma de onda da corrente de entrada, representado na forma percentual da componente harmônica fundamental, e gráficos comparativos das amplitudes das componentes harmônicas, com os respectivos limites impostos pela norma IEC-61000-3-2, são mostrados nas figuras 8.29 e 8.30. Constata-se que as intensidades das componentes harmônicas possuem amplitudes bem abaixo dos limites impostos pela norma internacional, e que as componentes de ordem ímpar iniciais (terceira, quinta, sétima e nona ordens) apresentam maior relevância na somatória total das componentes harmônicas.

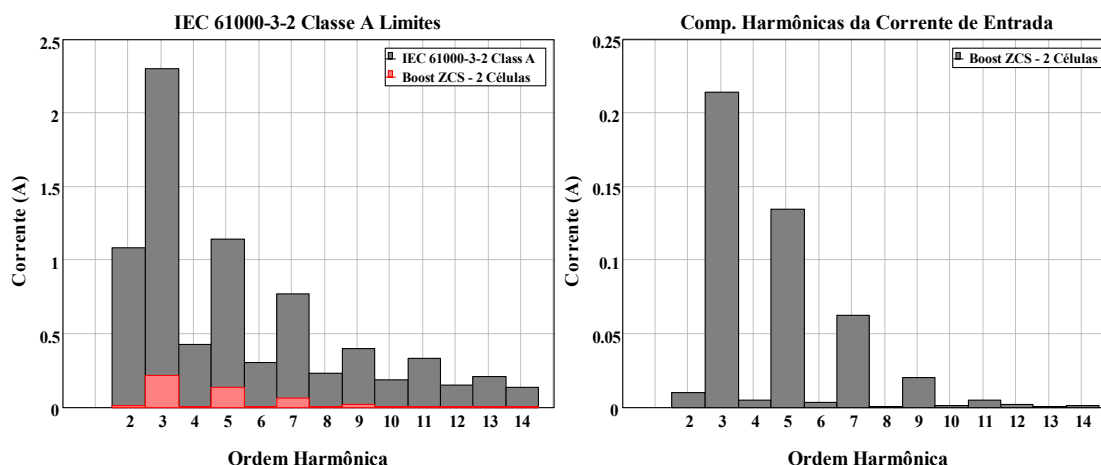


Figura 8.29 – Amplitudes das componentes harmônicas da corrente de entrada e os limites impostos pela norma IEC 61000-3-2, Classe A, para a operação com duas células de comutação.

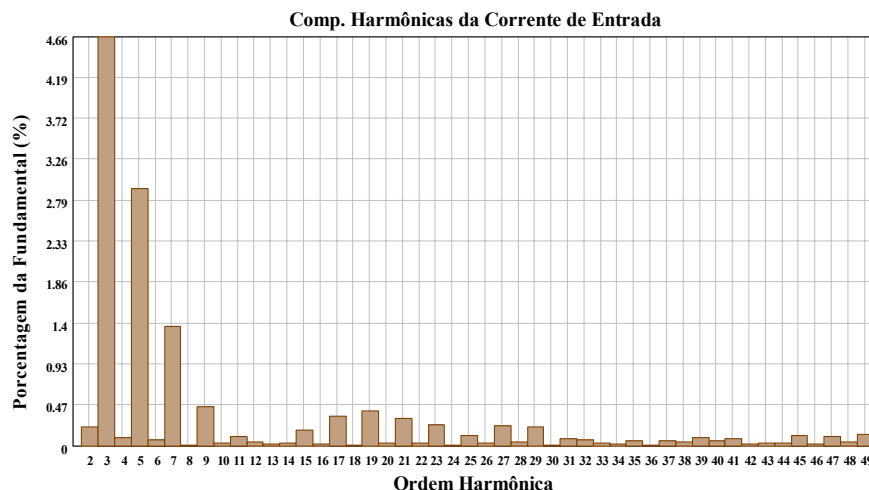


Figura 8.30 – Amplitudes das componentes harmônicas da corrente de entrada representadas em valor percentuais em relação a componente harmônica fundamental., para a operação com duas células de comutação.

Além disso, a análise das componentes harmônicas presentes na forma de onda da corrente resultou em uma taxa de distorção harmônica da corrente em torno de 6,26%, e um fator de potência experimental, medido para a condição de carga nominal, elevado de aproximadamente 0,989. Observa-se ainda que a taxa de distorção harmônica da tensão de entrada, nas condições dos resultados apresentados na figura 8.28, foi de 0,324%.

A partir dos resultados obtidos para a corrente e tensão de entrada com o protótipo operando com quatro células de comutação, apresentado na figura 8.31, pode-se constatar que além da corrente de entrada encontrar-se em fase com a tensão de entrada, a sua forma de onda apresenta um formato mais parecido com o formato ideal da forma de onda da corrente de entrada em estruturas pré-reguladoras (senoidal), o fator de potência experimental medido apresentou um pequeno acréscimo, resultando aproximadamente 0,993.

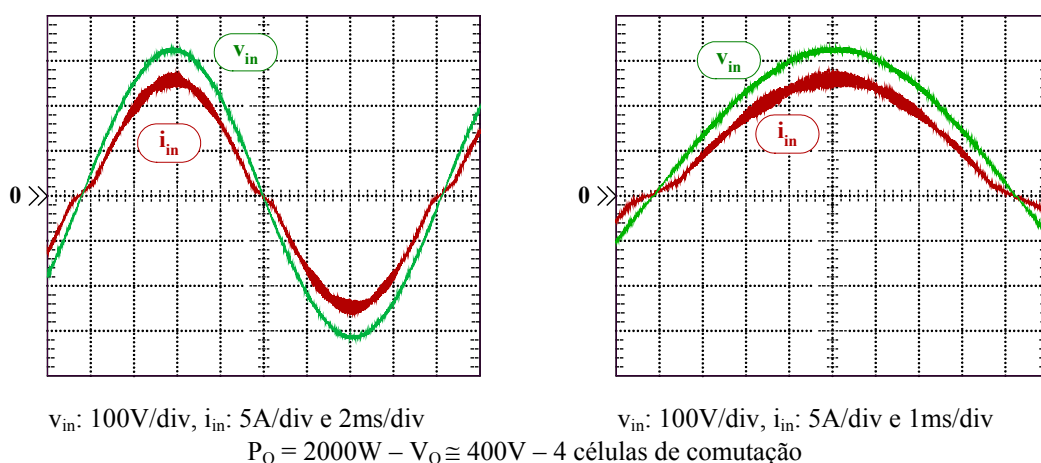


Figura 8.31 – Tensão e Corrente de entrada, para carga nominal.

Observa-se ainda que o conteúdo harmônico da corrente de entrada resultou numa taxa de distorção harmônica de 5,73%, a qual encontra-se também dentro dos limites impostos pela IEC61000-3-2, de acordo com as figuras 8.32 e 8.33, e que a taxa de distorção harmônica da tensão de entrada, nestas condições dos resultados apresentados na figura 8.31, foi de 0,354%.

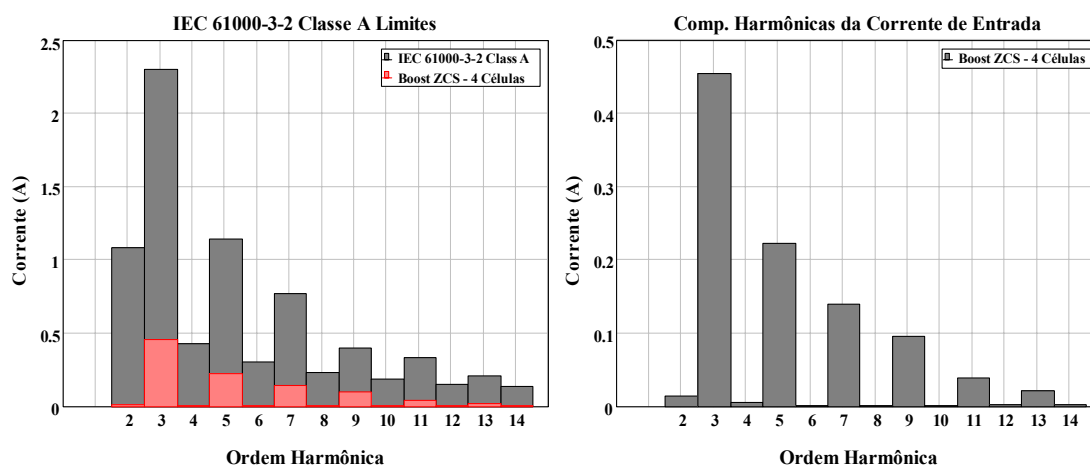


Figura 8.32 – Amplitudes das componentes harmônicas da corrente de entrada e os limites impostos pela norma IEC 61000-3-2, Classe A, para a operação com quatro células de comutação.

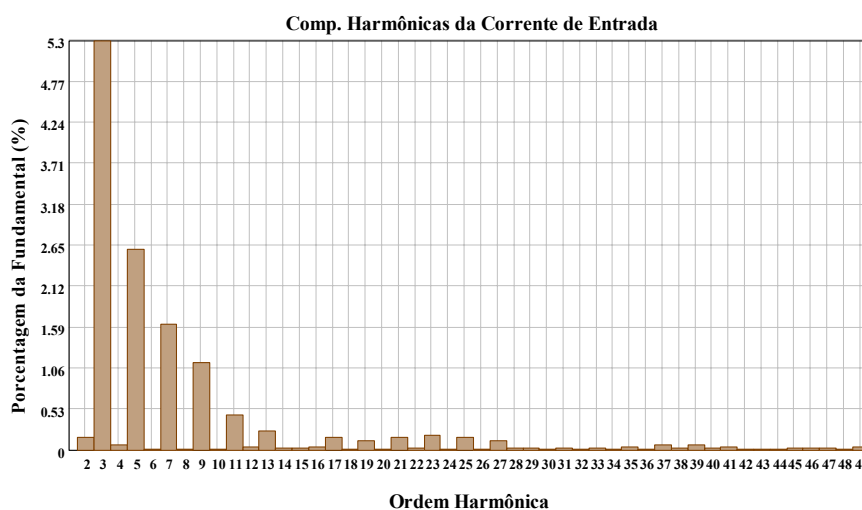


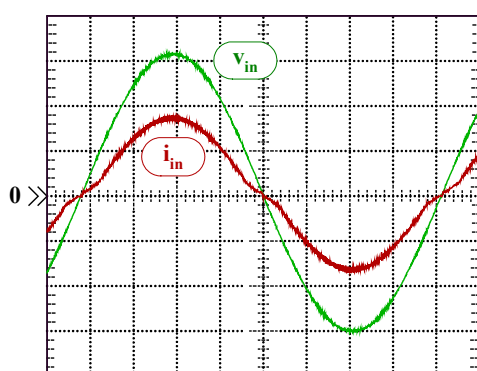
Figura 8.33 – Amplitudes das componentes harmônicas da corrente de entrada representadas em valor percentuais em relação a componente harmônica fundamental., para a operação com duas células de comutação.

Com o objetivo de efetuar uma análise do fator de potência da estrutura de maneira mais consistente, resultados experimentais foram obtidos para diferentes condições de processamento de carga considerando o conversor operando com quatro células de comutação. O resumo dos resultados obtidos está descrito na tabela 8.9, e as formas de onda da corrente e tensão de entrada são mostrados na figura 8.34.

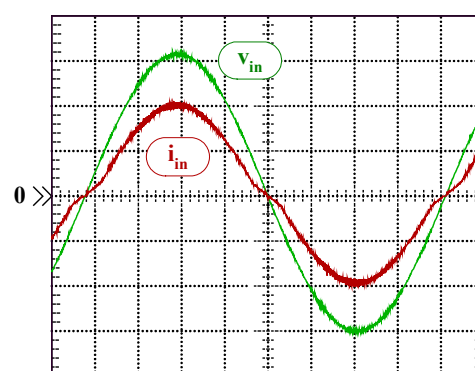


Tabela 8.9 – Resultados de rendimento, fator de potência e taxa de distorção harmônica da corrente de entrada e da tensão de entrada para diferentes situações de carga considerando a operação de quatro células de comutação.

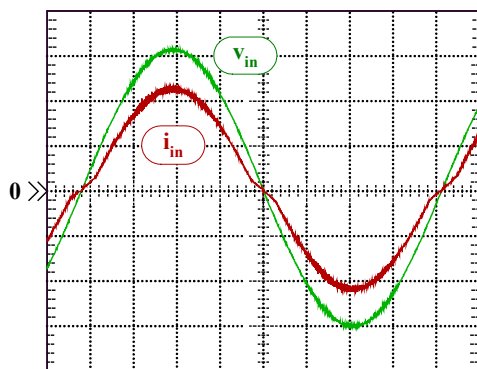
Porcentagem da Carga Nominal [%]	Rendimento ( $\eta$ )	Fator de Potência (FP)	T.D.H. de $I_{in}$	T.D.H. de $V_{in}$
60	0,941	0,972	8,22	0,332
70	0,946	0,974	7,26	0,329
80	0,971	0,990	6,73	0,329
90	0,975	0,991	6,30	0,334
95	0,977	0,990	6,16	0,343
100	0,985	0,993	5,73	0,354



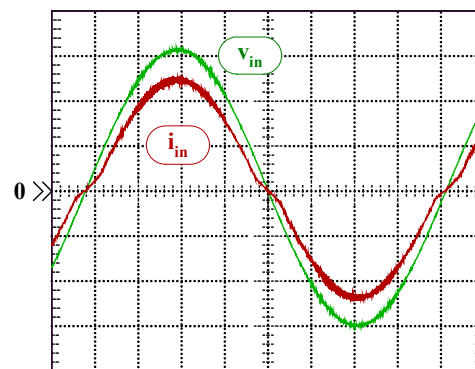
(a) 60% da carga nominal



(b) 70% da carga nominal



(c) 80% da carga nominal



(d) 90% da carga nominal

$v_{in}$ : 100V/div,  $i_{in}$ : 5A/div e 2ms/div

Figura 8.34 – Tensão e corrente de entrada, para diferentes situações de carga considerando o conversor proposto operando com quatro células de comutação.

A partir dos resultados experimentais obtidos em função da variação de carga, é possível traçar as curvas do fator de potência e do rendimento em função da variação da carga do conversor. As figuras 8.35 e 8.36 mostram o comportamento do fator de potência e do rendimento desta estrutura conversora em função do valor percentual da carga nominal conectada, respectivamente.

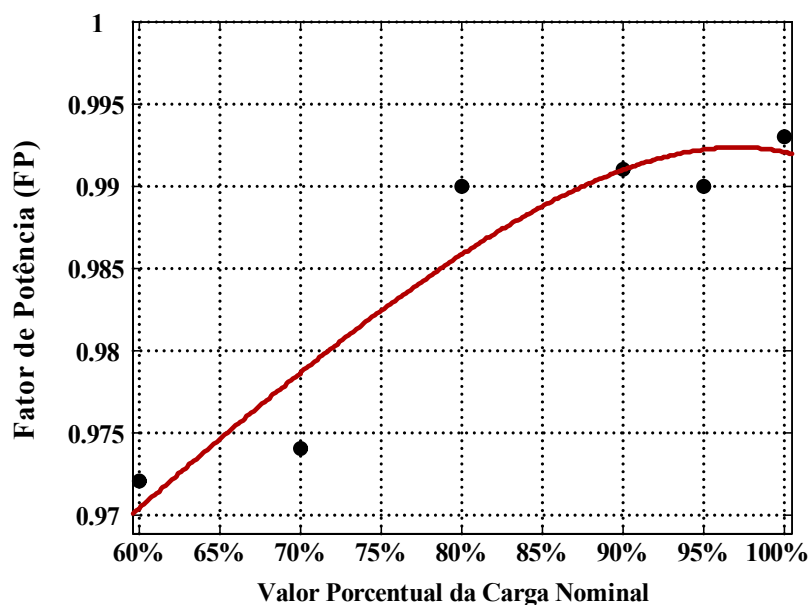


Figura 8.35 – Valor do fator de potência em função da variação de carga do conversor proposto operando com quatro células de comutação

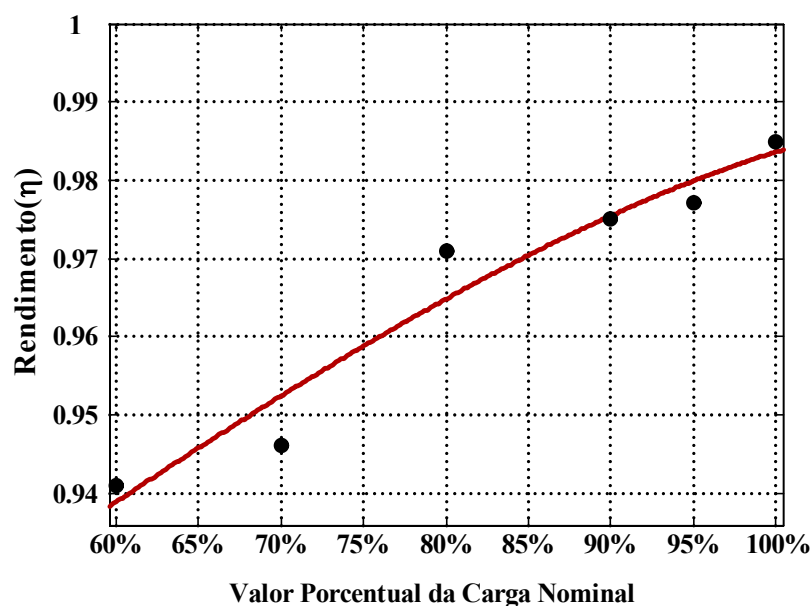


Figura 8.36 – Valor do rendimento em função da variação de carga do conversor proposto operando com quatro células de comutação

As figuras 8.37 e 8.38 apresentam os detalhes das comutações nos interruptores principal e auxiliar da célula de comutação 1, quando o valor da forma de onda da tensão de entrada está próximo ao seu valor de pico e em uma região próximo ao zero, respectivamente. Portanto, estas figuras comprovam que as comutações não dissipativas nos interruptores são preservadas durante toda a excursão da forma de onda de tensão de entrada.

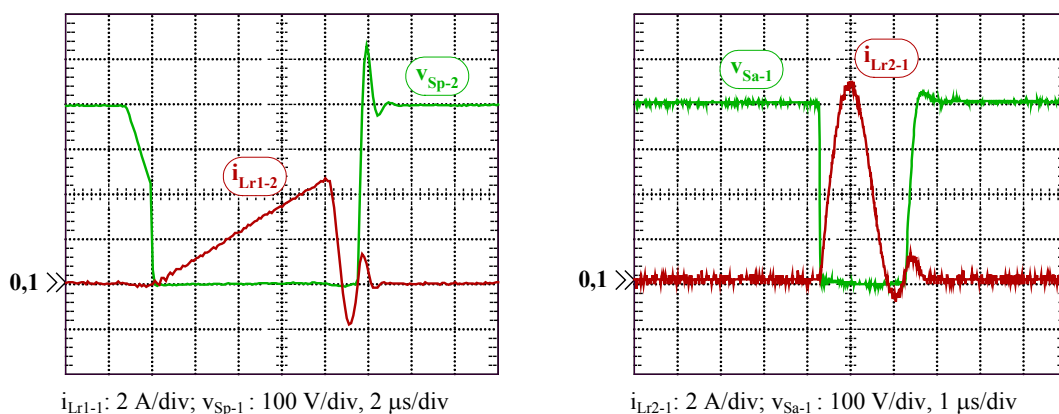


Figura 8.37 – Detalhes das comutações nos interruptores principal  $S_{p-1}$  e auxiliar  $S_{a-1}$  da célula de comutação 1, quando a tensão de entrada está próxima de seu valor de pico.

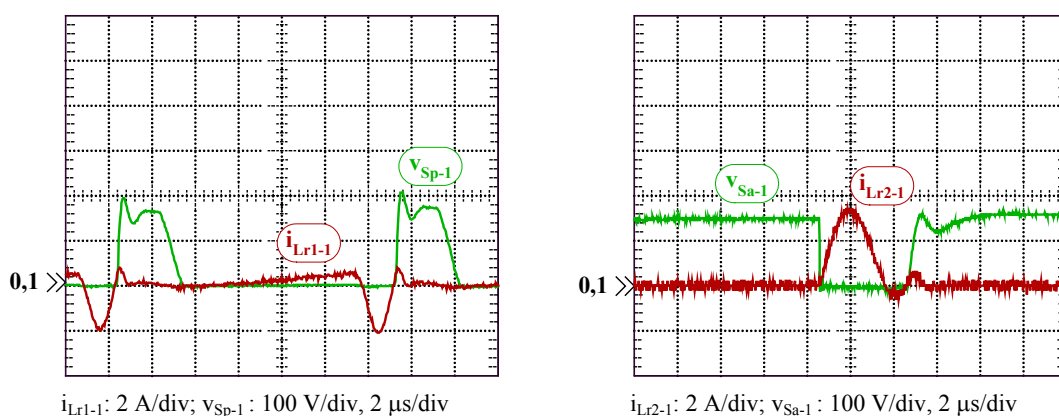
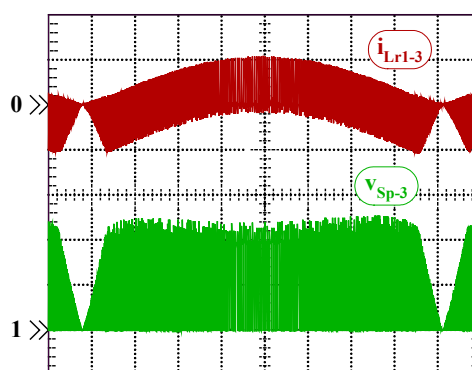


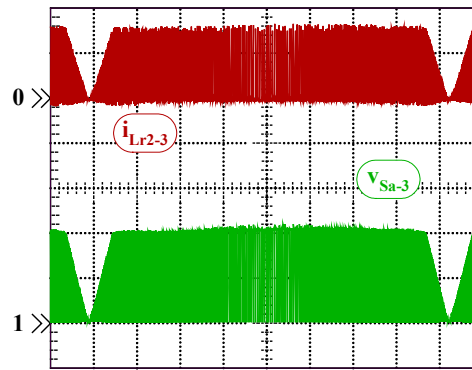
Figura 8.38 – Detalhes das comutações nos interruptores principal  $S_{p-1}$  e auxiliar  $S_{a-1}$  da célula de comutação 1, quando a tensão de entrada está próxima do zero ( $V_{in} \approx 30V$ ).

A evolução das comutações no interruptor principal e no interruptor auxiliar da célula de comutação 3, durante meio período da rede de CA e carga nominal são mostradas nas figuras 8.39 e 8.40.



$v_{Sp-3}$ : 200V/div,  $i_{Lr1-3}$ : 5A/div e 1ms/div

Figura 8.39 – Evolução das formas de onda das comutações no interruptor principal  $S_{p-3}$  da célula de comutação 3, durante meio período da rede de CA.

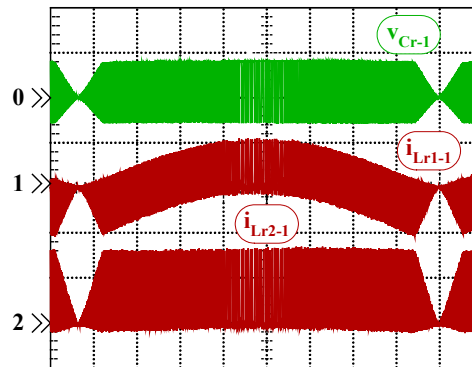


$v_{Sa-3}$ : 200V/div,  $i_{Lr2-3}$ : 5A/div e 1ms/div

Figura 8.40 – Evolução das formas de onda das comutações no interruptor auxiliar  $S_{a-3}$  da célula de comutação 3, durante meio período da rede de CA.

A figura 8.41 mostra a evolução da ressonância, ou seja das correntes através dos indutores ressonantes e da tensão no capacitor ressonante da célula de comutação de referência, durante meio período da forma de onda de tensão de entrada.

Como esperado, a corrente que flui no ramo ressonante auxiliar através de  $L_{r2-1}$  possui um comportamento uniforme, enquanto a corrente que flui através de  $L_{r1-1}$  é dependente da intensidade da tensão de entrada, possuindo em seus limites a envoltória de baixa frequência da forma de onda da tensão de entrada, senoidal.



$v_{Cr-1}$ : 500V/div,  $i_{Lr1-1}$ : 5 A/div;  $i_{Lr2-1}$ : 5 A/div, 1ms/div.

Figura 8.41 – Formas de onda das correntes através dos indutores ressonantes na célula de comutação 1, durante meio período da rede de CA e carga nominal.

As correntes através dos diodos  $D_{1-2}$  e  $D_{2-2}$ , da célula de comutação 2, são apresentadas na figura 8.42. Observa-se que o comportamento da corrente através de  $D_{1-2}$  durante o período da forma de onda da tensão de entrada também é uniforme, uma vez que atua em conjunto com o indutor ressonante  $L_{r2-2}$ .

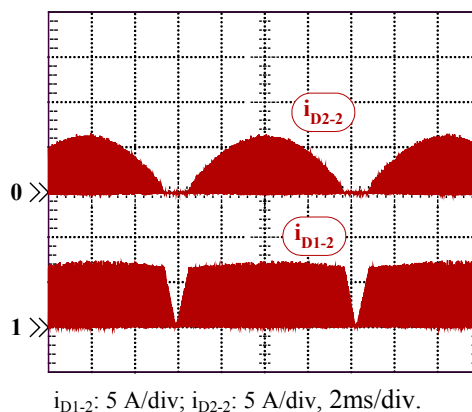


Figura 8.42 – Formas de onda das correntes através dos diodos  $D_{1-2}$  e  $D_{2-2}$  da célula de comutação 2, durante um período da rede de CA.

Nas regiões próximas de cruzamento por zero da forma de onda da tensão de entrada, constata-se que em virtude da quantidade muito pequena de energia disponível, como se pode constatar na figura 8.42, não existe transferência de energia para a carga. As etapas de funcionamento não operam da maneira convencional prevista no seu desenvolvimento, uma vez que a tensão sobre o capacitor ressonante se anula e precisa alcançar novamente seus valores de regime, ou seja, o valor da intensidade da tensão de saída, para fazer com que as etapas voltem a ocorrer normalmente. Entretanto, como comprovado através das figuras 8.37 e 8.38, as comutações nos interruptores são preservadas nesta região e continuam sendo do tipo não dissipativas.

Adicionalmente, a forma de onda das correntes através dos indutores boost em três células de comutação, e a forma de onda da corrente de entrada, para carga nominal, são apresentadas na figura 8.43.

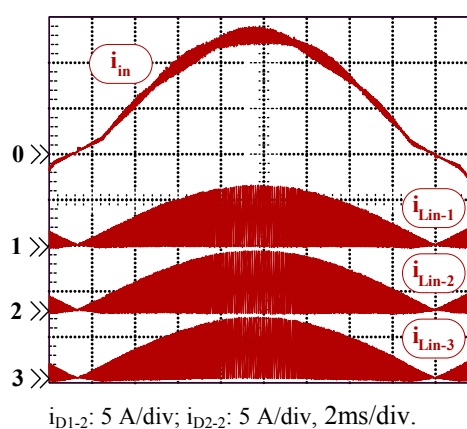


Figura 8.43 – Formas de onda da corrente de entrada e das correntes através dos indutores boost em três células de comutação, para carga nominal durante meio período da rede de CA.

Considerando a estrutura operando com quatro células de comutação e processando potência nominal, durante a excursão do período da forma de onda da tensão de entrada cada célula de comutação possui a frequência de chaveamento variando entre 22kHz e 120kHz.

A forma de onda do “ripple” da tensão de saída e o seu espectro harmônico em valores percentuais da componente harmônica fundamental, para o conversor operando com duas e quatro células de comutação processando potência nominal em cada célula, são mostrados nas figuras 8.44 e 8.45.

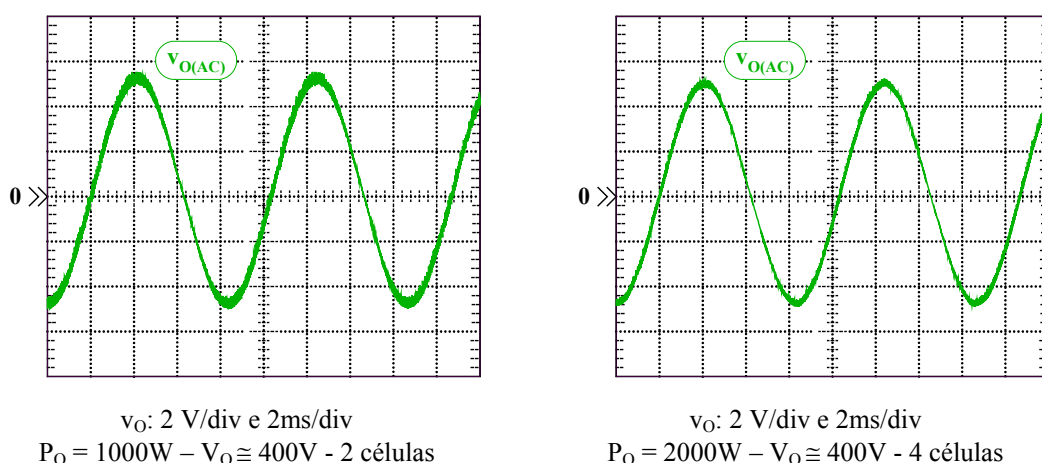


Figura 8.44 – Formas de onda do “ripple” da tensão de saída, para operação com duas e quatro células de comutação e carga nominal, durante um período da rede de CA.

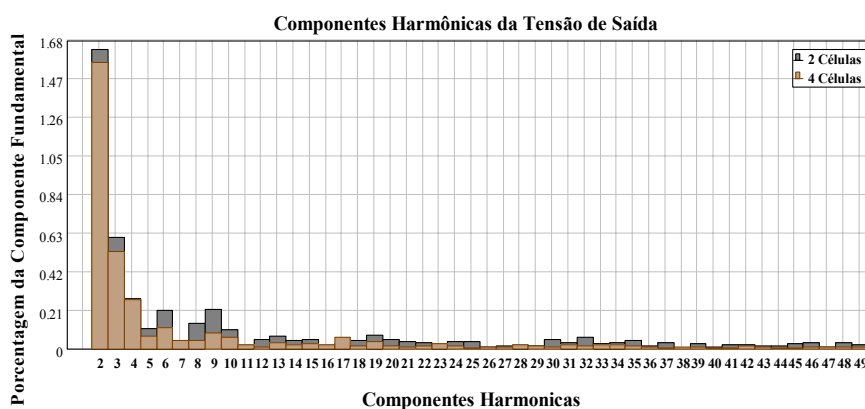


Figura 8.45 – Amplitudes das componentes harmônicas da tensão de saída, representadas em valores percentuais em relação à componente harmônica fundamental, para a operação com duas e quatro células de comutação em condições de carga nominal.

Através da análise do conteúdo harmônico destas formas de onda, pode-se constatar que a presença da componente harmônica de segunda ordem, inerente da operação do conversor boost como pré-regulador, possui intensidade relativa menor que 1,7% da intensidade da componente fundamental (120Hz). Em geral a intensidade de todas as

componentes harmônicas presentes na forma de onda da tensão de entrada são minimizadas com o acréscimo de mais células de comutação operando de acordo com a técnica de “*interleaving*”.

A figura 8.46 apresenta a resposta dinâmica da estrutura conversora, com relação a sua tensão de saída regulada, frente a uma variação do tipo degrau crescente na intensidade da carga. O controlador nestes casos apresenta um tempo de resposta lento, 300ms para encontrar seu novo valor de regime, cerca de 18 períodos de rede. Entretanto, esta resposta dinâmica para a tensão de saída atende plenamente as características desejadas para um pré-regulador retificador com correção ativa de fator de potência. Adicionalmente, informa-se que o controle digital impõe que a largura de pulso somente seja atualizada durante o cruzamento por zero da forma de onda de tensão de entrada, garantindo-se que a forma de onda da corrente de entrada permaneça com baixo conteúdo harmônico, durante transitórios de carga.

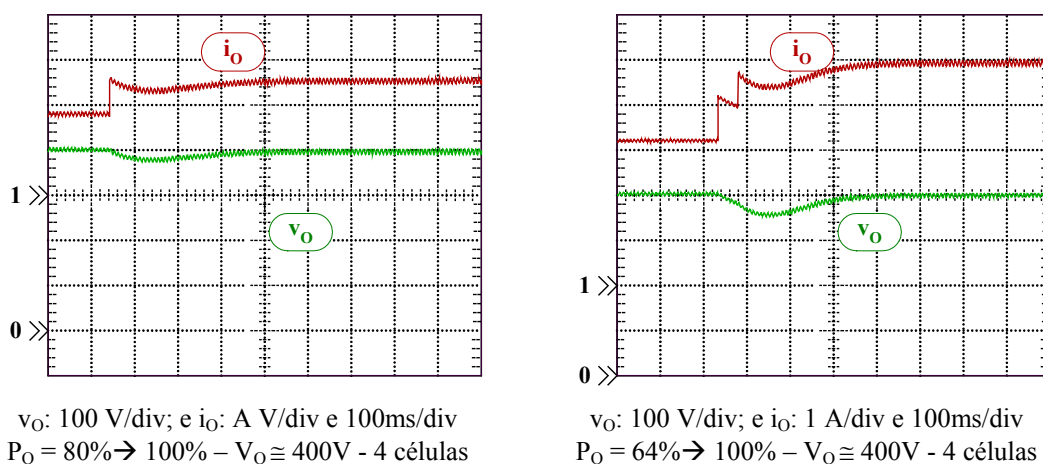


Figura 8.46 – Formas de onda de tensão e corrente na carga em função de uma variação do tipo degrau na carga, considerando a operação com quatro células de comutação.

## 8.6 – Conclusões

Neste capítulo foram discutidos alguns aspectos referentes à implementação física do protótipo do conversor retificador Boost ZCS interleaved, com duas e quatro células em paralelo, tais como: especificação dos semicondutores, dos indutores e do dissipador de calor requerido.

Alguns detalhes da implementação física do circuito de controle também foram abordados, envolvendo o módulo de desenvolvimento FPGA da Xilinx, com dispositivo Spartan-IIE.

Apresentaram-se ainda detalhes dos conversores A/D utilizados, do circuito de condicionamento de sinais implementado e do circuito de ataque dos interruptores principais e auxiliares.

Os principais resultados para a operação no modo de condução crítica, com duas e quatro células de potência em “*interleaving*”, foram apresentados, considerando-se operação em carga nominal, verificando-se a plena funcionalidade do circuito de controle digital implementado. Adicionalmente a implementação prática do controle de imposição de fase de operação, baseada na imposição de valores de referência para a entrada em condução e o bloqueio dos interruptores, de forma genérica implicou na presença de uma pequena descontinuidade na forma de onda de corrente de entrada, de duração constante e programada. Entretanto, este fator não afetou de maneira significativa os principais benefícios proporcionados pela utilização do modo de condução crítico na sua forma ideal, proporcionar a entrada em condução dos interruptores principais de maneira não dissipativa e o bloqueio dos diodos boost através de uma derivada de corrente lenta, minimizando os efeitos indesejáveis relacionados com a sua recuperação reversa.

Observa-se que esta metodologia de implementação e resultados são inéditos para a operação do pré-condicionador retificador boost, operando no modo crítico e em “*interleaving*”. Tal metodologia do projeto de controle foi desenvolvida para operar com um número genérico “*n*” de células de comutação, permitindo a ampliação da potência (aumento do número de células em “*interleaving*”) de saída, e ainda, o controle da tensão de saída (regulação dinâmica da tensão de saída) também implementada através do dispositivo FPGA.

As comutações em todos os semicondutores foram verificadas e estão de acordo com as análises apresentadas nos capítulos anteriores.



Observou-se a continuidade da corrente de entrada, apesar da operação de cada uma das células no modo crítico, e o pleno atendimento da corrente de entrada no que se refere ao conteúdo harmônico e limites impostos pela norma IEC 61000-3-2.

## Conclusões Gerais

Este trabalho apresenta a análise e modelagem de uma célula de comutação não dissipativa do tipo sob corrente nula (ZCS), operando no modo de condução crítica e aplicada num pré-regulador retificador boost em “*interleaving*”, controlado por dispositivo lógico programável FPGA.

As células de comutação não dissipativas do tipo sob corrente nula (ZCS) são utilizadas para proporcionar condições para comutações não dissipativas durante a entrada em condução e bloqueio dos interruptores e dos diodos boost. Operando no modo de condução crítica, elimina-se as desvantagens relacionadas com os efeitos da recuperação reversa dos diodos boost, observadas no modo de condução contínua. Por outro lado, o emprego da técnica de “*interleaving*” proporcionou a redução da amplitude do “*ripple*” da corrente de entrada, a redução da amplitude do “*ripple*” de alta frequência da tensão de saída, a possibilidade da utilização de semicondutores que apresentem menores capacidades de corrente e tensão, elevado fator de potência e reduzida distorção harmônica total (DHT) na corrente de entrada, em conformidade com a norma IEC61000-3-2.

A metodologia de projeto desenvolvida aplica-se à possibilidade de operação com um número “*n*” genérico de células em “*interleaving*”, possibilitando ainda, de forma inédita, o desenvolvimento de uma metodologia de controle de imposição de fase de operação para a estrutura pré-reguladora retificadora boost, operando no modo de condução crítica em “*interleaving*”.

A técnica de controle de imposição de fase de operação utiliza dois sinais de referência para comandar a entrada em condução e o bloqueio dos interruptores das células auxiliares, garantindo que as mesmas operem de acordo com as fases de operação requeridas pela técnica de “*interleaving*” e, conseqüentemente, refletindo na minimização da amplitude dos “*ripples*” da corrente de entrada e da tensão de saída. A imposição do modo de condução crítica também utiliza uma metodologia baseada em duas técnicas de detecção do valor nulo de corrente através do indutor de entrada. Desta maneira, esta redundância garante a sua operação na eventual falha de uma das técnicas, evitando que o sistema perca a referência de fase e resulte em um aumento da amplitude do “*ripple*” da corrente de entrada.

Os dispositivos FPGAs em conjunto com as ferramentas de síntese e a linguagem de descrição de hardware VHDL foram elementos essenciais na implementação do sistema digital de controle de forma rápida e com elevada flexibilidade, permitindo um projeto no

estilo “*top-down*” baseado em funções com elevado nível de abstração. Adicionalmente, os componentes desenvolvidos são totalmente parametrizáveis e podem ser utilizados de forma imediata na implementação de outras técnicas de controle, assim como em aplicações para outras estruturas conversoras. Outro fator importante está relacionado com a independência de tecnologia do sistema de controle desenvolvido, assim, diante da necessidade da mudança de plataforma do sistema para outro dispositivo lógico programável com maior capacidade ou mais sofisticado, o processo de migração é automático e controlado pela ferramenta de síntese.

Os resultados experimentais apresentados, para duas e quatro células em “*interleaving*”, permitem concluir que o emprego do dispositivo FPGA e o desenvolvimento da lógica de controle empregando a linguagem de descrição de hardware VHDL, é eficaz e apropriada para o desenvolvimento e implementação da técnica de controle da estrutura proposta que opera com frequência variável (FM).

Em função de todos os resultados obtidos neste trabalho, diferentes linhas de pesquisa podem ser apontadas como sendo recomendadas para a continuidade dos trabalhos.

A primeira proposta de continuidade está relacionada com o estudo de compatibilidade eletromagnética de conversores chaveados em “*interleaving*”, operando em elevadas frequências. Além do desenvolvimento de uma metodologia otimizada para o filtro de EMI, um estudo comparativo dos índices de interferências relacionando os conversores operando com comutação dissipativa e operando com a utilização de células de comutação não dissipativa. Complementarmente, um estudo da influência mútua dos conversores em equipamentos susceptíveis a estes sinais de interferências pode ser realizado.

Outra linha de proposta relaciona-se com o refinamento dos modelos desenvolvidos para a topologia em grandes sinais e pequenos sinais CA por valores médios, em frequência variável, levando em conta os elementos parasitas. Dentro deste contexto, a incorporação de informações relacionadas com a fase de operação, a amplitude do “*ripple*” de corrente de entrada e da tensão de saída, no modelo por valores médios.

O estudo e a aplicação de técnicas de controle modernas em conversores com operação em paralelo baseadas em estruturas variáveis como as metodologias de controle *sliding-mode*, fuzzy e redes neurais, representa outra linha de pesquisa que pode ser abordada. Um ponto positivo nesta linha de pesquisa está relacionado com o fato de que as estruturas lógicas integrantes destes sistemas de controle são naturalmente paralelas, representando assim, o ambiente ideal para a utilização dos dispositivos FPGAs na sua aplicação. Adicionalmente, um estudo relacionado com a análise das vantagens e desvantagens envolvidas na

implementação de sistemas de controle com estruturas variáveis utilizando um dispositivo de processamento paralelo (FPGAs) e um dispositivo com processamento do tipo seqüencial, através do uso de microprocessadores ou processadores lógicos digitais (DSP – *Digital Signal Processors*).

Uma última proposta de continuidade está relacionada com o estudo de conversores operando em paralelo mas operando com fase variável, determinada de acordo com a decomposição harmônica da corrente de entrada e a configuração de carga e de tensões de entrada e saída, com a probabilidade de melhorar a distorção harmônica total da corrente de entrada, e conseqüentemente melhorar o fator de potência da estrutura.

## Referências Bibliográficas

- [1] ZHANG, J.; JOVANOVIĆ, M. M.; LEE, F. C. Comparison Between CCM Single-Stage PFC and Two-Stage Boost PFC Converters, in **Proceedings of the IEEE – APEC 2000 Applied Power Electronics Conference**, New Orleans, 2000. 1 CD.
- [2] IRVING, B. T.; JANG, Y.; JOVANOVIĆ, M. M. A Comparative Study of Soft-Switched CCM Boost Rectifiers and Interleaved Variable-Frequency DCM Boost Rectifier, in **Proceedings of the IEEE – APEC 2000 Applied Power Electronics Conference**, New Orleans, 2000. 1 CD.
- [3] BALOGH, L.; REDL, R. Power-Factor Correction with Interleaved Boost Converters in Continuous-Inductor Current Mode, in **Proceedings of the IEEE – APEC 1993 Applied Power Electronics Conference**, San Diego, p.168-174, 1993.
- [4] WONG, P.; LEE, F. C. Interleaved to Reduce Reverse Recovery Loss in Power Factor Correction Circuits, in **Proceedings of the IEEE – IAS 2000 Industry Applications Society Conference**, Salt Lake City, 2000. 1 CD.
- [5] ISHII, T.; MIZUTANI, Y. Power Factor Correction Using Interleaving Technique for Critical Mode Switching Converters, in **Proceedings of the IEEE – APEC 1994 Applied Power Electronics Conference**, Orlando, p. 404-410, 1994.
- [6] MIWA, B. A.; OTTEN, D. M.; SCHLECHT, M.F. High Efficiency Power Factor Correction Using Interleaving Techniques, in **Proceedings of the IEEE – APEC 1992 Applied Power Electronics Conference**, Boston, p. 557-568, 1992.
- [7] LEE, F. C. et al. Evaluation of Input Current in Critical Mode Boost PFC Converter for Distributed Power Systems, in **Proceedings of the IEEE – APEC 2001 Applied Power Electronics Conference**, Anaheim, 2001. 1 CD.
- [8] CHAN, C. H.; PONG, M. H. Input Current Analysis of Interleaved Boost Converters Operating in Discontinuous-Inductor Current Mode, in **Proceedings of the IEEE – PESC 1997 Power Electronics Specialists Conference**, St. Louis, p. 392-398, 1997.

- [9] KLAASSENS, J. B.; MOIZE DE CHATELEUX, W.L.F.H.A.; VAN WESENBEECK, M.P.N. Phase-staggering control of a series-resonant DC-DC converter with paralleled power modules, **IEEE Transactions on Power Electronics**, New York, v. 3, n. 2, p. 164-173, 1988.
- [10] BALIGA, B. J. Power ICS in the Saddle, **IEEE Spectrum**, New York, p.34-49, 1995;
- [11] GARTH, D. R. et al. Multi-phase 2 kilowatt, High voltage, Regulated power supply”, in **Proceedings of the IEEE – PCSC 1971 Power Conditioning Specialists Conference**, p. 110-116, 1971.
- [12] JIANG, Y.; LEE, F. C. Three-level boost converter and its application in single-phase power factor correction, in **Proceedings of the IEEE – PESC 1994 Power Electronics Specialists Conference**, Taipei, v. 1, p. 127-133, 1994.
- [13] BRAGA, H.; BARBI, I. A new technique for parallel connection of commutation cells – analysis, design and experimentation, in **Proceedings of the IEEE – PESC 1995 Power Electronics Specialists Conference**, Atlanta, v.1, p. 81-86, 1995.
- [14] JOVANOVIC, M. M.; ZHANG, M. T. Analysis and Evaluation of Interleaving Techniques in Forward Converters, **IEEE Transactions on Power Electronics**, New York, v. 13, n. 4, p. 690-698, 1998.
- [15] PINHEIRO, J. R.; BAGGIO, J. E. Isolated Interleaved-Phase-Shift-PWM dc-dc ZVS Converters”, in **Proceedings of the IEEE – IAS 2000 Industry Applications Society Conference**, Salt Lake City, 2000. 1 CD.
- [16] SINGH, B. N.; JOOS, G.; JAIN, P. A New Topology of 3-Phase PWM AC/DC Interleaved Converters for Telecommunication Supply Systems, in **Proceedings of the IEEE – IAS 2000 Industry Applications Society Conference**, Salt Lake City, 2000. 1 CD.
- [17] HEY, H. L.; PINHEIRO, J. R.; STEIN, C. M. O. Power factor with Interleaved ZCS Boost Converters in Critical Conduction Mode, In: Congresso Brasileiro De Eletrônica De Potência, 6, 1999, Foz do Iguaçu. *Anais...* Campinas: Sociedade Brasileira de Eletrônica de Potência, p. 399-404, 1999.

- [18] LEE, F. C. et al. Implementation of a 100kW Three-Phase PFC Rectifier with ZCT Soft-Switching Technique, in **Proceedings of the VPEC Seminar**, p.109-116, 1998.
- [19] CANESIN, C. A.; WAKABAYASHI, F. T.; BONATO, M. J. A New Family of Zero-Current-Switching PWM Converters, in **Proceedings of the IEEE – PESC 1999 Power Electronics Specialists Conference**, Charleston, v.1, p. 451-456, 1999.
- [20] CANESIN, C. A.; BARBI, I. Novel Zero-Current-Switching PWM Converters, **IEEE Transactions on Industrial Electronics**, New York, v. 44, n. 3, p. 372-381, 1997.
- [21] WAKABAYASHI, F. T.; CANESIN, C. A. Retificador Pré-regulador Boost com Elevados Fator de Potência e Rendimento, para Sistemas de Telecomunicações. **Revista Brasileira de Eletrônica de Potência**, Campinas, v. 7, n. 1, p. 71-78, 2002.
- [22] BHATIA, D. Field Programmable Gate Arrays, **IEEE Potentials**, p. 16-19, 1997.
- [23] ROSS, F. User-Programmable Gate Arrays, **IEEE Spectrum**, p. 32-35, 1988.
- [24] BROWN, S.; ROSE, J. Architecture of FPGAs and CPLDs: A Tutorial, **IEEE Design and Test of Computers**, New York, v. 13, n. 2, p. 42-57, 1996.
- [25] PARNELL, K.; MEHTA, N. *Programmable Logic Design Quick Start Hand Book*, Xilinx Inc., 2003, 210 p.
- [26] HAMDY, E. et al. Dielectric Based Antifuse for Logic and Memory Ics, in **Proceedings of the IEEE – 1988 International Electron Devices**, p. 786-789, 1988.
- [27] ROSE, J.; GAMAL, A. E.; ANGIOVANNI-VINCENTELLI, A. Architecture of Field-Programmable Gate Arrays, in **Proceedings of IEEE**, v. 81, n. 7, p. 1013-1028, 1993.
- [28] SATHE, S. J.; HAGGARD, R. L. Comparison of Commercially available FPGA Architectures, in **Proceedings of the IEEE – 1994 Southeastcon (Creative Technology Transfer - A Global Affair)**, p. 383-385, 1994.
- [29] SINGH, S. Architectural Descriptions for FPGA Circuits, in **Proceedings of the IEEE – SFCCM 1995 Symposium on FPGAs for Custom Computing Machines**, v. 1, p. 145-154, 1995.

- [30] CHRZANOWSKA-JESKE, M. Architecture and Synthesis Issues in FPGAs, in **Proceedings of the 1993 Northcon Conference**, p.102-105, 1993.
- [31] KHALILOLLAHI, Y. Switching Elements, the Key to FPGA Architecture, in **Proceedings of the 1994 WESCON (Idea/Microelectronics) Conference**, p. 682-687, 1994.
- [32] MARPLE, D.; COOKE, L. Programming Antifuses in Crosspoint's FPGA, , in **Proceedings of the IEEE – CICC 1994 Custom Integrated Circuits Conference**, v. 1, p. 185-188, 1994.
- [33] ARAT, V. Interconnect Technology Dictates Architecture Choices in FPGAs, in **Proceedings of the 1993 WESCON Conference**, p. 240-244, 1993.
- [34] ORDONEZ, E. D. M. et al. Projeto, *Desempenho e Aplicações de Sistemas Digitais em Circuitos Programáveis (FPGAs)*, Bless Gráfica e Editora, ISBN 85-87244-13-2, 2003, 300 p.
- [35] Spartan-IIIE 1.8V FPGA Family: Complete Datasheet, Xilinx Product Specification, 2003. Disponível em: <http://direct.xilinx.com/bvdocs/publications/ds077.pdf>. Acesso em : 10 de ago. 2005.
- [36] LYSAGHT, P. Future Design Tools for Platform FPGAs, in **Proceedings of the IEEE – SICSD 2003 Symposium on Integrated Circuits and Systems Design**, 0-7695-2009-X/03, 1995.
- [37] MEYER-BAESE, U., *Digital Signal Processing with Field Programmable Gate Arrays*, Springer-Verlag, ISBN 3-540-413-41-3, 2001, 422 p.
- [38] SMITH, D. J. HDL *Chip Design*, Doone Publications, ISBN 0-9651934-3-8, 1997, 447 p.
- [39] RIESGO, T.; TORROJA, Y.; DE LA TORRE, E. Design Methodologies Based on Hardware Description Languages, **IEEE Transactions on Industrial Electronics**, New York, v. 46, n. 1, p. 3-11, 1999.
- [40] CHANG, K. C. *Digital Design and Modeling with VHDL Synthesis*, IEEE Computer Society Press, ISBN 0-8186-7716-3, 1997, 345 p.



- [41] PALNITKAR, S. *Verilog HDL: A Guide to Digital Design and Synthesis*, Prentice Hall PTR, ISBN 0-13-044911-3, 2003, 496 p.
- [42] COHEN, B. *VHDL Coding Styles and Methodologies*, Kluwer Academic Publishers, 1995, 480 p.
- [43] IEEE, Inc., “IEEE Standard VHDL Language Reference Manual” – IEEE 1076-2002, May, 2002;
- [44] PERRY, D. L. *VHDL - Second Edition*, McGraw-Hill, ISBN 0-07-049434-7, 1993, 391 p.
- [45] PERRY, D. L. *VHDL Programming by Example*, McGraw-Hill, 2002, 475p.
- [46] NAYLOR, D.; S. JONES, S. *VHDL – A Logic Synthesis Approach*, Chapman & Hall, 1997, 339 p.
- [47] LIM, S. E.; HENDRY, D. C.; YEUNG, P. F. Experiences and Issues in VHDL-Based Synthesis, in **Proceedings of the 1992 European Design Automation Conference**, p. 646-651, 1992.
- [48] LIGTHART, M. Logic Synthesis for Programmable Logic Design, in **Proceedings of the 1994 WESCON (Idea/Microelectronics) Conference**, p. 581-586, 1994.
- [49] CHANG, J. M.; AGUN, S. K. Design-for-reusability in VHDL, **IEE Computing & Control Engineering Journal**, p. 231-239, 2001.
- [50] MC34262 – Power Factors Controllers, ON Semiconductors Datasheet, 2001. Disponível em: <http://www.onsemi.com/pub/Collateral/MC34262-D.PDF>. Acesso em : 10 de ago. 2005.
- [51] ANDREYCAK, B. Power Factor Correction Using The UC3852 Controlled On-Time Zero Current Switching Technique, Unitrode Application Note U-132, 1996. Disponível em: <http://www.ti.com/sc/docs/psheets/abstract/apps/slua108.htm>. Acesso em : 10 de ago. 2005.

- [52] SPIAZZI, G.; MATTAVELLI, P.; ROSSETTO, L. Power factor Pre-Regulators with improved dynamic response, in **Proceedings of the IEEE – PESC 1995 Power Electronics Specialists Conference**, Atlanta, v.1, p. 150-156, 1995.
- [53] KRANZ, C. Complete Digital Control Method for PWM DCDC Boost Converter, in **Proceedings of the IEEE – PESC 2003 Power Electronics Specialists Conference**, Acapulco, v.2, p. 951-956, 2003. 1 CD.
- [54] GUSSEME, K.; SYPE, M. V.; MELKEBEEK, A. A. Design Issues for Digital Control of Boost Power Factor Correction Converters, in **Proceedings of the IEEE – ISIE 2002 International Symposium on Industrial Electronics**, L' Aquila, p.731-736, 2002. 1 CD.
- [55] HUANG, X. et al. A DSP Based Controller for High-Power Interleaved Boost Converters, in **Proceedings of the IEEE – APEC 2003 Applied Power Electronics Conference**, Miami, v. 1, p. 327-333, 2003. 1 CD.
- [56] Uceda, J. et al. Concurrent and Simple Digital Controller of an AC/DC converter with Power Factor Correction, **IEEE Transactions on Power Electronics**, New York, v. 18, n. 1, p. 334-343, 2003.
- [57] TZOU, Y. Y.; HSU, H. J. FPGA Realization of Space-Vector PWM Control IC for Three-Phase PWM Inverters, **IEEE Transactions on Power Electronics**, New York, v. 12, n. 6, p. 953-963, 1997.
- [58] BATISTA, A. J. *Modelagem e Otimização do Projeto de Componentes Magnéticos Utilizados em Conversores Estáticos de Alta Frequência*. 1998. 291 f. Tese (Doutorado em Engenharia Elétrica) – Coordenadoria de Programa de Pós Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 1998;
- [59] ERICKSON, R. W.; MAKSIMOVIĆ, D. *Fundamentals of Power Electronics*, Norwell, MA: Kluwer Academic Publishers, ISBN 0-7923-7270-0, 2001, 912 p.
- [60] BARBI, I. *Fontes Chaveadas*. Florianópolis: Edição do Autor. 2001. 334 p.
- [61] ADS2807- Analog-Digital Converter, Texas Instruments Datasheet SBAS169B, 2000. Disponível em: <http://www-s.ti.com/sc/ds/ads2807.pdf>. Acesso em : 10 de ago. 2005.

- [62] MANCINI, R. Op Amps for Everyone, Texas Instruments Design Reference - SLOD006A, 2001. Disponível em: <http://focus.ti.com/lit/an/slod006b/slod006b.pdf>. Acesso em : 10 de ago. 2005.
- [63] CARTER, B.; BROWN, T. R. Handbook Of Operational Amplifier Applications, Texas Instruments Application Report SBOA092A, 2001. Disponível em: <http://focus.ti.com/general/docs/lit/getliterature.tsp?literatureNumber=sboa092a&fileType=pdf>. Acesso em : 10 de ago. 2005.
- [64] SUNTIO, T. Analysis and Modeling of Peak-Current-Mode-Controlled Buck Converter in DICM, **IEEE Transactions on Industrial Electronics**, New York, v. 48, n. 1, p. 127-135, 2001.
- [65] SUNTIO, T.; LEMPINEN, J. Modeling And Analysis of a Self-Oscillating Peak-Current Controlled Flyback Converter, in **Proceedings of the IEEE – IECON 2001 Industrial Electronics Society**, Denver, v. 2, p. 960-965, 2001. 1 CD.

## Publicações Resultantes Do Trabalho

- [A] GONÇALVES, F. A. S.; CANESIN, C. A. A 2kW interleaved ZCS-PWM boost rectifier digitally controlled by FPGA device, in **Proceedings of the IEEE – PESC 2005 Power Electronics Specialists Conference**, Recife, 2005. 1 CD.
- [B] GONÇALVES, F. A. S.; CANESIN, C. A. An interleaved ZCS-FM Boost rectifier, with digital control using a FPGA device and VHDL, In: Congresso Brasileiro De Eletrônica De Potência, 8, 2005, Recife. *Anais...* Campinas: Sociedade Brasileira de Eletrônica de Potência, 2005. 1 CD.
- [C] GONÇALVES, F. A. S.; CANESIN, C. A. Design oriented analysis of the digitally controlled DC to DC interleaved ZCS-FM Boost converter using a FPGA device, In: Congresso Brasileiro De Eletrônica De Potência, 8, 2005, Recife. *Anais...* Campinas: Sociedade Brasileira de Eletrônica de Potência, 2005. 1 CD.
- [D] GONÇALVES, F. A. S.; CANESIN, C. A. A novel single-phase high power-factor interleaved boost ZCS rectifier, In: Congresso Brasileiro De Eletrônica De Potência, 7, 2003, Fortaleza. *Anais...* Campinas: Sociedade Brasileira de Eletrônica de Potência, 2003. 1 CD.
- [E] GONÇALVES, F. A. S.; CANESIN, C. A. Single-phase High Power-Factor Boost ZCS Pre-regulator Operating In Critical Conduction Mode, in **Proceedings of the IEEE – ISIE 2003 International Symposium On Industrial Electronics**, Rio de Janeiro, 2003. 1 CD.
- [F] GONÇALVES, F. A. S.; CANESIN, C. A. Modeling of Pre-regulator Boost ZCS Interleaved Operating in Critical Conduction Mode and with High Power Factor, in **Proceedings of the IEEE – IECON 2002 International Conference On Industrial Electronics**, Sevilla, 2002. 1 CD.

## **APÊNDICE A – Códigos VHDL dos Componentes**

## A.1 – AQUISIÇÃO\_4

Tabela A.1 – Código VHDL de descrição comportamental do componente AQUISIÇÃO\_4.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
library UNISIM;
use UNISIM.VComponents.all;
entity aquisicao_4 is
    Port (
        clk : in std_logic;
        reset : in std_logic;
        --- Canal A In -----
        din_a : in std_logic_vector (11 downto 0);
        enable_a : in std_logic; -- enable = DVA
        ovr_a : in std_logic; -- ovr= OVR_A
        --- Canal A Out -----
        out_ovr_a : out std_logic;
        dout_a : out std_logic_vector (11 downto 0);
        --- Canal B In -----
        din_b : in std_logic_vector (11 downto 0);
        enable_b : in std_logic; -- enable = DVB
        ovr_b : in std_logic; -- ovr= OVR_B
        --- Canal B Out -----
        out_ovr_b : out std_logic;
        dout_b : out std_logic_vector (11 downto 0);
        --- Canal C In -----
        din_c : in std_logic_vector (11 downto 0);
        enable_c : in std_logic; -- enable = DVA
        ovr_c : in std_logic; -- ovr= OVR_A
        --- Canal C Out -----
        out_ovr_c : out std_logic;
        dout_c : out std_logic_vector (11 downto 0);
        --- Canal D In -----
        din_d : in std_logic_vector (11 downto 0);
        enable_d : in std_logic; -- enable = DVB
        ovr_d : in std_logic; -- ovr= OVR_B
        --- Canal D Out -----
        out_ovr_d : out std_logic;
    );
end entity aquisicao_4;

```

Continuação da Tabela A.1

```

        dout_d : out std_logic_vector (11 downto 0);
        --- Sinais Analógicos Isolados Provenientes do Secundário dos Indutores
        --- Entrada
        zeroa_a_in : in std_logic;
        zeroa_b_in : in std_logic;
        zeroa_c_in : in std_logic;
        zeroa_d_in : in std_logic;
        --- Saida
        zeroa_a_out : out std_logic;
        zeroa_b_out : out std_logic;
        zeroa_c_out : out std_logic;
        zeroa_d_out : out std_logic;
        --- Clock Out -----
        clk_out : out std_logic
    );
end aquisicao_4;
architecture Behavioral of aquisicao_4 is
    signal clk_temp: std_logic;
    signal ovr_out_temp_a, ovr_out_temp_b: std_logic;
    signal ovr_out_temp_c, ovr_out_temp_d: std_logic;
    --Sinais para Controle de Falha e Registro Anterior
    constant delta_max: std_logic_vector(11 downto 0):=conv_std_logic_vector(150, 12);
    signal dout_bef_a, dout_bef_b: std_logic_vector (11 downto 0):=(OTHERS=>'0');
    signal dout_bef_c, dout_bef_d: std_logic_vector (11 downto 0):=(OTHERS=>'0');
    signal ini_flag: std_logic;
    constant count_min: std_logic_vector(5 downto 0):=conv_std_logic_vector(30, 6);
    --Sinais para Registro do Pulso Analógico Isolado
    signal zeroa_a_temp, zeroa_b_temp: std_logic;
    signal zeroa_c_temp, zeroa_d_temp: std_logic;
begin
    --- Atualizando Valores Na Saida ---
    out_ovr_a <= ovr_out_temp_a;
    dout_a <= dout_bef_a;
    out_ovr_b <= ovr_out_temp_b;
    dout_b <= dout_bef_b;
    out_ovr_c <= ovr_out_temp_c;
    dout_c <= dout_bef_c;
    out_ovr_d <= ovr_out_temp_d;

```

Continuação da Tabela A.1

```

dout_d <= dout_bef_d;
--- Pulsos do Sensor Analógico Isolado
zeroa_a_out <= zeroa_a_temp;
zeroa_b_out <= zeroa_b_temp;
zeroa_c_out <= zeroa_c_temp;
zeroa_d_out <= zeroa_d_temp;
process (clk_temp,reset)
variable dout_temp_aa, dout_temp_bb: std_logic_vector (11 downto 0):=(OTHERS=>'0');
variable dout_temp_cc, dout_temp_dd: std_logic_vector (11 downto 0):=(OTHERS=>'0');
variable delta_a, delta_b: std_logic_vector (11 downto 0):=(OTHERS=>'0');
variable delta_c, delta_d: std_logic_vector (11 downto 0):=(OTHERS=>'0');
variable count_a, count_b: std_logic_vector (5 downto 0):=(OTHERS=>'0');
variable count_c, count_d: std_logic_vector (5 downto 0):=(OTHERS=>'0');
begin
    -- RESET ASSINCRONO
    if reset='1' then
        -- Inicializando Variáveis
        dout_temp_aa:=(OTHERS=>'0');
        dout_temp_bb:=(OTHERS=>'0');
        dout_temp_cc:=(OTHERS=>'0');
        dout_temp_dd:=(OTHERS=>'0');
        dout_bef_a <=(OTHERS=>'0');
        dout_bef_b <=(OTHERS=>'0');
        dout_bef_c <=(OTHERS=>'0');
        dout_bef_d <=(OTHERS=>'0');
        delta_a:=(OTHERS=>'0');
        delta_b:=(OTHERS=>'0');
        delta_c:=(OTHERS=>'0');
        delta_d:=(OTHERS=>'0');
        count_a:=(OTHERS=>'0');
        count_b:=(OTHERS=>'0');
        count_c:=(OTHERS=>'0');
        count_d:=(OTHERS=>'0');
        ini_flag <='1';
        -- Sinais Pulso Analógico Isolado
        zeroa_a_temp <='0';
        zeroa_b_temp <='0';
        zeroa_c_temp <='0';

```



Continuação da Tabela A.1

```

zeroa_d_temp <='0';
elsif (clk_temp'event and clk_temp='1') then
    --- Parte I - Processo de Aquisição --
    zeroa_a_temp <= zeroa_a_in;
    zeroa_b_temp <= zeroa_b_in;
    zeroa_c_temp <= zeroa_c_in;
    zeroa_d_temp <= zeroa_d_in;
    --- Verificando Canal A ----
    if (ovr_a='0') then
        if (enable_a='1') then
            dout_temp_aa := din_a;
        end if;
        ovr_out_temp_a <='0';
    else
        ovr_out_temp_a <='1';
    end if;
    --- Verificando Canal B ---
    if (ovr_b='0') then
        if (enable_b='1') then
            dout_temp_bb := din_b;
        end if;
        ovr_out_temp_b <='0';
    else
        ovr_out_temp_b <='1';
    end if;
    --- Verificando Canal C ---
    if (ovr_c='0') then
        if (enable_c='1') then
            dout_temp_cc := din_c;
        end if;
        ovr_out_temp_c <='0';
    else
        ovr_out_temp_c <='1';
    end if;
    --- Verificando Canal D ---
    if (ovr_d='0') then
        if (enable_d='1') then
            dout_temp_dd := din_d;

```

Continuação da Tabela A.1

```

        end if;
        ovr_out_temp_d <='0';
    else
        ovr_out_temp_d <='1';
    end if;
    --- Fim da Parte I - Processo de Aquisição
    --- Parte II - Validação dos Dados
    --- Analise Inicial dos Dados - Desvio
    --- Canal A
    if (dout_bef_a > dout_temp_aa) then
        delta_a := dout_bef_a-dout_temp_aa;
    else
        delta_a := dout_temp_aa-dout_bef_a;
    end if;
    --- Canal B
    if (dout_bef_b > dout_temp_bb) then
        delta_b := dout_bef_b-dout_temp_bb;
    else
        delta_b := dout_temp_bb-dout_bef_b;
    end if;
    --- Canal C
    if (dout_bef_c > dout_temp_cc) then
        delta_c := dout_bef_c-dout_temp_cc;
    else
        delta_c := dout_temp_cc-dout_bef_c;
    end if;
    --- Canal D
    if (dout_bef_d > dout_temp_dd) then
        delta_d := dout_bef_d-dout_temp_dd;
    else
        delta_d := dout_temp_dd-dout_bef_d;
    end if;
    --- Verificando Máximo Desvio Permitido
    if (delta_max >= delta_a or ini_flag='1' or count_a >= count_min ) then
        dout_bef_a <= dout_temp_aa;
        count_a:=(OTHERS=>'0');
    else
        count_a:=count_a+1;
    end if;

```

Continuação da Tabela A.1

```

        end if;
        if (delta_max >= delta_b or ini_flag='1' or count_b >= count_min) then
            dout_bef_b <= dout_temp_bb;
            count_b:=(OTHERS=>'0');
        else
            count_b:=count_b+1;
        end if;
        if (delta_max >= delta_c or ini_flag='1' or count_c >= count_min) then
            dout_bef_c <= dout_temp_cc;
            count_c:=(OTHERS=>'0');
        else
            count_c:=count_c+1;
        end if;
        if (delta_max >= delta_d or ini_flag='1' or count_d >= count_min) then
            dout_bef_d <= dout_temp_dd;
            count_d:=(OTHERS=>'0');
        else
            count_d:=count_d+1;
        end if;
        -- Mantendo ini_flag em 0 na operação
        ini_flag <='0';
    end if;
end process;

----- Cria Clock de Controle do A/D – 25MHz (50% High e 50%Low)
----- OPÇÃO 1: Utilizando Divisor de Frequência (Process) – Elevado FANOUT requerido
----- OPÇÃO 2: Utilizando Componente DLL
process (clk) – OPÇÃO 1
variable conta_clk: std_logic_vector(1 downto 0):="00";
begin
    if (clk'event and clk='1') then
        conta_clk := conta_clk+1;
        if conta_clk(0)='1' then
            clk_temp <='1';
        else
            clk_temp <='0';
        end if;
    end if;
end process;

```

Continuação da Tabela A.1

```

clk_out <= clk_temp;
CLKDLLE_inst : CLKDLLE – OPÇÃO 2
generic map (
CLKDV_DIVIDE => 2.0, -- Divide by: 1.5,2.0,2.5,3.0,4.0,5.0,8.0 or 16.0
DUTY_CYCLE_CORRECTION => TRUE, -- Duty cycle correction, TRUE or FALSE
FACTORY_JF => X"C080", -- FACTORY JF Values
STARTUP_WAIT => FALSE) -- Delay config DONE until DLL LOCK, TRUE/FALSE
port map (
CLK0 => CLK0, -- 0 degree DLL CLK output
CLK180 => CLK180, -- 180 degree DLL CLK output
CLK270 => CLK270, -- 270 degree DLL CLK output
CLK2X => CLK2X, -- 2X DLL CLK output
CLK90 => CLK90, -- 90 degree DLL CLK output
CLKDV => clk_temp, -- Divided DLL CLK out (CLKDV_DIVIDE)
LOCKED => LOCKED, -- DLL LOCK status output
CLKFB => CLKFB, -- DLL clock feedback
CLKIN => clk, -- Clock input (from IBUFG, BUFG or DLL)
RST => reset -- DLL asynchronous reset input);
clk_out <= clk_temp;
end Behavioral;

```

## A.2 – MAIN

Tabela A.2 – Código VHDL de descrição comportamental do componente MAIN.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity main is
    Port (
        CLK : in std_logic;
        RESET : in std_logic;
        --Dado de Controle da Largura de Pulso
        PWM_A1 : in std_logic_vector(11 downto 0);
        PWM_A2 : in std_logic_vector(11 downto 0);
        --Sinal de Controle de Force Bloqueio
        c_control: in std_logic;
        flag_force: out std_logic;
        --Sinais de Comando de Saida
        GATE_SA : out std_logic;
        GATE_SP : out std_logic);
end main;
architecture Behavioral of main is
    type estados_tipo is (ativo, forçado,zero,off);
    signal estado_a: estados_tipo:=off;--era zero
    signal COUNT: STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(0, 12);
    signal PWM_t1, PWM_t2, PWM_t2aux : std_logic_vector(11 downto 0):=conv_std_logic_vector(0, 12);
    signal c_control_antes: std_logic:='0';
    signal flag_force_temp: std_logic:='0';
    constant delta_min : std_logic_vector(11 downto 0):=conv_std_logic_vector(50, 12);
    signal count_min : std_logic_vector(11 downto 0):=conv_std_logic_vector(0, 12);
    signal flag_liga: std_logic:='0';
begin
    process (CLK)
    begin
        if CLK='1' and CLK'event then
            if RESET='1' then
                estado_a <= zero;
            else
                case estado_a is
                    when ativo =>

```

Continuação da Tabela A.2

```

if COUNT<=PWM_t2 then
    COUNT <= COUNT + 1;
    estado_a <= ativo;
else
    estado_a <= off;
    flag_force_temp <='0';
end if;
if COUNT <= PWM_t2 then
    GATE_SP <= '1';
else
    GATE_SP <= '0';
end if;
if (COUNT >= PWM_t1 AND COUNT <= PWM_t2) then
    GATE_SA <= '1';
else
    GATE_SA <= '0';
end if;
if (flag_liga='1' and COUNT>count_min) then
    if (COUNT < PWM_t1) then
        PWM_t2 <= COUNT+PWM_t2aux;
    end if;
    estado_a <= forçado;
    GATE_SP <= '1';
    GATE_SA <= '1';
    flag_force_temp <='1';
end if;
c_control_antes <= c_control;
-- New
if (c_control='0' and c_control_antes='1') then
    flag_liga<='1';
end if;
when forçado =>
    if (COUNT<=PWM_t2) then
        COUNT <= COUNT + 1;
        GATE_SA <= '1';
        GATE_SP <= '1';
        estado_a <= forçado;
    else

```

Continuação da Tabela A.2

```

        estado_a <= off;
        GATE_SA <= '0';
        GATE_SP <= '0';

    end if;
    flag_force_temp <='1';
when off =>
    estado_a <= off;
    GATE_SP <= '0';
    GATE_SA <= '0';
when zero =>
    COUNT <= conv_std_logic_vector(0, 12);
    PWM_t2aux <= PWM_A2;
    PWM_t2 <= PWM_A1+PWM_A2;
    PWM_t1 <= PWM_A1;
    if (PWM_A1 > conv_std_logic_vector(0, 12)) then
        estado_a <= ativo;
        count_min <= PWM_A1-delta_min;
    else
        estado_a <= off;
        count_min <= conv_std_logic_vector(0, 12);
    end if;
    GATE_SP <= '0';
    GATE_SA <= '0';
    --new
    flag_liga<='0';
when others =>
    estado_a <= off;
end case;
end if;
end if;
end process;
flag_force <= flag_force_temp;
end Behavioral;

```

## A.3 – ZERO\_CONTROL

Tabela A.3 – Código VHDL de descrição comportamental do componente ZERO\_CONTROL.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity zerocontrol is
Port (   clk : in std_logic;

        ---- Dado Calibração do Zero do LEM
        cal_lem : in std_logic_vector (11 downto 0);

        ---- Dado Aquisitado pelo A/D -----
        din_a : in std_logic_vector(11 downto 0);
        flag_stop : in std_logic;

        ---- Sinais de Controle IN -----
        gate_a: in std_logic;
        reset : in std_logic;
        zero_ana : in std_logic;

        ---- Sinais de Controle OUT -----
        saida_est: out std_logic_vector (1 downto 0);
        sinal_a : out std_logic);

end zerocontrol;
architecture Behavioral of zerocontrol is
type estados_tipo is (ativo, descarga, zero, off);
signal estado_a, estado_ab: estados_tipo:=off; --era zero
signal sinal_a_temp: std_logic:='0';
signal zero_lem : std_logic_vector(11 downto 0):=conv_std_logic_vector(678, 12);
constant zero_min : std_logic_vector(11 downto 0):=conv_std_logic_vector(400, 12);
signal count,count2: STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(0, 12);
constant count_min : std_logic_vector(11 downto 0):=conv_std_logic_vector(100, 12);
constant count_min2 : std_logic_vector(11 downto 0):=conv_std_logic_vector(25, 12);
-- Sinal Analógico
signal zero_ana_antes: std_logic:='0';
signal flag_zero_ana: std_logic:='0';
begin
sinal_a <= sinal_a_temp;
process (clk)

```



Continuação da Tabela A.3

```

begin
  if (CLK'event and CLK='1') then --CLK rising edge
    if reset='1' then
      estado_a <= zero;
      zero_lem <= cal_lem;
    else
      zero_ana_antes <= zero_ana;
      if (zero_ana='0' and zero_ana_antes='1' and estado_a /= ativo) then
        flag_zero_ana <='1';
      end if;
    case estado_a is
      when ativo =>
        sinal_a_temp <='0';
        if estado_ab = zero then
          if gate_a='0' then
            estado_ab <= zero;
          else
            estado_ab <= ativo;
          end if;
        else
          if gate_a='1' then
            estado_a <= ativo;
          else
            estado_a <= descarga;
          end if;
        end if;
        -- Flag do Analogico
        flag_zero_ana <='0';
        saida_est <= "00";
      when descarga =>
        count <= count+1;
        sinal_a_temp <='0';
        if (((din_a <= zero_lem and din_a > zero_min) or flag_zero_ana='1')
          and (count > count_min)) then
          estado_a <= zero;
        else
          estado_a <= descarga;
        end if;
      end case;
    end if;
  end if;
end

```

Continuação da Tabela A.3

```

        end if;
        count2 <= conv_std_logic_vector(0, 12);
        estado_ab <= descarga;
        saida_est <= "01";
    when zero =>
        count2 <= count2+1;
        if (((din_a <= zero_lem and din_a > zero_min) or flag_zero_ana='1')
        and (count2 > count_min2)) then
            sinal_a_temp <= '1';
            estado_a <= ativo;
            -- Flag do Analogico
            flag_zero_ana <='0';
        else
            sinal_a_temp<='0';
            estado_a <= zero;
        end if;
        --Novo
        count <= conv_std_logic_vector(0, 12);
        estado_ab <= zero;
        saida_est <= "10";
    when off =>
        sinal_a_temp <= '0';
        flag_zero_ana <='0';
        estado_a <= off;
        estado_ab <= off;
        saida_est <= "11";
    when others =>
        estado_a <= off;
        estado_ab <= off;
    end case;
    if (flag_stop='1') then
        sinal_a_temp<='0';
        estado_a <= off;
    end if;
end if;
end process;
end Behavioral;

```

## A.4 – PERIODO\_CTRL

Tabela A.4 – Código VHDL de descrição comportamental do componente PERIODO\_CTRL.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity periodo_ctrl is
    Port (
        clk : in std_logic;
        reset : in std_logic;
        meioperiodo_2 : in std_logic_vector(11 downto 0);
        meioperiodo_4 : in std_logic_vector(11 downto 0);
        sinal_ca : out std_logic;
        sinal_cb : out std_logic;
        sinal_cc : out std_logic);
end periodo_ctrl;
architecture Behavioral of periodo_ctrl is
    type estados_tipo is (ativo, zero);
    signal estado_a : estados_tipo:=ativo;
    signal sinal_ca_temp,sinal_cb_temp, sinal_cc_temp: std_logic:='0';
    signal count : STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(0, 12);
    signal mp2_temp,mp3_temp: STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(0, 12);
    signal mp4_temp : STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(0, 12);
    signal meioperiodo_2_old, meioperiodo_4_old : STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(0, 12);
    begin
    process (clk)
        variable a_avg,b_avg: std_logic_vector(11 downto 0):=(others=>'0');
    begin
        if CLK='1' and CLK'event then
            if reset='1' then
                estado_a <= zero;
                sinal_ca_temp <='1';
                sinal_cb_temp <='1';
                sinal_cc_temp <='1';
            else
                case estado_a is
                    when ativo =>
                        if (count <= mp4_temp) then
                            sinal_ca_temp <='1';

```

Continuação da Tabela A.4

```

else
    sinal_ca_temp <='0';
end if;
if (count <= mp2_temp) then
    sinal_cb_temp <='1';
else
    sinal_cb_temp <='0';
end if;
if (count <= mp3_temp) then
    count <= count + 1;
    sinal_cc_temp <='1';
else
    sinal_cc_temp <='0';
end if;
estado_a <= ativo;
when zero =>
    count <= (others=>'0');
    --PARTE DO AVERAGE DE PERIODOS-----
    a_avg := meioperiodo_2+meioperiodo_2_old;
    a_avg(10 downto 0) := a_avg(11 downto 1);
    a_avg(11) := '0';
    meioperiodo_2_old <= meioperiodo_2;
    b_avg := meioperiodo_4+meioperiodo_4_old;
    b_avg(10 downto 0) := b_avg(11 downto 1);
    b_avg(11) := '0';
    meioperiodo_4_old <= meioperiodo_4;
    -- REPASSANDO DADOS AVERAGED----
    mp2_temp <= a_avg;
    mp4_temp <= b_avg;
    mp3_temp <= a_avg+b_avg;
    estado_a <= ativo;
    sinal_ca_temp <='1';
    sinal_cb_temp <='1';
    sinal_cc_temp <='1';
when others =>
    estado_a <= zero;
end case;
end if;

```

Continuação da Tabela A.4

```
end if;  
sinal_ca <= sinal_ca_temp;  
sinal_cb <= not(sinal_ca_temp) and sinal_cb_temp;  
sinal_cc <= not(sinal_cb_temp) and sinal_cc_temp;  
end process;  
end Behavioral;
```

## A.5 – CRITICO4CELL

Tabela A.5 – Código VHDL de descrição comportamental do componente CRITICO4CELL.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
library UNISIM;
use UNISIM.VComponents.all;
library work;
use work.lep_pack.all;
entity critico4cell is
Port (
    clk : in std_logic;
    -- 1)Conversores AD2807(A e B-->3 c e d-->1)
    -- 1.1)Canal A
    din_a : in std_logic_vector (11 downto 0);
    enable_a : in std_logic; -- enable = DVA
    ovr_a: in std_logic;-- ovr= OVR
    -- 1.2)Canal B
    in_b : in std_logic_vector (11 downto 0);
    enable_b : in std_logic; -- enable = DVA
    ovr_b: in std_logic;-- ovr= OVR
    -- 1.3)Canal C
    din_c : in std_logic_vector (11 downto 0);
    enable_c : in std_logic; -- enable = DVA
    ovr_c: in std_logic;-- ovr= OVR
    -- 1.4)Canal D
    din_d : in std_logic_vector (11 downto 0);
    enable_d : in std_logic; -- enable = DVA
    ovr_d: in std_logic;-- ovr= OVR
    -- 1.5)Ativa AD
    clk_out : out std_logic;
    clk_out2 : out std_logic;
    -- 2)Sinais dos Sensores Analógicos
    zeroa_a_in : in std_logic;
    zeroa_b_in : in std_logic;
    zeroa_c_in : in std_logic;
    zeroa_d_in : in std_logic;

```

Continuação da Tabela A.5

```

-- 3) Conversor AD7823 - 1
-- 3.1) Tensão de Saída (Vo)
din_ads1 : in std_logic;
convst_ads1 : out std_logic;
sclk_ads1 : out std_logic;
-- 3.2) Tensão de Entrada (Vin)
din_ads2 : in std_logic;
convst_ads2 : out std_logic;
sclk_ads2 : out std_logic;
flag_stop : out std_logic_vector (1 downto 0);
flag_sensor_ana : out std_logic;
-- Display 7 Segmentos (Info)
display_7segs : out std_logic_vector(6 downto 0);
an_7segs : out std_logic_vector(3 downto 0);
seletor : in std_logic_vector(2 downto 0);
sel_pwm : in std_logic;
-- Reset Manual
reset : in std_logic;
-- Sinais de Comando de Gate dos Interruptores
-- Saidas Drive Celula 4 (Aux3)
gate_sa_4 : out std_logic;
gate_sp_4 : out std_logic;
-- Saidas Drive Celula 3 (Aux2)
gate_sa_3 : out std_logic;
gate_sp_3 : out std_logic;
-- Saidas Drive Celula 2 (Aux1)
gate_sa_2 : out std_logic;
gate_sp_2 : out std_logic;
-- Saidas Drive Celula 1 (Master)
gate_sa : out std_logic;
gate_sp : out std_logic;
end critico4cell;
architecture Behavioral of critico4cell is
---Celula Sinais Pulso---
signal gate_sp_c1, gate_sa_c1: std_logic;
signal gate_sp_c2, gate_sa_c2: std_logic;
signal gate_sp_c3, gate_sa_c3: std_logic;
signal gate_sp_c4, gate_sa_c4: std_logic;

```

Continuação da Tabela A.5

```

--- Sinais Detecção Zero e Force Bloqueio---
signal sinal_zeroc1,sinal_zeroc2 : std_logic;
signal sinal_zeroc3,sinal_zeroc4 : std_logic;
---- Force
signal flag_force1_temp, flag_force2_temp: std_logic;
signal flag_force3_temp, flag_force4_temp: std_logic;
--- Sinais Controle de Fase - Toff
signal meioperiodo_temp,meioperiodo4_temp : STD_LOGIC_VECTOR(11 downto 0): =
conv_std_logic_vector(0, 12);
signal sinal_nper : std_logic;
signal sinal_c2_off,sinal_c3_off,sinal_c4_off: std_logic;
--- Sinais Controle de Fase - Ton
signal meioperiodo_temp2,meioperiodo4_temp2 : STD_LOGIC_VECTOR(11 downto
0):=conv_std_logic_vector(0, 12);
signal sinal_nper2 : std_logic;
signal sinal_c2_on,sinal_c3_on,sinal_c4_on: std_logic;
--- Sinais para Calibragem dos Lems
signal cal_lem1, cal_lem2: STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(650, 12);
signal cal_lem3, cal_lem4: STD_LOGIC_VECTOR(11 downto 0):=conv_std_logic_vector(650, 12);
--- Sinais Aquisição      AD2812 Paralelo (12 bits)
signal clk_temp : std_logic;
signal out_ovr_a, out_ovr_b: std_logic;
signal out_ovr_c, out_ovr_d: std_logic;
signal dout_a, dout_b: std_logic_vector (11 downto 0);
signal dout_c, dout_d: STD_LOGIC_VECTOR(11 downto 0);
-- Sinais Provenientes dos Analógicos      Registrados pela Aquisição
signal zeroa_a_out2, zeroa_b_out2: std_logic;
signal zeroa_c_out2, zeroa_d_out2: std_logic;
-- Sinais Provenientes dos Analógicos      Registrados e Enabled
signal zeroa_a_out, zeroa_b_out: std_logic;
signal zeroa_c_out, zeroa_d_out: std_logic;
--- Sinais Proteção e Start up
signal reset_ref,reset_all: std_logic;
signal flag_stop_temp: std_logic;
signal flag_stop_temp2: std_logic_vector (1 downto 0);
signal flag_sensor_ana_temp: std_logic;
signal saida_est_temp: std_logic_vector (1 downto 0):=(others=>'0');
signal saida_est_2: std_logic_vector (1 downto 0):=(others=>'0');

```



Continuação da Tabela A.5

```

signal saida_est_3: std_logic_vector (1 downto 0):=(others=>'0');
signal saida_est_4: std_logic_vector (1 downto 0):=(others=>'0');
--- Sinais para PWM
constant PWM_A2: std_logic_vector (11 downto 0):=conv_std_logic_vector(68, 12);
signal PWM_A1: std_logic_vector (11 downto 0):=conv_std_logic_vector(370, 12);
signal PWM_A1a: std_logic_vector (11 downto 0):=conv_std_logic_vector(365, 12);
constant PWM_A1_temp: std_logic_vector (11 downto 0):=conv_std_logic_vector(370, 12);
--Sinais Display 7 Segmentos -----
signal display_bin: std_logic_vector (13 downto 0):=conv_std_logic_vector(0, 14);
signal display_7segs_temp: std_logic_vector (6 downto 0):=conv_std_logic_vector(0, 7);
signal an_7segs_temp: std_logic_vector (3 downto 0):=conv_std_logic_vector(0, 4);
--- Sinais Aquisição AD7823/10 Serial (8/10 bits) Vin/Vo
--- Sinal de Reset do ASK_AD
signal reset_ads: std_logic;
--- AD1 Tensão de Saída (Vo) -> AD7810 (10bits)
signal dado_vo: std_logic_vector (9 downto 0);
--- AD2 Tensão de Entrada (Vin) -> AD7823 (8bits)
signal dado_vin: std_logic_vector (7 downto 0);
signal erro_pwm: std_logic_vector (11 downto 0):=conv_std_logic_vector(0, 12);
signal flag_verro, flag_pcalc: std_logic:='0';
signal pwm_master_temp: std_logic_vector (11 downto 0):=conv_std_logic_vector(0, 12);
signal dado_vo_notch: std_logic_vector (9 downto 0);
signal flag_calc_temp, flag_tran_temp: std_logic:='0';
begin
---- Estagio de Start UP -----
Start_1: startup_v1 PORT MAP(
    clk => clk_temp,
    reset_manual => reset,
    lem_a => dout_a,
    lem_b => dout_b,
    lem_c => dout_c,
    lem_d => dout_d,
    calem_a => cal_lem1,
    calem_b => cal_lem2,
    calem_c => cal_lem3,
    calem_d => cal_lem4,
    reset_1 => reset_ref,
    reset_2 => reset_all

```

Continuação da Tabela A.5

```

);
---- Setor de Aquisição de Sinais e Proteção
AQUI_1: aquisicao_4n
  port map (
    clk => clk,
    reset => reset_ref,
    --Entradas      do A/D
    --Canal 1
    din_a => din_a,
    enable_a => enable_a,
    ovr_a => ovr_a,
    --Canal 2
    din_b => din_b,
    enable_b => enable_b,
    ovr_b => ovr_b,
    --Canal 3
    din_c => din_c,
    enable_c => enable_c,
    ovr_c => ovr_c,
    --Canal 4
    din_d => din_d,
    enable_d => enable_d,
    ovr_d => ovr_d,
    --Saidas FPGA
    --Canal 1
    out_ovr_a => out_ovr_a,
    dout_a => dout_a,
    --Canal 2
    out_ovr_b => out_ovr_b,
    dout_b => dout_b,
    --Canal 3
    out_ovr_c => out_ovr_c,
    dout_c => dout_c,
    --Canal 4
    out_ovr_d => out_ovr_d,
    dout_d => dout_d,
    --Sinais dos Sensores Analógicos

```

Continuação da Tabela A.5

```

zeroa_a_in => zeroa_a_in,
zeroa_b_in => zeroa_b_in,
zeroa_c_in => zeroa_c_in,
zeroa_d_in => zeroa_d_in,
-- Sidas
zeroa_a_out => zeroa_a_out2,
zeroa_b_out => zeroa_b_out2,
zeroa_c_out => zeroa_c_out2,
zeroa_d_out => zeroa_d_out2,
--Controle AD
clk_out => clk_temp
);

```

PROT\_1: protection

```

Generic Map (vo_max =>670,--440V- 690,
             nbits =>10)
PORT MAP(
clk => clk,
reset => reset_ref,
iovr_a => out_ovr_a,
iovr_b => out_ovr_b,
iovr_c => out_ovr_c,
iovr_d => out_ovr_d,
vovr => dado_vo,
flag_stop => flag_stop_temp,
flag_stop2 => flag_stop_temp2
);

```

Esensor\_1:sensor\_ana

```

Generic Map (vo_min =>325,
             nbits =>10)
PORT MAP(
clk => clk,
reset => reset_ref,
zeroa_a_in => zeroa_a_out2,
zeroa_b_in => zeroa_b_out2,
zeroa_c_in => zeroa_c_out2,
zeroa_d_in => zeroa_d_out2,
vo_in => dado_vo,
zeroa_a_out => zeroa_a_out,

```

Continuação da Tabela A.5

```

        zeroa_b_out => zeroa_b_out,
        zeroa_c_out => zeroa_c_out,
        zeroa_d_out => zeroa_d_out,
        flag_sensor => flag_sensor_ana_temp
    );
---- Início da Celula 1 - Data IN==> CANAL_A
Cell_A1: zerocontrol
port map (
    clk => clk,
    cal_lem => cal_lem1,
    din_a => dout_a,
    flag_stop => flag_stop_temp,
    gate_a => gate_sp_c1,
    reset => reset_all,
    zero_ana => zeroa_a_out,
    saida_est => saida_est_temp,
    sinal_a => sinal_zeroc1);
Cell_A2: main
    port map (
        clk => clk,
        pwm_a1 => PWM_A1,
        pwm_a2 => PWM_A2,
        c_control => '0',
        flag_force => flag_force1_temp,
        reset => sinal_zeroc1,
        gate_sa => gate_sa_c1,
        gate_sp => gate_sp_c1);
----- END CONTROLE DA CELULA 1 -----
-----Controle do Meio Período -----
Control_1: periodo PORT MAP(
    clk => clk,
    gate_sp => gate_sa_c1,
    meioperiodo => meioperiodo_temp,
    meioperiodo_4 => meioperiodo4_temp,
    sinal_b => sinal_nper
);
Control_2: periodo_ctrl PORT MAP(
    clk => clk,

```

Continuação da Tabela A.5

```

        meiperiodo_2 => meiperiodo_temp,
        meiperiodo_4 => meiperiodo4_temp,
        reset => sinal_nper,
        sinal_ca => sinal_c3_off, --1/4
        sinal_cb => sinal_c2_off, --1/2
        sinal_cc => sinal_c4_off --3/4);

Control_3: periodo PORT MAP(
    clk => clk,
    gate_sp => gate_sp_c1,
    meiperiodo => meiperiodo_temp2,
    meiperiodo_4 => meiperiodo4_temp2,
    sinal_b => sinal_nper2 );

Control_4: periodo_ctrl PORT MAP(
    clk => clk,
    meiperiodo_2 => meiperiodo_temp2,
    meiperiodo_4 => meiperiodo4_temp2,
    reset => sinal_nper2,
    sinal_ca => sinal_c3_on, --1/4
    sinal_cb => sinal_c2_on, --1/2 --> inv 2-->3
    sinal_cc => sinal_c4_on --3/4);

-----INICIO CONTROLE DA CÉLULA 2-----

Cell_B1: zerocontrol
port map (
    clk => clk,
    cal_lem => cal_lem2,
    din_a => dout_b,
    flag_stop => flag_stop_temp,
    gate_a => gate_sp_c2,
    reset => reset_all,
    reset_2 => sinal_c2_on,
    flag_force => flag_force2_temp,
    --Analogico
    zero_ana => zeroa_b_out,
    saida_est => saida_est_2,
    sinal_a => sinal_zeroc2

);

Cell_B2: main
port map (

```

Continuação da Tabela A.5

```

    clk => clk,
    pwm_a1 => PWM_A1a,
    pwm_a2 => PWM_A2,
    c_control => sinal_c2_off, --entrando o sinal de meio periodo
    flag_force => flag_force2_temp,
    reset => sinal_zeroc2,
    gate_sa => gate_sa_c2,
    gate_sp => gate_sp_c2);
----- END CONTROLE DA CELULA 2 -----
-----INICIO CONTROLE DA CÉLULA 3-----
Cell_C1: zerocontrol
port map (
    clk => clk,
    cal_lem => cal_lem3,
    din_a => dout_c,
    flag_stop => flag_stop_temp,
    gate_a => gate_sp_c3,
    reset => reset_all,
    reset_2 => sinal_c3_on,
    flag_force => flag_force3_temp,
    --Analogico
    zero_ana => zeroa_c_out,
    saida_est => saida_est_3,
    sinal_a => sinal_zeroc3);
Cell_C2: main
port map (
    clk => clk,
    pwm_a1 => PWM_A1a,
    pwm_a2 => PWM_A2,
    c_control => sinal_c3_off, --entrando o sinal de meio periodo
    flag_force => flag_force3_temp,
    reset => sinal_zeroc3,
    gate_sa => gate_sa_c3,
    gate_sp => gate_sp_c3);
----- END CONTROLE DA CELULA 3 -----
-----INICIO CONTROLE DA CÉLULA 4-----
Cell_D1: zerocontrol
port map (

```

Continuação da Tabela A.5

```

        clk => clk,
        cal_lem => cal_lem4,
        din_a => dout_d,
        flag_stop => flag_stop_temp,
        gate_a => gate_sp_c4,
        reset => reset_all,
        reset_2 => sinal_c4_on,
        flag_force => flag_force4_temp,
        --Analogico
        zero_ana => zeroa_d_out,
        saida_est => saida_est_4,
        sinal_a => sinal_zeroc4);
Cell_D2: main
    port map (
        clk => clk,
        pwm_a1 => PWM_A1a,
        pwm_a2 => PWM_A2,
        c_control => sinal_c4_off, --entrando o sinal de meio periodo
        flag_force => flag_force4_temp,
        reset => sinal_zeroc4,
        gate_sa => gate_sa_c4,
        gate_sp => gate_sp_c4);
----- END CONTROLE DA CELULA 4 -----
flag_stop <= flag_stop_temp2;
flag_sensor_ana <= flag_sensor_ana_temp;
clk_out <= clk_temp;
clk_out2 <= clk_temp;
----- Atualiza Gates Sps e Sas-----
gate_sp <= gate_sp_c1;
gate_sa <= gate_sa_c1;
gate_sp_2 <= gate_sp_c2;
gate_sa_2 <= gate_sa_c2;
gate_sp_3 <= gate_sp_c3;
gate_sa_3 <= gate_sa_c3;
gate_sp_4 <= gate_sp_c4;
gate_sa_4 <= gate_sa_c4;
-- Componentes Relativos a Realimentação de Tensão
Aqui_2: ad_ctrl_v2 --- Tensão de Saída (Vo) (AD7810 --> 10 bits)

```

## Continuação da Tabela A.5

```

Generic MAP (t1 =>50, -- time convst high(max 1.5u)
              t2 =>300, -- power-up time (1.5u) + tconv(5u) - t1
              t3 =>25, -- Sclk high time
              nbits=>10)

PORT MAP(
    clk => clk,      -- clk master 50MHz
    dout_ad => din_ads1, -- entrada de dados (1 bit) AD-->FPGA
    reset => reset_ads, -- sinal para comando de aquisição
    convst => convst_ads1, -- controle de conversão FPGA-->AD
    dout => dado_vo, --dado paralelo 8 bits aquisitado
    sclk => sclk_ads1      -- trem de pulso serial FPGA-->AD
);

Aqui_3: ad_ctrl_v2 --- Tensão de Entrada (Vin) (AD7823 --> 8bits)
Generic MAP (t1 =>50, -- time convst high(max 1.5u)
              t2 =>300, -- power-up time (1.5u) + tconv(5u) - t1
              t3 =>25, -- Sclk high time
              nbits=>8)

PORT MAP(
    clk => clk,      -- clk master 50MHz
    dout_ad => din_ads2, -- entrada de dados (1 bit) AD-->FPGA
    reset => reset_ads, -- sinal para comando de aquisição
    convst => convst_ads2, -- controle de conversão FPGA-->AD
    dout => dado_vin, --dado paralelo 8 bits aquisitado
    sclk => sclk_ads2      -- trem de pulso serial FPGA-->AD
);

Aqui_4: ask_ad
Generic MAP(perodo=> 1000, -- Período de Aquisição Quantizado em CLKs
            per_clk=> 10) -- Largura Reset

PORT MAP(
    clk => clk,      -- clk master 50MHz
    reset => reset_ref,
    clk_out => reset_ads      -- sinal de comando de aquisição programado (50kHz)
);

-----
Vcycle_1: vin_cycle_v2
Generic MAP (nivel=>10, -- Nivel de Transição
            nbits=> 8) -- Número de bit de Vin

PORT MAP(

```



Continuação da Tabela A.5

```

        clk => clk,
        reset => reset_ads,--reset_ref,
        dado_vin => dado_vin,
        flag_calc => flag_calc_temp,
        flag_tran => flag_tran_temp);

---- Componentes Relacionados com Calculo e Realimentação do Erro de Tensão
Control_V2: pcalc_v2
    Generic Map (pwm_max =>400, --Máximo PWM Permitido
                pwm_min=>200, -- Mínimo PWM Permitido
                nbits =>12,
                nbitspwm =>12)

    PORT MAP(
        clk => clk,
        erro => erro_pwm,
        scontrol => flag_pcalc,
        reset => flag_verro, --flag_tran_temp, --flag_calc_temp,--flag_verro,
        pwm_out_ref => PWM_A1
        pwm_out_auxs => PWM_A1a);

-- BLACK BOX DOS NUCLEOS PARAMETRIZÁVEIS
attribute box_type : string;
attribute box_type of low_notch_pi : component is "black_box";
Filtros: low_notch_pi
port map(
ce=> '1',
clk=> reset_ads,
vo_ad_in => dado_vo,
vo_pwm_out_ref => erro_pwm );

--- Saida Display 7 Segmentos -----
Display_1: selcanal_v2
    Generic MAP (largura1 =>11, largura2 =>7, largura3 =>11)
    PORT MAP(
        clk => clk,
        dado_1 => pwm_master_temp, --dado_vin, --largura1 =7
        dado_2 => dado_vin, --dado_vo_notch, --dado_vo, --largura2
        dado_3 => cal_lem1, --largura3
        dado_4 => cal_lem2, --largura3
        dado_5 => cal_lem3, --largura3
        dado_6 => cal_lem4, --largura3

```

Continuação da Tabela A.5

```
        seletor => seletor,  
        dado_out => display_bin  
    );  
Display_2: mostra_dado  
    PORT MAP(  
        clk => clk,  
        reset => reset_ref,  
        dado_bit => display_bin,  
        display_7segs => display_7segs_temp,  
        an_7segs => an_7segs_temp);  
--- Atualizando Info do Display de 7 Segmentos  
display_7segs <= display_7segs_temp;  
an_7segs <= an_7segs_temp;  
end Behavioral;
```

## A.6 – ARQUIVO DE RESTRIÇÕES DE IMPLEMENTAÇÃO

Tabela A.6 – Restrições impostas à ferramenta de roteamento para implementação.

```
#####
#####--Entrada de Master Clock -->D2B #####
#####
NET "clk" LOC = "P80";
NET "clk" IOSTANDARD = LVTTTL;
NET "clk" TNM_NET = "clk_master";
TIMESPEC "TS_clk" = PERIOD "clk_master" 20 ns HIGH 50 %;
OFFSET = OUT 10 ns AFTER "clk";
OFFSET = IN 10 ns BEFORE "clk";
#####
#####-- Entrada de RESET GLOBAL P40#####
#####
NET "reset" LOC = "P40"; #BTN1
NET "reset" IOSTANDARD = LVTTTL;
#####
##### -- Sinais de Comando dos Interruptores -- #####
##### SOQUETE/CABO D #####
#####
##### -- Placa NEW #####
##### -- Célula Referência -- #####
NET "gate_sp" LOC = "P115" ; #X2 (Sp Amarelo)
NET "gate_sp" IOSTANDARD = LVTTTL;
NET "gate_sa" LOC = "P113" ; #X1 (Sa Verde)
NET "gate_sa" IOSTANDARD = LVTTTL;
##### -- Célula Auxiliar 2 -- #####
NET "gate_sp_2" LOC = "P120" ; #X3 (Sp2 Laranja)
NET "gate_sp_2" IOSTANDARD = LVTTTL;
NET "gate_sa_2" LOC = "P122" ; #X4 (Sa2 Vermelho)
NET "gate_sa_2" IOSTANDARD = LVTTTL;
##### -- Placa OLD #####
##### -- Célula Auxiliar 3 -- #####
NET "gate_sp_3" LOC = "P123" ; #Y4 (Sp Laranja)
NET "gate_sp_3" IOSTANDARD = LVTTTL;
NET "gate_sa_3" LOC = "P125" ; #Y5 (Sa Vermelho)
NET "gate_sa_3" IOSTANDARD = LVTTTL;
##### -- Célula Auxiliar 4 -- #####
```

Continuação da Tabela A.6

```

NET "gate_sp_4" LOC = "P121" ;#Y3 (Sp2 Amarelo)
NET "gate_sp_4" IOSTANDARD = LVTTTL;
NET "gate_sa_4" LOC = "P116" ;#Y2 (Sa2 Verde)
NET "gate_sa_4" IOSTANDARD = LVTTTL;
#####
#####
#####--Pulsos do Comando Analogico--#####
##### Placa New #####
NET "zeroa_a_in" LOC = "P189" ;#B8 (PS2C)
NET "zeroa_a_in" IOSTANDARD = LVTTTL;
NET "zeroa_b_in" LOC = "P187" ;#B10 (PS2D)
NET "zeroa_b_in" IOSTANDARD = LVTTTL;
##### Placa OLD #####
NET "zeroa_c_in" LOC = "P192" ;#B6 (HS)
NET "zeroa_c_in" IOSTANDARD = LVTTTL;
NET "zeroa_d_in" LOC = "P194" ;#B4 (VS)
NET "zeroa_d_in" IOSTANDARD = LVTTTL;
#AINDA TEM O B9(BLU)-P188
#####
#####
#####--CONFIG A/D 7823-CANAL 1-#####
##### SOQUETE/CABO C #####
#####
NET "convst_ads1" LOC = "P179";      #Y5
NET "convst_ads1" IOSTANDARD = LVTTTL;
NET "sclk_ads1" LOC = "P178"; #X4
NET "sclk_ads1" IOSTANDARD = LVTTTL;
NET "din_ads1" LOC = "P175"; #X3
#NET "din_ads1" LOC = "P174"; #X3
NET "din_ads1" IOSTANDARD = LVTTTL;
#####
#####--CONFIG A/D 7823-CANAL 2-#####
##### SOQUETE/CABO C #####
#####
NET "convst_ads2" LOC = "P167";      #Y1
NET "convst_ads2" IOSTANDARD = LVTTTL;
NET "sclk_ads2" LOC = "P168"; #X1
NET "sclk_ads2" IOSTANDARD = LVTTTL;

```

## Continuação da Tabela A.6

```

NET "din_ads2" LOC = "P173"; #X2
NET "din_ads2" IOSTANDARD = LVTTL;
#####
#####
#####--AD2807-Clock de Ativação--#####
#####
#B7(GRN-VGA)
NET "clk_out" LOC = "P191" | IOSTANDARD = LVTTL | SLEW = FAST | DRIVE = 12 ;
#A7 (Not Connected in DIO1)
NET "clk_out2" LOC = "P62" | IOSTANDARD = LVTTL | SLEW = FAST | DRIVE = 12 ;
#####
#####--AD2807--#####
##### Placa New #####
##### P L A C A N. 1 (MASTER)#####
##### USANDO SOQUETE C #####
#####
#####--CANAL B--#####
#####-- LEM_Lado Direito-INB-CH B(AD) --#####
#####--Sinais de Controle Entrada--#####
#####
NET "enable_a" LOC = "P127";
NET "enable_a" IOSTANDARD = LVTTL;
NET "ovr_a" LOC = "P126";
NET "ovr_a" IOSTANDARD = LVTTL;
#####
#####--CB-Bus 12 Bits MSB(11)-LSB(0)--#####
#####
NET "din_a<0>" LOC = "P163";
NET "din_a<0>" IOSTANDARD = LVTTL;
NET "din_a<1>" LOC = "P161";
NET "din_a<1>" IOSTANDARD = LVTTL;
NET "din_a<2>" LOC = "P154";
NET "din_a<2>" IOSTANDARD = LVTTL;
NET "din_a<3>" LOC = "P151";
NET "din_a<3>" IOSTANDARD = LVTTL;
NET "din_a<4>" LOC = "P149";
NET "din_a<4>" IOSTANDARD = LVTTL;
NET "din_a<5>" LOC = "P147";

```

Continuação da Tabela A.6

```

NET "din_a<5>" IOSTANDARD = LVTTTL;
NET "din_a<6>" LOC = "P145";
NET "din_a<6>" IOSTANDARD = LVTTTL;
NET "din_a<7>" LOC = "P140";
NET "din_a<7>" IOSTANDARD = LVTTTL;
NET "din_a<8>" LOC = "P138";
NET "din_a<8>" IOSTANDARD = LVTTTL;
NET "din_a<9>" LOC = "P135";
NET "din_a<9>" IOSTANDARD = LVTTTL;
NET "din_a<10>" LOC = "P133";
NET "din_a<10>" IOSTANDARD = LVTTTL;
NET "din_a<11>" LOC = "P129";
NET "din_a<11>" IOSTANDARD = LVTTTL;
#####
#####--CANAL A--#####
#####-- LEM_Lado Esquerdo-INA-CH A(AD) --#####
#####--Sinais de Controle Entrada--#####
#####
NET "enable_b" LOC = "P165";
NET "enable_b" IOSTANDARD = LVTTTL;
NET "ovr_b" LOC = "P166";
NET "ovr_b" IOSTANDARD = LVTTTL;
#####
#####--CA-Bus 12 Bits MSB(11)-LSB(0)--#####
#####
NET "din_b<0>" LOC = "P132";
NET "din_b<0>" IOSTANDARD = LVTTTL;
NET "din_b<1>" LOC = "P134";
NET "din_b<1>" IOSTANDARD = LVTTTL;
NET "din_b<2>" LOC = "P136";
NET "din_b<2>" IOSTANDARD = LVTTTL;
NET "din_b<3>" LOC = "P139";
NET "din_b<3>" IOSTANDARD = LVTTTL;
NET "din_b<4>" LOC = "P141";
NET "din_b<4>" IOSTANDARD = LVTTTL;
NET "din_b<5>" LOC = "P146";
NET "din_b<5>" IOSTANDARD = LVTTTL;
NET "din_b<6>" LOC = "P148";

```

Continuação da Tabela A.6

```

NET "din_b<6>" IOSTANDARD = LVTTL;
NET "din_b<7>" LOC = "P150";
NET "din_b<7>" IOSTANDARD = LVTTL;
NET "din_b<8>" LOC = "P152";
NET "din_b<8>" IOSTANDARD = LVTTL;
NET "din_b<9>" LOC = "P160";
NET "din_b<9>" IOSTANDARD = LVTTL;
NET "din_b<10>" LOC = "P162";
NET "din_b<10>" IOSTANDARD = LVTTL;
NET "din_b<11>" LOC = "P164";
NET "din_b<11>" IOSTANDARD = LVTTL;
#####
#####--AD2807--#####
##### P L A C A   N. 2 (OLD) #####
##### Placa OLD   #####
#####   USANDO SOQUETE D   #####
#####
#####--CANAL C (Placa OLD)#####
#####-- LEM_Lado Esquerdo-INA-CH A(AD) --#####
#####--Sinais de Controle Entrada--#####
#####
NET "enable_c" LOC = "P70";
NET "enable_c" IOSTANDARD = LVTTL;
NET "ovr_c" LOC = "P71";
NET "ovr_c" IOSTANDARD = LVTTL;
#####
#####--DA-Bus 12 Bits MSB(11)-LSB(0)--#####
#####
NET "din_c<0>" LOC = "P110";
NET "din_c<0>" IOSTANDARD = LVTTL;
NET "din_c<1>" LOC = "P108";
NET "din_c<1>" IOSTANDARD = LVTTL;
NET "din_c<2>" LOC = "P101";
NET "din_c<2>" IOSTANDARD = LVTTL;
NET "din_c<3>" LOC = "P99";
NET "din_c<3>" IOSTANDARD = LVTTL;
NET "din_c<4>" LOC = "P97";
NET "din_c<4>" IOSTANDARD = LVTTL;

```

Continuação da Tabela A.6

```

NET "din_c<5>" LOC = "P95";
NET "din_c<5>" IOSTANDARD = LVTTTL;
NET "din_c<6>" LOC = "P93";
NET "din_c<6>" IOSTANDARD = LVTTTL;
NET "din_c<7>" LOC = "P88";
NET "din_c<7>" IOSTANDARD = LVTTTL;
NET "din_c<8>" LOC = "P86";
NET "din_c<8>" IOSTANDARD = LVTTTL;
NET "din_c<9>" LOC = "P83";
NET "din_c<9>" IOSTANDARD = LVTTTL;
NET "din_c<10>" LOC = "P81";
NET "din_c<10>" IOSTANDARD = LVTTTL;
NET "din_c<11>" LOC = "P74";
NET "din_c<11>" IOSTANDARD = LVTTTL;
#####
#####
#####--CANAL B--#####
#####-- LEM_Lado Direito-INB-CH B(AD) --#####
#####--Sinais de Controle Entrada--#####
#####
NET "enable_d" LOC = "P112";
NET "enable_d" IOSTANDARD = LVTTTL;
NET "ovr_d" LOC = "P111";
NET "ovr_d" IOSTANDARD = LVTTTL;
#####
#####--DB-Bus 12 Bits MSB(11)-LSB(0)--#####
#####
NET "din_d<0>" LOC = "P73";
NET "din_d<0>" IOSTANDARD = LVTTTL;
NET "din_d<1>" LOC = "P75";
NET "din_d<1>" IOSTANDARD = LVTTTL;
NET "din_d<2>" LOC = "P82";
NET "din_d<2>" IOSTANDARD = LVTTTL;
NET "din_d<3>" LOC = "P84";
NET "din_d<3>" IOSTANDARD = LVTTTL;
NET "din_d<4>" LOC = "P87";
NET "din_d<4>" IOSTANDARD = LVTTTL;
NET "din_d<5>" LOC = "P89";

```



Continuação da Tabela A.6

```

NET "din_d<5>" IOSTANDARD = LVTTL;
NET "din_d<6>" LOC = "P94";
NET "din_d<6>" IOSTANDARD = LVTTL;
NET "din_d<7>" LOC = "P96";
NET "din_d<7>" IOSTANDARD = LVTTL;
NET "din_d<8>" LOC = "P98";
NET "din_d<8>" IOSTANDARD = LVTTL;
NET "din_d<9>" LOC = "P100";
NET "din_d<9>" IOSTANDARD = LVTTL;
NET "din_d<10>" LOC = "P102";
NET "din_d<10>" IOSTANDARD = LVTTL;
NET "din_d<11>" LOC = "P109";
NET "din_d<11>" IOSTANDARD = LVTTL;
#####
#####--Drive do Display de 7 Segmentos--#####
#####--Configuração do Display CONECTOR A--#####
#####
NET "display_7segs<6>" LOC = "P34" ; #CG
NET "display_7segs<6>" IOSTANDARD = LVTTL;
NET "display_7segs<5>" LOC = "P31" ; #CF
NET "display_7segs<5>" IOSTANDARD = LVTTL;
NET "display_7segs<4>" LOC = "P29" ; #CE
NET "display_7segs<4>" IOSTANDARD = LVTTL;
NET "display_7segs<3>" LOC = "P24" ; #CD
NET "display_7segs<3>" IOSTANDARD = LVTTL;
NET "display_7segs<2>" LOC = "P22" ; #CC
NET "display_7segs<2>" IOSTANDARD = LVTTL;
NET "display_7segs<1>" LOC = "P20" ; #CB
NET "display_7segs<1>" IOSTANDARD = LVTTL;
NET "display_7segs<0>" LOC = "P17" ; #CA
NET "display_7segs<0>" IOSTANDARD = LVTTL;
NET "an_7segs<3>" LOC = "P56" ; #AN4
NET "an_7segs<3>" IOSTANDARD = LVTTL;
NET "an_7segs<2>" LOC = "P49" ; #AN3
NET "an_7segs<2>" IOSTANDARD = LVTTL;
NET "an_7segs<1>" LOC = "P47" ; #AN2
NET "an_7segs<1>" IOSTANDARD = LVTTL;
NET "an_7segs<0>" LOC = "P45" ; #AN1

```

Continuação da Tabela A.6

```

NET "an_7segs<0>" IOSTANDARD = LVTTTL;
#####ENABLE REQUERIDO D2SB #####
#NET "display_7segs_dp" LOC = "P136" ; #Enable
#NET "display_7segs_dp" IOSTANDARD = LVTTTL;
#NET "led_dp" LOC = "P181" ; #Enable
#NET "led_dp" IOSTANDARD = LVTTTL;
#####
#####-- SELETOR DE CANAL -- # #####
#####
NET "seletor<2>" LOC = "P16" ; #SW1
NET "seletor<2>" IOSTANDARD = LVTTTL;
NET "seletor<1>" LOC = "P18" ; #SW2
NET "seletor<1>" IOSTANDARD = LVTTTL;
NET "seletor<0>" LOC = "P21" ; #SW3
NET "seletor<0>" IOSTANDARD = LVTTTL;
#####
#####-- SELETOR DE PWM -- # #####
#####
NET "sel_pwm" LOC = "P35" ; #SW8
NET "sel_pwm" IOSTANDARD = LVTTTL;
#####
#####-- ESTADOS DO ZCS -- # #####
#####
#Flags Auxs
NET "flag_stop<1>" LOC = "P44" ; #LED1(Corrente)
NET "flag_stop<1>" IOSTANDARD = LVTTTL;
NET "flag_stop<0>" LOC = "P46" ; #LED2(Tensão)
NET "flag_stop<0>" IOSTANDARD = LVTTTL;
NET "flag_sensor_ana" LOC = "P63" ; #LED8(Sensor Analógico)
NET "flag_sensor_ana" IOSTANDARD = LVTTTL;

```

# Livros Grátis

( <http://www.livrosgratis.com.br> )

Milhares de Livros para Download:

[Baixar livros de Administração](#)

[Baixar livros de Agronomia](#)

[Baixar livros de Arquitetura](#)

[Baixar livros de Artes](#)

[Baixar livros de Astronomia](#)

[Baixar livros de Biologia Geral](#)

[Baixar livros de Ciência da Computação](#)

[Baixar livros de Ciência da Informação](#)

[Baixar livros de Ciência Política](#)

[Baixar livros de Ciências da Saúde](#)

[Baixar livros de Comunicação](#)

[Baixar livros do Conselho Nacional de Educação - CNE](#)

[Baixar livros de Defesa civil](#)

[Baixar livros de Direito](#)

[Baixar livros de Direitos humanos](#)

[Baixar livros de Economia](#)

[Baixar livros de Economia Doméstica](#)

[Baixar livros de Educação](#)

[Baixar livros de Educação - Trânsito](#)

[Baixar livros de Educação Física](#)

[Baixar livros de Engenharia Aeroespacial](#)

[Baixar livros de Farmácia](#)

[Baixar livros de Filosofia](#)

[Baixar livros de Física](#)

[Baixar livros de Geociências](#)

[Baixar livros de Geografia](#)

[Baixar livros de História](#)

[Baixar livros de Línguas](#)

[Baixar livros de Literatura](#)  
[Baixar livros de Literatura de Cordel](#)  
[Baixar livros de Literatura Infantil](#)  
[Baixar livros de Matemática](#)  
[Baixar livros de Medicina](#)  
[Baixar livros de Medicina Veterinária](#)  
[Baixar livros de Meio Ambiente](#)  
[Baixar livros de Meteorologia](#)  
[Baixar Monografias e TCC](#)  
[Baixar livros Multidisciplinar](#)  
[Baixar livros de Música](#)  
[Baixar livros de Psicologia](#)  
[Baixar livros de Química](#)  
[Baixar livros de Saúde Coletiva](#)  
[Baixar livros de Serviço Social](#)  
[Baixar livros de Sociologia](#)  
[Baixar livros de Teologia](#)  
[Baixar livros de Trabalho](#)  
[Baixar livros de Turismo](#)