

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



APLICAÇÃO DE UM DISPOSITIVO FPGA NO CONTROLE DE UM
CIRCUITO *BALLAST* ELETRÔNICO PARA ACIONAMENTO DE
LÂMPADAS HID DE 70W

VLADIMIR VASCONCELOS RIBEIRO SCARPA

NOVEMBRO

2005

Livros Grátis

<http://www.livrosgratis.com.br>

Milhares de livros grátis para download.

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
CENTRO DE CIÊNCIAS EXATAS E TECNOLOGIA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

APLICAÇÃO DE UM DISPOSITIVO FPGA NO CONTROLE DE UM
CIRCUITO BALLAST ELETRÔNICO PARA ACIONAMENTO DE
LÂMPADAS HID DE 70W

Dissertação apresentada por Vladimir Vasconcelos Ribeiro Scarpa à Universidade Federal de Uberlândia para obtenção do título de Mestre em Engenharia Elétrica aprovada em 18/11/2005 pela banca examinadora:

Prof. João Batista Vieira Júnior, Dr. Eng. (Orientador – UFU)

Prof. Ernane Antônio Alves Coelho, Dr. Eng. (Co-orientador – UFU)

Prof. Fernando Soares dos Reis, Dr. Eng. (PUC-RS)

Prof. João Carlos de Oliveira, Dr. Eng. (UFU)

Prof. Luiz Carlos de Freitas, Dr. Eng. (UFU)

Prof. Valdeir José de Farias, Dr. Eng. (UFU)

**APLICAÇÃO DE UM DISPOSITIVO FPGA NO CONTROLE DE UM
CIRCUITO BALLAST ELETRÔNICO PARA ACIONAMENTO DE
LÂMPADAS HID DE 70W**

VLADIMIR VASCONCELOS RIBEIRO SCARPA

Dissertação apresentada por Vladimir Vasconcelos Ribeiro Scarpa à Universidade Federal de Uberlândia como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica.

Prof. João Batista Vieira Júnior, Dr. Eng.
Orientador

Prof. Darizon Alves de Andrade, PhD Eng.
Coordenador do Curso de Pós-Graduação

*A meu tio Paulo César do Nascimento Scarpa (in memoriam),
de quem herdei o gosto pela pesquisa.*

Scarpa, V.V.R. Aplicação de um dispositivo FPGA no controle de um circuito *ballast* eletrônico para acionamento de lâmpadas HID de 70W – Uberlândia, FEELT-UFU, 2005, 131p.

Resumo

Os dispositivos lógicos digitais programáveis surgiram há cerca de quinze anos e hoje são utilizados em áreas como Telecomunicações, Instrumentação e mais recentemente em Eletrônica de Potência. Este trabalho apresenta a aplicação de um dispositivo FPGA no controle de um circuito *ballast* eletrônico para acionamento de lâmpadas de alta intensidade de descarga (HID). Os reatores eletrônicos apresentam sensíveis melhorias com relação aos reatores eletromagnéticos por apresentarem menor peso e volume e também por garantirem uma maior vida útil às lâmpadas. Para testar e verificar a estratégia de controle proposta, um protótipo foi construído para alimentar lâmpadas HID de vapor de sódio e de vapor metálico de 70W. Além das vantagens citadas anteriormente, entre os resultados apresentados pelo protótipo destaca-se a notável redução no tempo para se atingir o brilho máximo da lâmpada com relação aos reatores magnéticos. Aproveitando os conhecimentos adquiridos na construção do reator eletrônico, foi também construído um kit didático contendo um dispositivo FPGA, que atualmente é utilizado no ensino de lógica digital para alunos da graduação em Engenharia Elétrica da Universidade Federal de Uberlândia.

DISPOSITIVO FPGA, LÂMPADAS HID, CONTROLE DIGITAL.

Scarpa, V.V.R. Application of an FPGA device in the control of a ballast circuit for driving 70W HID lamps, Uberlândia, 2005, 131pp.

Abstract

Programmable logic devices were introduced about fifteen years ago and nowadays they are used in areas like Telecommunications, Instrumentation and more recently Power Electronics. This work presents the application of an FPGA device in the control of a ballast circuit for driving high intensity discharge lamps. The electronic ballast presents improvements regarding the previous electromagnetic reactors, due to their small size and weight and also because they guarantee a longer life for the lamps. In order to test and verify the proposed control strategy, a prototype was built to drive 70W metal halide and high pressure sodium lamps. Beyond the vantages above mentioned, the prototype also presented a notable reduction in the time needed for the lamp to achieve maximum brightness, in relation to magnetic reactors. Making use of the knowledge obtained during the implementation of the ballast circuit, a didactic kit containing an FPGA device was constructed, and nowadays it is used for teaching digital logic to undergraduate students at Federal University of Uberlândia.

FPGA DEVICE, HID LAMPS, DIGITAL CONTROL.

SUMÁRIO

<u>LISTA DE FIGURAS</u>	<u>IX</u>
<u>LISTA DE TABELAS</u>	<u>XIII</u>
<u>LISTA DE ABREVIATURAS E SÍMBOLOS</u>	<u>XIV</u>
<u>CAPÍTULO 1 INTRODUÇÃO GERAL</u>	<u>1</u>
1.1 - CONSIDERAÇÕES INICIAIS _____	1
1.2 - OBJETIVOS DA PESQUISA E MÉTODOS DE ABORDAGEM _____	6
1.3 - RESUMO DA DISSERTAÇÃO _____	7
<u>CAPÍTULO 2 LÂMPADAS DE ALTA INTENSIDADE DE DESCARGA</u>	<u>9</u>
2.1 - CONSIDERAÇÕES INICIAIS _____	9
2.2 - PRINCÍPIOS DE OPERAÇÃO E CONSTRUÇÃO [25] _____	10
2.2.1 - LÂMPADAS DE VAPOR DE MERCÚRIO _____	11
2.2.2 - LÂMPADAS DE VAPOR DE SÓDIO _____	12
2.2.3 - LÂMPADA DE VAPOR METÁLICO _____	14
2.3 - ETAPAS DE OPERAÇÃO _____	15
2.3.1 - IGNIÇÃO _____	16
2.3.2 - AQUECIMENTO _____	17
2.3.3 - REGIME PERMANENTE _____	17
2.4 - CONSIDERAÇÕES FINAIS _____	18
<u>CAPÍTULO 3 FIELD PROGRAMMABLE GATE ARRAYS</u>	<u>19</u>

3.1 - CONSIDERAÇÕES INICIAIS	19
3.2 - DEFINIÇÃO	20
3.3 - A FAMÍLIA FLEX 10K [2]	20
3.3.1 - O BLOCO DE ARRANJOS EMBARCADOS (EAB)	22
3.3.2 - O BLOCO DE ARRANJOS LÓGICOS (LAB)	24
3.3.3 - O ELEMENTO LÓGICO (LE)	25
3.3.3.1 - A CADEIA DE SINAIS <i>CARRY</i>	27
3.3.3.2 - A CADEIA DE SINAIS <i>CASCADE</i>	28
3.3.4 - A INTERCONEXÃO <i>FAST-TRACK</i>	29
3.3.5 - O ELEMENTO DE E/S (IOE)	32
3.3.5.1 - CONEXÕES ENTRE LINHAS E ELEMENTOS DE E/S	33
3.3.5.2 - CONEXÃO ENTRE COLUNAS E ELEMENTOS DE E/S	33
3.3.6 - CONFIGURAÇÃO DOS TERMINAIS DE SAÍDA	34
3.3.6.1 - CONTROLE DE <i>SLEW RATE</i>	34
3.3.6.2 - SAÍDA A DRENO ABERTO	35
3.3.6.3 - INTERFACE MULTIVOLTAGEM	35
3.4 - CONSIDERAÇÕES FINAIS	35

CAPÍTULO 4 REATOR ELETRÔNICO PARA ACIONAMENTO DE LÂMPADAS DE ALTA INTENSIDADE DE DESCARGA

4.1 - CONSIDERAÇÕES INICIAIS	36
4.2 - RESSONÂNCIA ACÚSTICA	37
4.3 - O CIRCUITO DE IGNIÇÃO	39
4.3.1 - IGNIÇÃO POR PULSO	39

4.3.2 - IGNIÇÃO POR RESSONÂNCIA	40
4.3.3 - IGNIÇÃO POR TRANSFORMADOR RESSONANTE	41
4.4 - TOPOLOGIAS PARA O REATOR ELETRÔNICO	41
4.4.1 - CONVERSOR <i>BUCK</i> SEGUIDO DE UM INVERSOR EM PONTE COMPLETA	42
4.4.2 - INVERSOR EM PONTE COMPLETA	43
4.4.3 - INVERSOR RESSONANTE CLASSE E	43
4.5 - O CIRCUITO ESCOLHIDO	44
4.5.1 - O CIRCUITO <i>BUCK</i>	44
4.5.2 - O CIRCUITO INVERSOR EM PONTE COMPLETA	48
4.5.3 - O CIRCUITO DE IGNIÇÃO	48
4.6 - CONSIDERAÇÕES FINAIS	51
<u>CAPÍTULO 5 CONTROLE DO REATOR ELETRÔNICO UTILIZANDO UM DISPOSITIVO FPGA</u>	52
5.1 - CONDIÇÕES INICIAIS	52
5.2 - MODELO DE PEQUENOS SINAIS [9]	53
5.3 - DIAGRAMA DE BLOCOS DO CIRCUITO DE CONTROLE	57
5.4 - IMPLEMENTAÇÃO DO CONTROLE EM UM DISPOSITIVO FPGA	58
5.4.1 - OBJETIVOS DO CONTROLE	59
5.4.2 - ESTRUTURA DO CIRCUITO DE CONTROLE	60
5.4.2.1 - BLOCO DE AQUISIÇÃO DE SINAIS	61
5.4.2.2 - BLOCO GERADOR DE REFERÊNCIA	61
5.4.2.3 - BLOCO ETAPAS	62
5.4.2.4 - BLOCO DO COMPENSADOR PI	62

5.4.2.5 - BLOCO PWM	64
5.4.2.6 - CONTROLE DA PONTE INVERSORA	64
5.4.2.7 - CONTROLE DA IGNIÇÃO	64
5.5 - CONSIDERAÇÕES FINAIS	64
<u>CAPÍTULO 6 EXEMPLO DE PROJETO E RESULTADOS EXPERIMENTAIS</u>	66
6.1 - CONSIDERAÇÕES INICIAIS	66
6.2 - ESPECIFICAÇÕES	66
6.3 - CÁLCULO DOS COMPONENTES DO CONVERSOR <i>BUCK</i>	67
6.3.1 - CÁLCULO DO CAPACITOR DE ENTRADA	67
6.3.2 - CÁLCULO DO INDUTOR	67
6.3.3 - ESPECIFICAÇÃO DOS COMPONENTES SEMICONDUTORES	70
6.4 - CÁLCULO DOS COMPONENTES DO CIRCUITO INVERSOR	71
6.5 - CÁLCULO DOS COMPONENTES DO CIRCUITO DE IGNIÇÃO	71
6.6 - MODELAMENTO DO COMPENSADOR DIGITAL	73
6.7 - RESULTADOS EXPERIMENTAIS	77
6.7.1 - TENSÃO E CORRENTE NA LÂMPADA	77
6.7.2 - FORMAS DE ONDA DO CIRCUITO IGNITOR	78
6.7.3 - COMPARAÇÃO DE ALCANCE DE BRILHO MÁXIMO ENTRE OS REATORES MAGNÉTICO E ELETRÔNICO	80
6.7.4 - CONTROLE DE FLUXO DE POTÊNCIA	82
6.8 - CONSIDERAÇÕES FINAIS	83

**CAPÍTULO 7 CONSTRUÇÃO DE UM KIT DIDÁTICO PARA O ENSINO DE
PROJETOS DE CIRCUITOS LÓGICOS DIGITAIS** **84**

7.1 - CONSIDERAÇÕES INICIAIS _____ **84**

7.2 - MOTIVAÇÃO _____ **84**

7.3 - REQUERIMENTOS DO SISTEMA _____ **85**

7.3.1 - ESPECIFICAÇÃO DO DISPOSITIVO FPGA _____ **86**

7.4 - RESULTADOS PRÁTICOS _____ **87**

7.5 - CONSIDERAÇÕES FINAIS _____ **88**

**CAPÍTULO 8 CONCLUSÃO GERAL E SUGESTÕES PARA A CONTINUAÇÃO DO
TRABALHO** **90**

REFERÊNCIAS BIBLIOGRÁFICAS **94**

APÊNDICE A TUTORIAL DE UTILIZAÇÃO DO KIT DIDÁTICO CONSTRUÍDO **98**

A.1 - CONSIDERAÇÕES INICIAIS _____ **98**

A.2 - INICIANDO UM PROJETO _____ **98**

A.3 - NOMEANDO OS TERMINAIS DE E/S _____ **103**

A.4 - DEFININDO OS TERMINAIS NÃO UTILIZADOS DO DISPOSITIVO FPGA _____ **105**

A.5 - CONSIDERAÇÕES FINAIS _____ **107**

APÊNDICE B CARACTERÍSTICAS DO DISPOSITIVO EPF10K10LC84-4 **108**

B.1 - LÓGICA INTERNA _____ **108**

B.2 - INTERCONEXÃO *FAST TRACK* _____ **108**

B.3 - RECURSOS NOS ELEMENTOS DE E/S (IOE)	108
B.3.1 - CONEXÃO ENTRE LINHAS E IOE	108
B.3.2 - CONEXÕES ENTRE COLUNAS E IOE	108
B.4 - CARACTERÍSTICAS ELÉTRICAS	109
B.4.1 - PARÂMETROS DE OPERAÇÃO MÍNIMOS E MÁXIMOS	109
B.4.2 - PARÂMETROS DE OPERAÇÃO RECOMENDADOS	109
B.4.3 - NÍVEIS DE SINAL ALTO E BAIXO	109
 <u>APÊNDICE C TRANSCRIÇÃO DOS COMANDOS EM MATLAB PARA O</u>	
<u>PROJETO DO CIRCUITO DE CONTROLE</u>	<u>110</u>

LISTA DE FIGURAS

<i>Fig. 1.1 – Esquema básico de um circuito Ballast eletrônico para acionamento de lâmpadas HID.</i>	4
<i>Fig. 1.2 – Diagrama de blocos da topologia do circuito Ballast escolhido.</i>	4
<i>Fig. 1.3 – Esquema básico do circuito ignitor.</i>	5
<i>Fig. 2.1 – Detalhes da construção da lâmpada de vapor de mercúrio. (Fonte: IESNA).</i>	12
<i>Fig. 2.2 – Detalhes da construção da lâmpada de vapor de sódio. (Fonte: IESNA).</i>	13
<i>Fig. 2.3 – Detalhes da construção da lâmpada de vapor metálico. (Fonte: IESNA)</i>	15
<i>Fig. 2.4 – Circuito equivalente da lâmpada antes da ignição.</i>	16
<i>Fig. 2.5 – Tempos de aquecimento e religamento para diversos tipos de lâmpadas. (fonte: IESNA).</i>	18
<i>Fig. 3.1 – Arquitetura interna de um dispositivo FLEX 10K. (fonte: Altera).</i>	22
<i>Fig. 3.2 – O Bloco de arranjos embarcados do dispositivo FLEX 10K (fonte: Altera).</i>	24
<i>Fig. 3.3 – O bloco de arranjos lógicos do dispositivo FLEX 10K. (fonte: Altera).</i>	25
<i>Fig. 3.4 – O elemento lógico em um dispositivo da Família FLEX 10K (fonte: Altera).</i>	27
<i>Fig. 3.5 – Utilização da Cadeia carry em um circuito somador (fonte: Altera).</i>	28
<i>Fig. 3.6 – Utilização da Cadeia cascade em uma função com muitas variáveis de entrada. (fonte: Altera).</i>	29
<i>Fig. 3.7 – A interconexão Fast-Track. (fonte: Altera).</i>	31
<i>Fig. 3.8 – Detalhe da conexão entre Elementos Lógicos. (fonte: Altera)</i>	32
<i>Fig. 3.9 – A conexão entre linhas e um elemento de E/S. (Fonte: Altera)</i>	33
<i>Fig. 3.10 – Conexão entre colunas e um Elemento de E/S. (Fonte: Altera).</i>	34

<i>Fig. 4.1 – Esquema básico de um circuito ballast para acionamento de lâmpadas.</i>	37
<i>Fig. 4.2 – Circuito ballast com ignição por pulso.</i>	40
<i>Fig. 4.3 – Circuito ballast com ignição por ressonância</i>	40
<i>Fig. 4.4 – Circuito ballast com ignição por transformador ressonante.</i>	41
<i>Fig. 4.5 – Topologia Buck seguida de um inversor em ponte completa.</i>	42
<i>Fig. 4.6 – Circuito inversor em ponte completa para acionamento de lâmpadas HID.</i>	43
<i>Fig. 4.7 – Circuito ballast eletrônico baseado no inversor ressonante classe E.</i>	44
<i>Fig. 4.8 – Esquemático do circuito escolhido.</i>	44
<i>Fig. 4.9 – Circuito equivalente para cada uma das duas etapas de operação do conversor Buck.</i>	46
<i>Fig. 4.10 – Formas de onda no circuito Buck.</i>	46
<i>Fig. 4.11 – Formas de onda teóricas do circuito de Ignição.</i>	49
<i>Fig. 5.1 – Conversor ballast proposto.</i>	53
<i>Fig. 5.2 – Etapas do conversor Buck.</i>	54
<i>Fig. 5.3 – Diagrama de blocos do circuito</i>	57
<i>Fig. 5.4 – Diagrama de blocos após a inserção do zoh.</i>	58
<i>Fig. 5.5 – Diagrama das etapas de controle.</i>	60
<i>Fig. 5.6 – Estrutura interna do controle dentro do dispositivo FPGA.</i>	61
<i>Fig. 6.1 – Diagrama de blocos simplificado.</i>	74
<i>Fig. 6.2 – Diagrama de blocos com parâmetros definidos.</i>	74
<i>Fig. 6.3 – Diagrama de blocos em malha fechada.</i>	75
<i>Fig. 6.4 – Resposta em frequência do sistema.</i>	76
<i>Fig. 6.5 – Circuito para simulação no Simulink..</i>	76

<i>Fig. 6.6 – Resposta ao degrau do compensador digital (0,2 A/div; 0,05 s/div).</i>	77
<i>Fig. 6.7 – Tensão (traço superior) e corrente (traço inferior) na lâmpada de sódio testada operando em regime permanente. (100V/div; 1A/div; 2ms/div)</i>	78
<i>Fig. 6.8 – Tensão (traço superior) e corrente (traço inferior) na lâmpada de vapor metálico testada operando em regime permanente. (50V/div; 1A/div; 2ms/div)</i>	78
<i>Fig. 6.9 – Seqüência de pulsos de ignição. (1kV/div, 2ms/div)</i>	79
<i>Fig. 6.10 – Tensão (traço superior) e corrente (traço inferior) na lâmpada durante a ignição (50V/div; 1A/div; 20ms/div).</i>	79
<i>Fig. 6.11 – Tensão (traço superior) e corrente (traço inferior) na lâmpada durante a partida, iniciando a 30Hz e depois passa a 150Hz. (50V/div; 1A/div; 100ms/div)</i>	80
<i>Fig. 6.12 – Comparação entre os acionamentos através do reator magnético (a) e reator eletrônico (b) para a lâmpada de vapor de sódio testada.</i>	81
<i>Fig. 6.13 – Comparação entre os acionamentos através do reator magnético (a) e reator eletrônico (b) para a lâmpada de vapor metálico testada.</i>	82
<i>Fig. 6.14 – Tensão (traço superior) e corrente (traço inferior) na lâmpada de vapor de sódio testada durante a transição do valor de potência. (50V/div; 1A/div; 10 ms/div)</i>	83
<i>Fig. 7.1 – Diagrama simplificado do kit didático proposto.</i>	86
<i>Fig. 7.2 – Vista superior da versão final do kit didático construído.</i>	88
<i>Fig. 2.1 – A ferramenta New Project Wizard.</i>	98
<i>Fig. A.2 – Definição do nome e localização do projeto.</i>	99
<i>Fig. 2.3 – Inserção de arquivos e bibliotecas já existentes ao projeto que está sendo criado.</i>	100
<i>Fig. 2.4 – Adicionar ferramentas EDA ao projeto que está sendo criado.</i>	100

<i>Fig. 2.5 – Escolha da família do dispositivo FPGA a ser utilizado no projeto.</i>	<i>101</i>
<i>Fig. 2.6 – Especificação do dispositivo a ser utilizado.</i>	<i>102</i>
<i>Fig. 2.7 – Relatório do projeto criado através da ferramenta New Project Manager.</i>	<i>102</i>
<i>Fig. 2.8 – Ferramenta Assign Pins.</i>	<i>103</i>
<i>Fig. 2.9 – Configuração dos terminais através da ferramenta Assign Pins.</i>	<i>104</i>
<i>Fig. 2.10 – Display de sete segmentos.</i>	<i>105</i>
<i>Fig. 2.11 – Ferramenta Settings.</i>	<i>106</i>
<i>Fig. 2.12 – Configuração dos terminais não utilizados no projeto.</i>	<i>106</i>

LISTA DE TABELAS

<i>Tabela 6.1 – Parâmetros para o conversor ballast proposto.</i>	<i>66</i>
<i>Tabela 6.2 – Parâmetros para as diversas dimensões disponíveis para núcleo EE.</i>	<i>68</i>
<i>Tabela 6.3 – Parâmetros para modelamento do compensador digital</i>	<i>74</i>
<i>Tabela 2.1 – Relação de nomes para os terminais de E/S do dispositivo FPGA.</i>	<i>104</i>

LISTA DE ABREVIATURAS E SÍMBOLOS

A_{cu} – área de cobre [cm^2]

A_l – fator de indutância [H/esp^2]

B_{max} – densidade magnética de saturação de um material [T]

C_l – capacitor de filtro [F]

$c(t)$ – ação de controle

$C(s)$ – transformada de Laplace da ação de controle

C_{ig} – capacitor de ignição [F]

C_{La} – capacitância intrínseca da lâmpada

D – razão cíclica de M_{buck}

D_b – diodo do conversor *Buck*

D_{gr} – diodo de grampeamento

D_{ig} – diodo de ignição

D_{max} – razão cíclica máxima

D_{min} – razão cíclica mínima

E – energia armazenada em um indutor [J]

$e(t)$ – erro

$E(s)$ – transformada de Laplace do erro

EAB – bloco de arranjos embarcados

E/S – entrada/saída

f_{ac} – frequência do barramento CA [Hz]

FIFO – *first-in first-out*

f_{ig} – frequência dos pulsos de ignição [Hz]
 f_{inv} – frequência do inversor em ponte completa [Hz]
 f_s – frequência de comutação [Hz]
 G_{ID} – ganho na corrente de saída em relação à razão cíclica
 $G(s)$ – função de transferência do percurso direto
 $H(s)$ – função de transferência do percurso de retroação
 $I_{Db.media}$ – corrente média em D_b [A]
 IE – elemento lógico
 $i_{Lb}(t)$ – corrente no indutor do conversor *Buck* [A]
 I_{Ligl} – corrente de ressonância em L_{igl} [A]
 I_{max} – limite superior da corrente de saída [A]
 I_{min} – limite inferior da corrente de saída [A]
 $I_{Minv.max}$ – corrente máxima em M_{inv} [A]
 $I_{Mbuck.media}$ – corrente média em M_{buck} [A]
 I_o – corrente na lâmpada durante o regime permanente [A]
 $I_o(s)$ – transformada de Laplace da corrente de saída
 IOE – elemento de E/S
 J – densidade de corrente [A/cm²]
 K_I – constante integral
 K_P – constante proporcional
 K_R – constante de retroação
 LAB – bloco de arranjos lógicos
 LILO – *last-in last-out*

LUT – *look-up table*

L_b – indutor do conversor *Buck* [H]

L_{ig} – indutor acoplado de ignição [H]

M_{buck} – MOSFET do conversor *Buck*

M_{inv} – MOSFET do inversor em ponte completa

PDS – processamento digital de sinais

PI – proporcional-integral

PLD – dispositivo lógico programável

P_o – potência de saída [W]

PWM – modulação por largura de pulso

RAM – memória de acesso randômico

ROM – memória somente leitura

R_{ig} – Resistor de ignição [Ω]

R_{La} – resistência equivalente da lâmpada enquanto apagada

R_L – resistência equivalente da lâmpada após acesa [Ω]

$R(s)$ – transformada de Laplace da entrada do sistema

S_{ig} – tiristor de ignição

T_A – taxa de amostragem do sistema [s]

t_{pulso} – tempo de duração do pulso de ignição [s]

T_s – período de comutação

TTL – *Texas transistor logic*

$T(s)$ – função de transferência à malha fechada

V_{ig} – tensão do pulso de ignição

V_g – tensão de entrada retificada [V]

$V_{i_{min}}$ – tensão de entrada mínima [V]

V_{Lb} – tensão sobre o indutor do conversor *Buck* [V]

V_M – tensão de comparação do modulador PWM

V_{Mbuck} – tensão máxima sobre M_{buck} [V]

V_o – tensão na lâmpada em regime permanente [V]

$V_{i_{pk}}$ – valor de pico para a máxima tensão de entrada [V]

$V_{rev_{Db}}$ – tensão reversa máxima sobre D_b [V]

Z_o – impedância intrínseca do circuito ressonante [Ω]

zoh – amostrador-estrapolador de ordem zero

η – rendimento do circuito

η_{ia} – relação de espiras no indutor acoplado L_{ig}

ω_o – frequência angular de ressonância [rad/s]

ω_ϕ – frequência de margem de fase [rad/s]

CAPÍTULO 1

INTRODUÇÃO GERAL

1.1 - CONSIDERAÇÕES INICIAIS

Nas últimas duas décadas, percebeu-se o crescente interesse em controladores digitais para fontes de alimentação em modo comutado devido à suas vantagens quando comparados aos controladores analógicos, tais como maior imunidade a ruído, convergência com outros sistemas digitais e possibilidade de serem implementadas estratégias de controle mais sofisticadas.

Ao mesmo tempo, foram desenvolvidos diversos dispositivos eletrônicos com grande velocidade de operação, grande capacidade de armazenamento e baixo consumo de energia [32]. Dentre estes, destacam-se as *Field Programmable Gate Arrays* (FPGA), dispositivos que podem ser modificados até mesmo durante sua operação através da programação reconfigurável.

Ao contrário dos circuitos integrados com tecnologia TTL, que possuem uma lógica fixa, os dispositivos lógicos reconfiguráveis oferecem ao projetista de circuitos digitais a opção de modificar seu projeto, mesmo após este ter sido construído. Um dispositivo lógico programável pode ser programado, apagado e reconfigurado várias vezes, facilitando a construção de protótipos e a atualização de projetos [8].

Atualmente, as FPGAs estão disponíveis no mercado em diferentes números de células lógicas, registradores e terminais de entrada e saída, sendo utilizadas em diversas aplicações como, por exemplo, processamento de dados, instrumentação e telecomunicações.

As lâmpadas de Alta Intensidade de Descarga (HID) apresentam vantagens em relação às demais disponíveis hoje no mercado, por produzirem luz com alta eficiência luminosa e em um espectro de frequências controlado, além de possuírem tamanho reduzido. Este tipo de lâmpada é composto, entre outros elementos, de um tubo preenchido com gás ionizável e eletrodos de tungstênio. A geração de luz é feita através de um arco elétrico que se forma dentro do tubo pela ionização dos átomos de gás, devido à diferença de potencial nos eletrodos. Para que ocorra um desgaste uniforme dos eletrodos, a lâmpada deve ser alimentada com tensão alternada.

Antes de atingir a operação em regime permanente, quando os valores de tensão, corrente e potência na lâmpada atingem seus valores nominais, a lâmpada HID passa por duas etapas, denominadas ignição e aquecimento [25]. Durante este processo, a resistência equivalente da lâmpada varia à medida que sua temperatura aumenta. Este aquecimento é devido ao aumento do número de colisões entre os átomos do gás contido no tubo. Além disso, o valor da resistência equivalente da lâmpada varia também durante seu envelhecimento.

Quando operadas em corrente alternada, com frequências entre alguns kHz e algumas centenas de kHz, as lâmpadas HID apresentam uma instabilidade no arco de descarga. Este fenômeno recebe o nome de ressonância acústica e sua ocorrência se deve à excitação de ondas de pressão acústica no gás contido no tubo da lâmpada pelas variações na potência de entrada. Esse efeito é indesejável porque:

1. a luz emitida pela lâmpada cintila, o que é facilmente notado em projeções e aplicações onde a luz é focada;

2. o arco pode tocar a parede do tubo, extinguindo-se ou até mesmo danificando a lâmpada;
3. o arco pode crescer a ponto de não ser suportado pelo circuito *ballast*, também extinguindo o arco.

As soluções já estudadas para se evitar este fenômeno buscam operar a lâmpada em uma frequência livre da ressonância acústica [6][4][23][33]. A de mais fácil implementação é se alimentar a lâmpada com uma forma de onda quadrada se baixa frequência [6].

Estima-se que 20% do consumo mundial de Energia elétrica seja destinado a iluminação. As fontes de luz mais populares para uso residencial são lâmpadas incandescentes e fluorescentes. Eficiência (razão entre lumens e potência elétrica consumida) e tempo de vida útil são as principais considerações na escolha de fontes de luz. Lâmpadas de alta eficiência economizam energia elétrica, enquanto que lâmpadas com longa vida útil contribuem preservando os recursos naturais usados nas suas fabricações, assim como diminuem as despesas relacionadas à manutenção e reposição das mesmas [5] [13] [19] [29].

Atualmente, a produção de circuitos *ballast* eletrônicos ocupa lugar de destaque entre as indústrias de conversores estáticos eletrônicos. O mercado para este tipo de produto é grande e vem crescendo nos últimos anos. De acordo com uma pesquisa feita nos Estados Unidos, o mercado mundial cresceu de 7,5 bilhões de dólares em 1999 para 10,4 bilhões em 2004, com uma taxa de crescimento, portanto de 6,7% ao ano [5].

Os circuitos *ballast* podem ser divididos em magnéticos e eletrônicos. Apesar de serem mais baratos, os circuitos *ballast* magnéticos são menos atraentes que os eletrônicos por apresentarem algumas deficiências como peso e volume elevados, baixo rendimento e baixo fator de potência.

Para o acionamento correto de uma lâmpada HID, um circuito *ballast* eletrônico projetado para seu acionamento deve [31]:

- conter um elemento reativo entre a tensão da rede e a lâmpada, de forma a alimentá-la através de uma fonte de corrente;
- prover um pulso de alta tensão para a etapa de ignição;
- possuir um estágio de inversão da corrente de saída.

O esquema básico de um circuito *Ballast* para acionamento de lâmpadas HID é mostrado na Fig. 1.1.

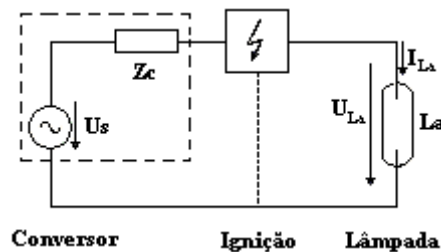


Fig. 1.1 – Esquema básico de um circuito *Ballast* eletrônico para acionamento de lâmpadas HID.

Diferentes alternativas de topologias para acionamento de lâmpadas HID [7][27][28] e também para o circuito de ignição [31] foram apresentadas em trabalhos ao redor do mundo. Para o desenvolvimento do presente trabalho, foi escolhida uma solução composta, formada por um conversor *Buck* seguido de um inversor em ponte completa, proposto em [27]. O diagrama de blocos do circuito é mostrado na Fig. 1.2.

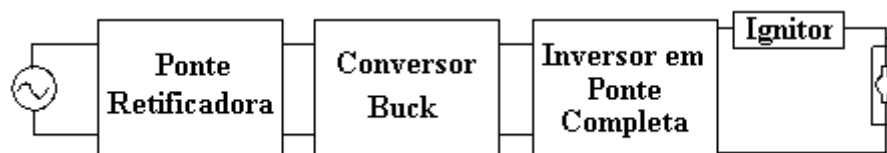


Fig. 1.2 – Diagrama de blocos da topologia do circuito *Ballast* escolhido.

O circuito ignitor é composto por um capacitor e dois indutores acoplados e é acionado por um tiristor, tal como mostrado na Fig. 1.3. Quando o interruptor S_{pi} é ligado, o capacitor C_{pi} descarrega no indutor primário. Devido à alta relação de transformação entre os indutores, um pulso de alta tensão é gerado no indutor secundário.

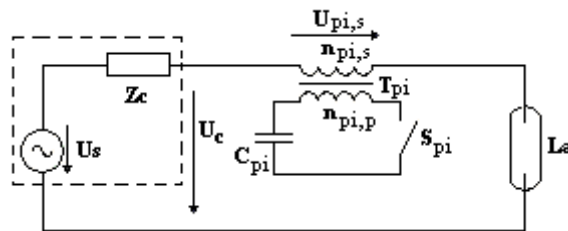


Fig. 1.3 – Esquema básico do circuito ignitor.

Em todas as etapas de funcionamento de uma lâmpada HID, é necessário o controle da corrente de saída. Durante a fase de aquecimento, a lâmpada HID necessita ser alimentada com um valor fixo de corrente. Uma vez atingido o regime permanente, o valor de corrente a ser fornecido à lâmpada deve ser aquele que mantenha constante a potência na mesma, compensando variações na tensão de entrada e na resistência equivalente dela devido ao envelhecimento.

O controle do circuito *ballast* proposto é feito por um dispositivo FPGA da família FLEX 10K, da Altera™. Antes de ser implementado no dispositivo, o circuito de controle foi projetado utilizando-se as técnicas de controle clássico, que consistem no modelamento da planta a ser controlada, na análise da estabilidade e na simulação do sistema em malha fechada.

O controle do circuito é feito a partir dos sinais digitalizados dos sensores de tensão de entrada, tensão de saída e corrente de saída; o dispositivo de controle é capaz de perceber a etapa atual de operação e decidir qual nível de corrente deve ser fornecida à lâmpada. Para

gerar os pulsos para o interruptor do circuito *Buck*, o dispositivo FPGA atua como um compensador proporcional-integral, cujo valor de saída determina a razão cíclica do interruptor, ou seja, o tempo em que o mesmo permanecerá ligado. Além disso, o dispositivo FPGA fornece os comandos para os interruptores do circuito inversor e também para o tiristor de ignição.

Além de comprovada eficiência para as aplicações já mencionadas, é também notável a utilidade dos dispositivos FPGA no ensino de projetos envolvendo circuitos lógicos digitais, principalmente devido à sua configurabilidade e interface com o computador. Por este motivo, e também devido a uma necessidade percebida no curso de graduação em Engenharia Elétrica da Universidade Federal de Uberlândia, foi desenvolvido um kit didático contendo um dispositivo FPGA para o ensino de Eletrônica Digital.

O kit didático, composto basicamente por dispositivos tais como LEDs, displays e chaves, tem como objetivo propiciar aos estudantes da graduação a experiência de projetar e implementar circuitos lógicos na prática. A interface com o computador é feita através do programa Quartus II, também da Altera. O Apêndice A apresenta um pequeno tutorial do programa onde são ilustradas todas as configurações a serem feitas no programa para a sua utilização com o kit didático.

1.2 - OBJETIVOS DA PESQUISA E MÉTODOS DE ABORDAGEM

O presente projeto de pesquisa tem as seguintes metas:

- (1) determinar a planta a ser controlada através de um modelo para pequenos sinais de um circuito de potência aplicável ao acionamento de lâmpadas de Alta Intensidade de Descarga;

- (2) controlar um circuito *ballast* eletrônico para acionamento de lâmpadas de Alta Intensidade de Descarga através de um dispositivo FPGA;
- (3) comparar os resultados do circuito *ballast* eletrônico desenvolvido com circuitos reatores magnéticos disponíveis no mercado;
- (4) aproveitando o conhecimento adquirido nas etapas anteriores, projetar e construir um kit didático contendo um dispositivo FPGA para ser utilizado no ensino de projeto de circuitos lógicos para estudantes de graduação em Engenharia Elétrica.

1.3 - RESUMO DA DISSERTAÇÃO

A dissertação se compõe de oito capítulos, além de apêndices e referências. A seguir os capítulos são brevemente descritos.

O Capítulo 2 descreve os conceitos básicos de operação das lâmpadas de HID, com destaque para seus três principais tipos: de vapor de mercúrio, de vapor de sódio e de Vapor metálico.

O Capítulo 3 apresenta a arquitetura da família FLEX 10K, da qual pertence o dispositivo FPGA utilizado para esta aplicação.

O Capítulo 4 descreve o reator eletrônico para acionamento de lâmpadas HID. Após uma breve apresentação das topologias presentes na literatura, o circuito escolhido para este trabalho é mostrado, e sua análise qualitativa é desenvolvida.

O Capítulo 5 apresenta o modelamento do circuito de controle e todos os elementos do diagrama de blocos são definidos. A implementação do controle em um dispositivo FPGA é também mostrada.

No Capítulo 6 apresenta a análise aprofundada do circuito de controle, envolvendo o estudo da estabilidade e a simulação do sistema. A análise quantitativa do circuito de potência é desenvolvida seguindo-se um roteiro de projeto.

O Capítulo 7 descreve o projeto e construção de um kit didático utilizando um dispositivo FPGA para a disciplina “Eletrônica Digital”, do curso de Engenharia Elétrica da Universidade Federal de Uberlândia.

O Capítulo 8 apresenta a conclusão geral do trabalho, descrevendo as etapas realizadas e os principais resultados obtidos.

CAPÍTULO 2

LÂMPADAS DE ALTA INTENSIDADE DE DESCARGA

2.1 - CONSIDERAÇÕES INICIAIS

Estima-se que 20% do consumo mundial de Energia elétrica seja destinado a iluminação. Este fato justifica a busca atual por lâmpadas de alta eficiência (razão entre lumens e potência elétrica consumida) e tempo de vida útil, buscando economizar energia elétrica e preservar os recursos naturais usados na sua fabricação, assim como diminuir as despesas relacionadas à manutenção e reposição das mesmas. As fontes de luz mais populares para uso residencial são lâmpadas incandescentes e fluorescentes [5] [13] [19] [29].

As lâmpadas de Alta Intensidade de Descarga (HID) se sobrepõem entre às demais lâmpadas oferecidas comercialmente por seu pequeno tamanho e por oferecer iluminação com alta eficiência e em faixas de frequência controláveis. A utilização deste tipo de lâmpada, antes restrita somente a aplicações que exigiam alta potência como estádios e indústrias, atualmente se estende às residências e até mesmo automóveis.

Este capítulo descreve os princípios de operação e construção dos três tipos de lâmpadas HID mais comumente disponíveis: a de vapor de mercúrio, a de vapor de sódio e a de vapores metálicos. As etapas de funcionamento das lâmpadas HID são também descritas.

2.2 - PRINCÍPIOS DE OPERAÇÃO E CONSTRUÇÃO [25]

O tubo interno presente nas lâmpadas HID é preenchido com um gás ionizável. Quando uma diferença de potencial é aplicada nos eletrodos da lâmpada, os átomos deste gás são excitados, causando um arco elétrico que irá resultar na geração de luz.

A atmosfera gasosa dentro do tubo se comporta como isolante elétrico e se transforma em condutor quando ionizado. A ionização dos gases é obtida submetendo-os a uma determinada intensidade de campo elétrico elevando a diferença de potencial entre os dois eletrodos até um valor crítico necessário à ionização dos gases.

Após a ionização, os elétrons livres emitidos por um eletrodo (cátodo) migram para o outro eletrodo (ânodo), e esta migração causa colisões entre os elétrons e os átomos do gás. As colisões acarretam a transferência de um elétron situado em uma órbita do átomo mais interna para uma mais externa, gerando a excitação dos átomos. Com o subsequente retorno do elétron à órbita de origem, ocorre a emissão de fótons, liberando-se energia radiante em vários comprimentos de ondas eletromagnéticas pertencentes a faixas de radiação visíveis e não visíveis. Uma outra consequência do processo –nem sempre desejável – é a geração de calor através do atrito nas colisões.

Em algumas colisões ocorre a liberação do elétron do átomo. Este elétron livre pode também ser acelerado, provocando colisões com outros átomos do gás, originando novamente o processo descrito. A repetição deste processo provoca uma avalanche eletrônica dando início à corrente elétrica no gás, que necessita ser limitada por uma impedância em série com o circuito de alimentação.

A luz produzida por uma lâmpada HID está relacionada ao tipo de metal contido no tubo: lâmpadas de vapor de mercúrio geram luz a partir da excitação de átomos de mercúrio,

lâmpadas de sódio a partir de átomos de sódio e lâmpada de vapor metálico a partir de vários átomos e moléculas, principalmente sódio, escândio, hólmio, túlio, e disprosio.

2.2.1 - LÂMPADAS DE VAPOR DE MERCÚRIO

Como mencionado anteriormente, nas lâmpadas de vapor de mercúrio a luz é produzida pela passagem de corrente elétrica através de vapor de mercúrio. Devido ao fato do mercúrio apresentar baixa pressão de vapor à temperatura ambiente, uma pequena quantidade de argônio é introduzida no arco para facilitar a partida. O arco é formado pela ionização do argônio, e o calor gerado vaporiza o mercúrio. A quantidade de mercúrio na lâmpada determina a pressão durante a operação em regime permanente.

As lâmpadas de mercúrio são construídas com duas camadas: uma camada interna (tubo), que contém o arco; e outra camada externa, cujas funções são:

- proteger o tubo de intempéries externas;
- prevenir a oxidação dos componentes internos;
- fornecer uma superfície interna para a formação de uma camada fosforescente;
- filtrar parte da radiação UV produzida pelo arco. Além disso, materiais fosforescentes contidos na camada externa convertem uma porção da energia UV em luz.

A camada interna é feita de sílica fundida com tiras finas de molibdênio colados nos terminais para conduzir melhor a corrente. A camada externa é geralmente feita de vidro rígido mas pode ser feita também com outros vidros dependendo da resistência desejada.

A Fig. 2.1 mostra os detalhes da construção da lâmpada de vapor de mercúrio.

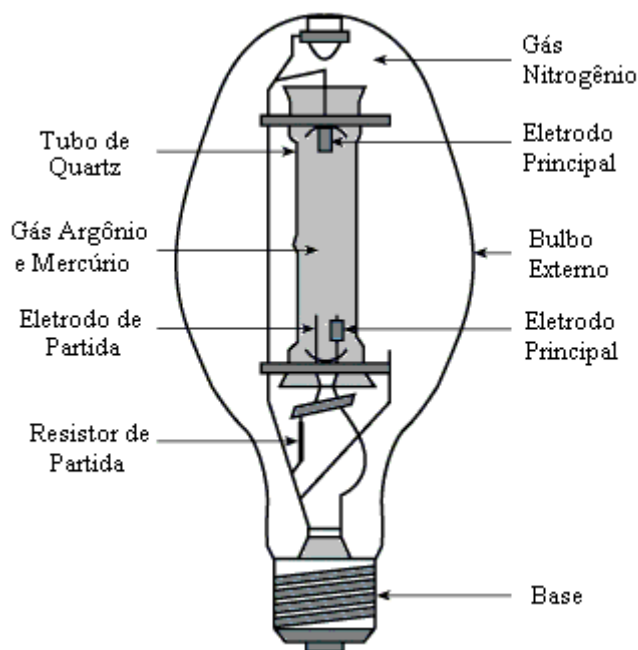


Fig. 2.1 –Detalhes da construção da lâmpada de vapor de mercúrio. (Fonte: IESNA).

A eficiência das lâmpadas de mercúrio está compreendida entre 30 e 65 lumens/W, e a luz emitida por elas possui uma cor azul esverdeada. Isto faz com que muitos objetos tenham suas cores distorcidas: azul, verde e amarelo são destacados, enquanto laranja e vermelhos ganham um tom amarronzado. As lâmpadas de mercúrio não são indicadas para espaços fechados ocupados por pessoas.

2.2.2 - LÂMPADAS DE VAPOR DE SÓDIO

Nas lâmpadas de vapor de sódio a luz é produzida através da corrente elétrica que passa pelo vapor de sódio. Assim como a lâmpada de mercúrio, sua construção também contém duas camadas. A camada interna é feita de alumínio policristalino, material que possui um alto ponto de fusão, sendo resistente ao sódio em altas temperaturas, e é também um ótimo transmissor de luz.

A camada externa de vidro é vazia e serve para prevenir ataques químicos das partes metálicas do tubo. Ela também ajuda a manter a temperatura do arco isolando-o da temperatura ambiente.

A maioria das lâmpadas de sódio pode operar em qualquer posição sem alterações significantes em sua iluminação. Algumas lâmpadas possuem ainda uma camada difusa na parte interna do bulbo para aumentar a fonte luminosa.

A Fig. 2.2 mostra os detalhes da construção da lâmpada de vapor de sódio.

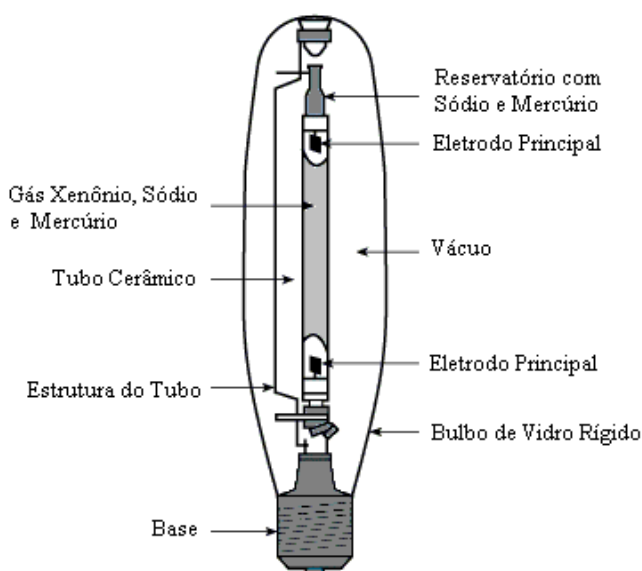


Fig. 2.2 – Detalhes da construção da lâmpada de vapor de sódio. (Fonte: IESNA).

Dentre as lâmpadas HID, a lâmpada de vapor de sódio possui a maior eficiência, entre 45 e 150 lumens/W, dependendo da potência da lâmpada. A energia irradiada pela lâmpada está distribuída em todo o espectro de frequências visíveis.

2.2.3 - LÂMPADA DE VAPOR METÁLICO

As lâmpadas de vapor metálico têm construção similar às lâmpadas de mercúrio, com a diferença que seu tubo contém vários metais na forma de compostos *halide*. Os *halide* são compostos químicos formados por um átomo de halogênio e um átomo de um elemento qualquer menos eletronegativo que o halogênio.

Quando atingem a temperatura de operação, os metais contidos no arco se vaporizam parcialmente. Quando os vapores atingem o núcleo central onde ocorre a descarga, eles se dissociam em halogênio e metais, e então esses últimos irradiam luz. Quando estes átomos – de halogênio e de metais – se aproximam da parede fria do tubo por difusão e convecção, recombina-se e o ciclo se inicia novamente.

A presença de metais na forma de compostos *halide* dentro do tubo apresenta duas vantagens: primeiramente, eles são mais voláteis que metais puros, o que permite a adição de metais com ótimas propriedades de emissão de luz em temperaturas normais de operação do tubo; além disso, alguns metais, que reagiriam com o tubo se utilizados puros, não o fazem quando estão na forma de *halide*.

A eficiência luminosa das lâmpadas de vapor metálico é em geral maior que a de Mercúrio e menor que a de Sódio. As lâmpadas disponíveis comercialmente apresentam eficiência de 75 a 125 lumens/watt.

Os metais presentes no tubo possuem características de emissão espectralmente seletivas. Isso significa que alguns desses metais produzem radiação visível com um único comprimento de onda. Este fato permite selecionar as cores que serão irradiadas adicionando-se certos metais, como por exemplo sódio para a cor laranja, tálio para a verde, índio para azul e ferro para UV.

A Fig. 2.3 mostra os detalhes da construção da lâmpada de vapor metálico.

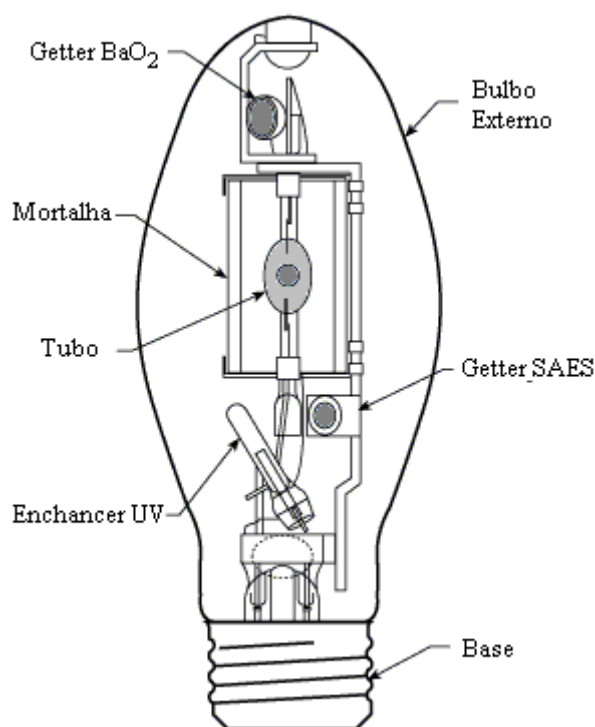


Fig. 2.3 – Detalhes da construção da lâmpada de vapor metálico. (Fonte: IESNA)

2.3 - ETAPAS DE OPERAÇÃO

Antes de entrar em regime permanente de operação, a lâmpada HID passa pelas etapas de ignição e aquecimento. Durante o processo de partida, os parâmetros elétricos da lâmpada, tais como corrente e tensão, variam continuamente, saindo do estado de não condução para o estado de condução.

2.3.1 - IGNIÇÃO

Durante a ignição, um número considerável de portadores de carga é gerado dentro da lâmpada devido ao pico de alta tensão aplicado nos eletrodos. A Fig. 2.4 mostra o circuito equivalente de uma lâmpada antes da ignição.

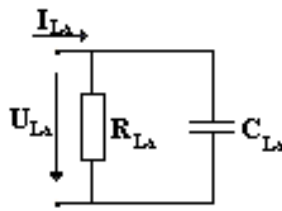


Fig. 2.4 – Circuito equivalente da lâmpada antes da ignição.

O valor da capacitância C_{La} é dependente da lâmpada e do ambiente onde ela está inserida. Pequenos valores podem ser obtidos se o circuito ignitor estiver próximo da lâmpada. Um valor típico para lâmpadas de propósito geral é 100pF ou até mais, dependendo da distância entre ignitor e lâmpada.

Já a resistência R_{La} pode ser considerada infinita, levando-se em consideração que a lâmpada é constituída por materiais isolantes, como gás, cerâmica e plástico.

A tensão necessária para dar início ao processo de ignição depende da pressão no interior da lâmpada. Valores na ordem de 3kV são em geral suficientes.

2.3.2 - AQUECIMENTO

Após o arco estar estabelecido, a tensão sobre a lâmpada é pequena devido à baixa pressão dos vapores internos. Conseqüentemente, a potência dissipada é também pequena. À medida que a pressão interna sobe, a resistência equivalente da lâmpada aumenta. Ao longo do aquecimento os valores de tensão e potência aumentam, até atingirem seus valores nominais.

2.3.3 - REGIME PERMANENTE

Em regime permanente, a temperatura e a pressão da lâmpada atingem o equilíbrio e tornam-se estáveis. A impedância equivalente da lâmpada nesta etapa tende a aumentar durante o envelhecimento da mesma, elevando sua potência e diminuindo sua vida útil. O sistema utilizado para o acionamento da lâmpada HID deve compensar esta variação.

Se durante esta etapa o arco se extinguir, a lâmpada não reacenderá até que a pressão interna esteja baixa o suficiente para que o arco se forme com o pulso de tensão disponível. O tempo de resfriamento varia de 3 a 7 minutos, dependendo do tipo de lâmpada.

A Fig. 2.5 mostra os tempos de aquecimento e religamento para os diversos tipos de lâmpada.

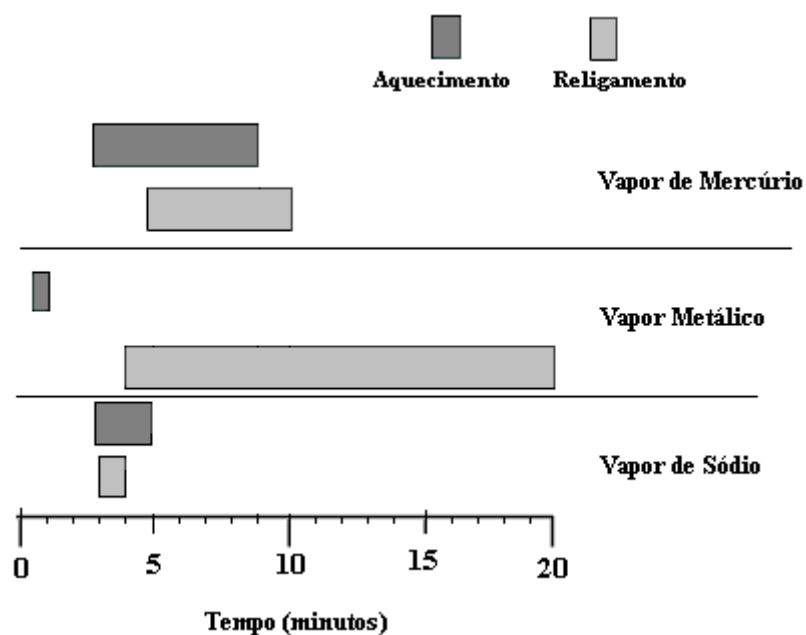


Fig. 2.5 – Tempos de aquecimento e religamento para diversos tipos de lâmpadas. (fonte: IESNA).

2.4 - CONSIDERAÇÕES FINAIS

Este capítulo apresentou o princípio de operação e construção dos três principais tipos de lâmpadas HID:

- lâmpada de vapor de mercúrio;
- lâmpada de vapor de sódio;
- lâmpada de vapor metálico.

As etapas de operação – ignição, aquecimento e regime permanente – foram descritas, de forma simplificada, a partir dos parâmetros na lâmpada em cada etapa.

CAPÍTULO 3

FIELD PROGRAMMABLE GATE ARRAYS

3.1 - CONSIDERAÇÕES INICIAIS

Nos últimos quinze anos, pôde-se perceber o intenso progresso em projetos de sistemas digitais. Durante este período, foram desenvolvidos diversos dispositivos eletrônicos com grande velocidade de operação, grande capacidade de armazenamento e baixo consumo de energia [32]. Dentre estes, destacam-se as *Field Programmable Gate Arrays* (FPGA) e as *Complex Programmable Logic Devices* (CPLDs), dispositivos que podem ser modificados a qualquer tempo (até mesmo durante sua operação) através da programação reconfigurável.

No passado os circuitos integrados possuíam uma lógica fixa, e portanto não era possível modificar um projeto digital a não ser pela substituição dos circuitos integrados presentes na placa de circuito impresso. A programação lógica oferece ao projetista de circuitos digitais modificar seu projeto, mesmo após este ter sido construído. Um dispositivo lógico programável (PLD) pode ser programado, apagado e reprogramado várias vezes, facilitando a construção de protótipos e a atualização de projetos [8].

Este capítulo apresenta o dispositivo FPGA e mostra em detalhes a arquitetura interna da família FLEX10K, da fabricante Altera™, a família do dispositivo selecionado para controlar o circuito *ballast* eletrônico. A descrição do dispositivo é baseada na folha de dados fornecida pelo fabricante.

3.2 - DEFINIÇÃO

Os dispositivos FPGAs podem ser definidos como circuitos integrados que contêm um arranjo de células lógicas cercado por blocos programáveis de E/S. As FPGAs contêm dezenas de milhares de células lógicas e um número ainda maior de *flip-flops*.

Atualmente, as FPGAs são utilizadas em aplicações que variam de processamento de dados e armazenamento a processamento digital de sinais, passando por telecomunicações e instrumentação. Elas também recebem o nome de *Logic Cell Array* (LCAs) e *Programmable Application-Specific Integrated Chip* (pASIC).

As FPGAs estão hoje disponíveis no mercado em um número cada vez maior de portas, registradores, células lógicas e *look-up tables*. A seleção de um dispositivo FPGA é baseada nos fatores memória e performance. Entre os tipos de memória estão Flash, RAM; *dual-port* RAM; ROM; EEPROM, FIFO e LIFO. As considerações sobre performance incluem frequência de operação, número de PLLs integrados e número de terminais de E/S disponíveis.

Para a presente aplicação, foi selecionado o dispositivo EPF10K10LC84-4, da Altera. As principais características deste dispositivo estão presentes no Apêndice B.

3.3 - A FAMÍLIA FLEX 10K [2]

A arquitetura da família FLEX 10K é formada por dois tipos de arranjos: um arranjo embarcado para implementação de memória e de funções lógicas especiais, e um arranjo lógico para implementação de lógica de propósito geral.

O arranjo embarcado consiste de uma série de blocos de arranjos embarcados, cuja sigla em inglês é EAB. Na implementação de funções de memória, cada EAB provê 2.048 bits, que

podem ser usados para criar RAM, ROM, *dual-port* RAM, ou funções FIFO (*First In First Out*). Na implementação de funções lógicas complexas, como multiplicadores ou multiplexadores, máquinas de estado e funções de PDS (processamento digital de sinais), cada EAB contribui com 100 a 600 portas lógicas. As EABs podem ser usadas independentemente ou múltiplas EABs podem ser combinadas para implementação de funções que demandem mais portas lógicas.

A parte lógica do dispositivo consiste de blocos de arranjos lógicos (LAB, em inglês). Cada LAB por sua vez contém oito elementos lógicos e uma interconexão local, por onde são transmitidos os sinais necessários à comunicação entre LABs. Um Elemento Lógico é composto por uma *look up table* de quatro entradas, um flip-flop programável e caminhos de sinal dedicados para as funções *carry* e *cascade*, que serão posteriormente explicadas. Os oito elementos lógicos de um LAB podem ser usados para se criar um bloco lógico de tamanho médio, como um contador de 8 bits, um decodificador de endereço ou uma máquina de estado. É possível também combiná-los com Elementos Lógicos de outras LABs para se criar blocos lógicos maiores. Cada LAB representa em torno de 96 portas lógicas. As interconexões de sinais dentro do dispositivo FLEX 10K com os terminais de E/S são conseguidos através da interconexão *FastTrack*TM, uma série de canais entre linhas e colunas que percorrem toda a extensão do dispositivo.

Cada terminal de E/S é controlado por um elemento de E/S (IOE, em inglês) localizado no final de cada linha e coluna da interconexão *FastTrack*. Cada IOE contém um *buffer* bidirecional e um *flip-flop* que podem ser utilizados como um registrador tanto de entrada quanto de saída para alimentar sinais de entrada, de saída ou bidirecionais. Os elementos de

E/S possuem características interessantes, como controle de *slew-rate*, *buffers tri-state* e saída a dreno aberto.

A Fig. 3.1 mostra a arquitetura interna de um dispositivo da família FLEX 10K.

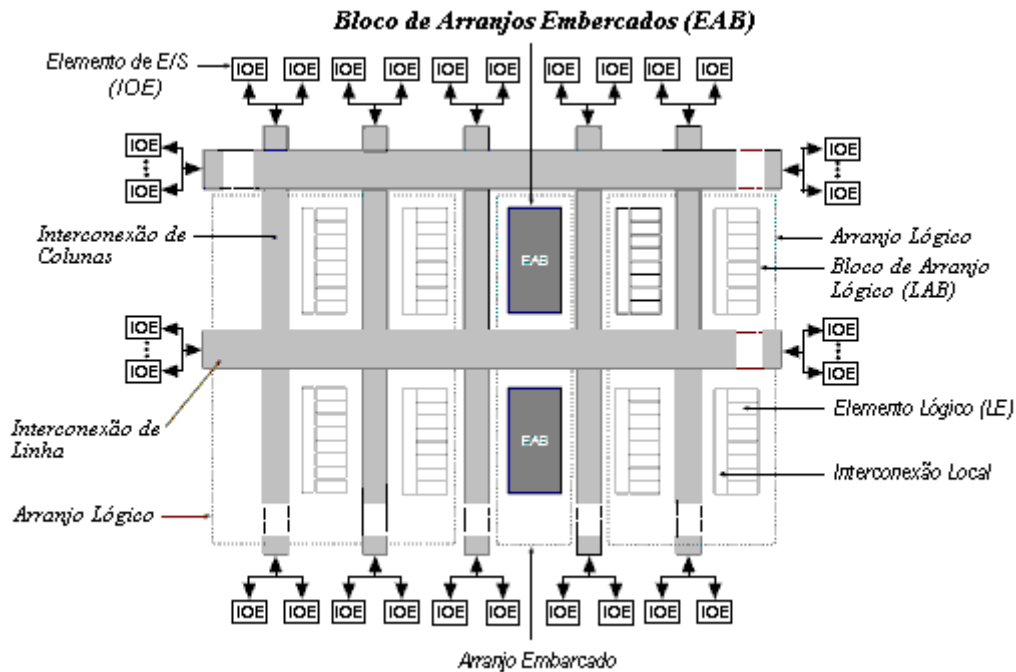


Fig. 3.1 – Arquitetura interna de um dispositivo FLEX 10K. (fonte: Altera).

3.3.1 - O BLOCO DE ARRANJOS EMBARCADOS (EAB)

Cada bloco de arranjos embarcado (EAB) é um bloco flexível de memória RAM (*Random Access Memory*) com registradores nas portas de entrada e saída, e é utilizado para implementar circuitos tais como *look-up tables* (LUTs), máquina de estados e multiplicadores, devido a seu tamanho e à sua flexibilidade. Essas funções podem ser também combinadas com aplicações tais como filtros digitais e microcontroladores.

Durante a configuração do dispositivo, as EABs são agrupadas, criando-se uma grande LUT. Através das LUTs, o resultado de uma função é obtido através de valores pré-

programados, não sendo necessário nenhum esforço computacional. A grande capacidade dos EABs permite ao projetista implementar funções complexas consumindo um espaço físico muito menor do que seria consumido nos blocos de arranjos lógicos. Um único EAB, por exemplo, seria necessário para se implementar um circuito multiplicador de 4 bits, com oito entradas e oito saídas.

Ao contrário dos blocos lógicos da FPGA, que possuem uma arquitetura distribuída e que portanto apresentam atrasos devido à comunicação entre os elementos lógicos, os EABs apresentam a vantagem de poderem ser conectados para implementação de grandes blocos dedicados. Este fato elimina parte dos problemas com relação a tempo de atraso e roteamento.

Os EABs podem ser usados para funcionar como uma memória RAM síncrona. Neste caso, cada Bloco pode ser configurado para qualquer um dos seguintes tamanhos: 256×8 , 512×4 , 1.024×2 ou 2.048×1 . Os Blocos podem ser também combinados para formar memórias maiores. Por exemplo, dois blocos 256×8 podem ser combinados para formar um bloco de 256×16 . Se necessário, todos os EABs do dispositivo podem ser agrupados.

A Fig. 3.2 mostra a arquitetura interna de um EAB. As entradas e saídas dos EABs podem ser acionadas por *clocks* diferentes. Como os elementos lógicos têm acesso à interconexão local do EAB, eles podem controlar o sinal WE e o sinal de *clock* de um EAB. Cada EAB é alimentado por uma linha da interconexão e pode acionar até dois canais da linha de interconexão, possibilitando ainda que o canal não utilizado seja acionado por um Elemento Lógico.

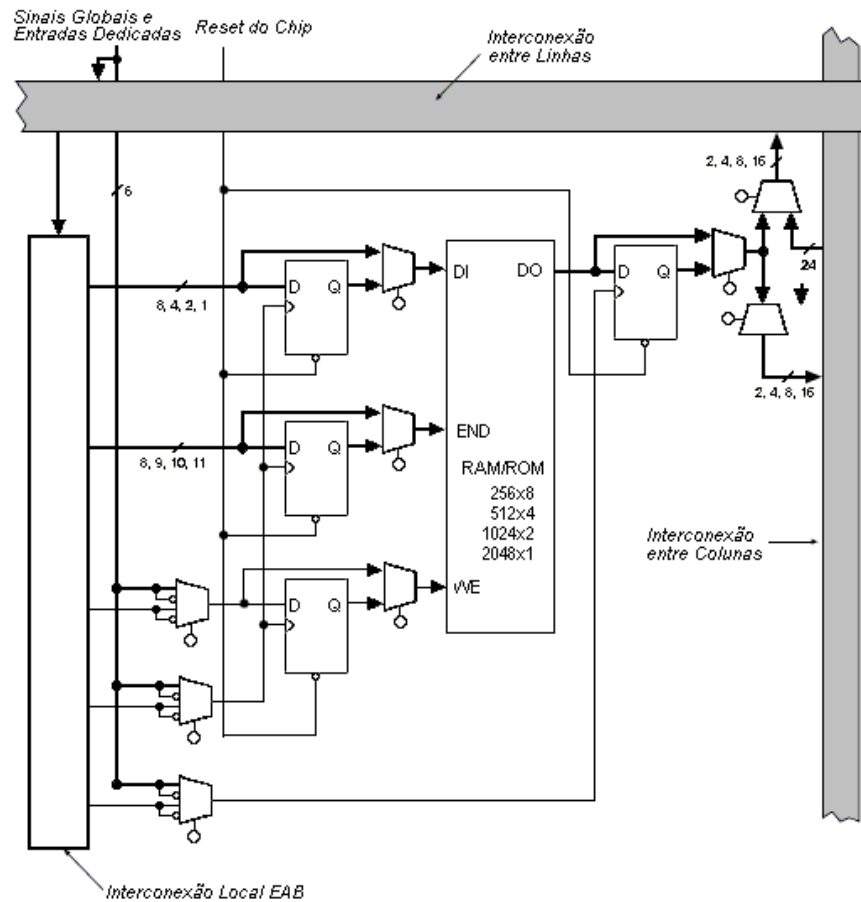


Fig. 3.2 – O Bloco de arranjos embarcados do dispositivo FLEX 10K (fonte: Altera).

3.3.2 - O BLOCO DE ARRANJOS LÓGICOS (LAB)

Cada bloco de arranjos lógicos (LAB) é composto por oito elementos lógicos, pelas cadeias de sinais *carry* e *cascade*, pelos sinais de controle e pela interconexão local. A Fig. 3.3 mostra a arquitetura interna de um bloco de arranjos lógicos.

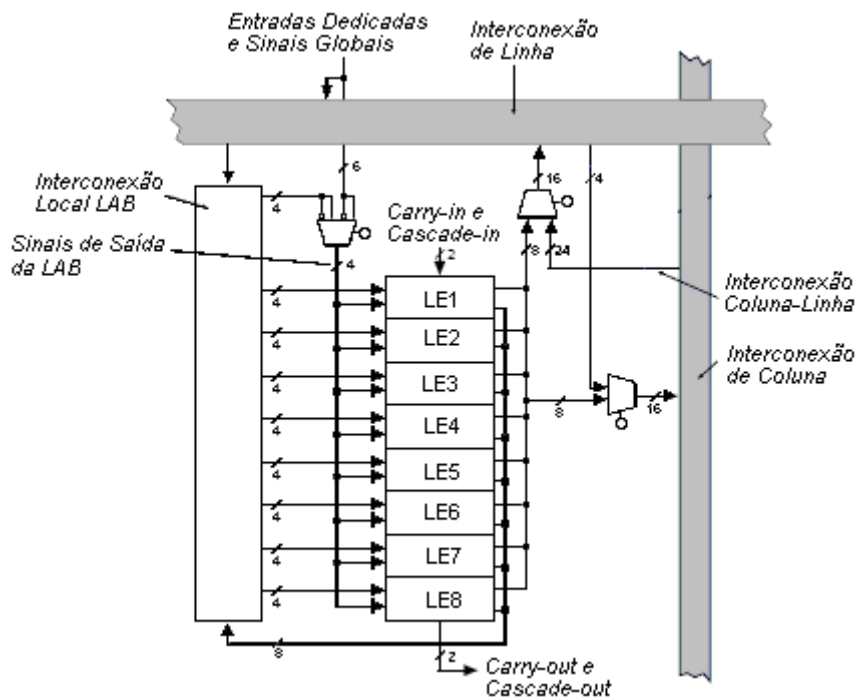


Fig. 3.3 – O bloco de arranjos lógicos do dispositivo FLEX 10K. (fonte: Altera).

Cada LAB possui quatro sinais de controle programáveis. Dois destes sinais podem ser usados como *clock* e os outros dois como sinais de *clear* e *preset*. Os sinais de *clock* podem ser acionados por terminais dedicados, por sinais globais, terminais de E/S ou por sinais internos através da interconexão local. Os sinais de *clear* e *preset* podem ser acionados por um sinal global, um terminal de E/S ou por algum sinal interno através da interconexão local. Se necessário, os sinais de controles podem ser gerados através de alguma lógica em qualquer LAB e chegar pela interconexão local. Além disso, sinais de controle globais podem ser gerados a partir da saída de um Elemento Lógico.

3.3.3 - O ELEMENTO LÓGICO (LE)

O elemento lógico (LE) é a menor unidade lógica na arquitetura FLEX 10K. Ele possui um tamanho compacto visando a sua eficiente utilização lógica. Cada LE contém uma *look up*

table de quatro entradas, o que o torna capaz de computar rapidamente qualquer função de quatro variáveis. Cada LE ainda contém um *flip-flop* programável e sinais de *carry* e *cascade*. Cada LE aciona as interconexões local e *FastTrack*.

O registrador programável presente no LE pode ser configurado como D, T, JK, ou SR. Os sinais de controle *clock*, *clear*, e *preset* podem ser acionados por sinais globais, terminais de E/S ou qualquer lógica interna. Há ainda a opção de se acionar a saída do LE diretamente através da saída da LUT, ignorando-se o *flipflop*.

O LE possui uma saída para a interconexão local e uma para a interconexão *FastTrack*, ambas independentes. Por exemplo, a LUT pode ser direcionada para uma saída enquanto o registrador programável é direcionado para outra saída. O fato do registrador e a LUT serem utilizados para funções não relacionadas pode inclusive melhorar o desempenho do LE.

A arquitetura FLEX 10K possui duas cadeias de sinais usados na conexão entre LEs adjacentes: *carry* e *cascade*. Como será mostrado a seguir, a cadeia de sinais *carry* é importante na implementação de contadores e somadores envolvendo uma grande quantidade de bits, enquanto a cadeia de sinais *cascade* é importante na implementação de funções com uma grande quantidade de variáveis. As cadeias *carry* e *cascade* conectam todos os elementos lógicos em um LAB e todos os LABs em uma mesma linha. Mesmo constituindo um recurso muito útil na família FLEX 10K, o uso intensivo das cadeias *carry* e *cascade* pode reduzir as possibilidades de roteamento.

A Fig. 3.4 apresenta o diagrama de um elemento lógico da Família FLEX 10K.

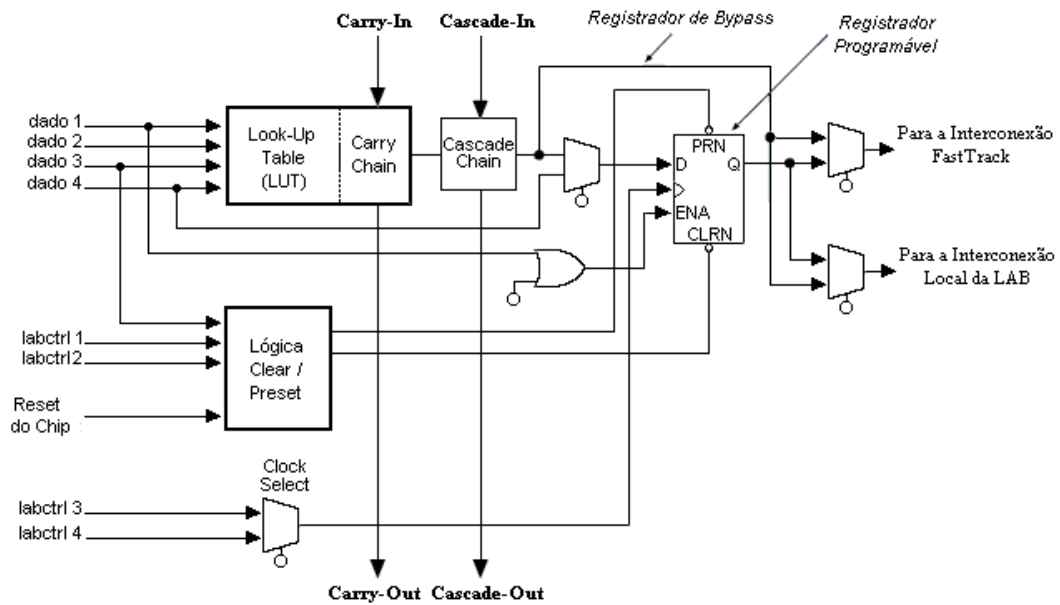


Fig. 3.4 – O elemento lógico em um dispositivo da Família FLEX 10K (fonte: Altera).

3.3.3.1 - A CADEIA DE SINAIS CARRY

A cadeia de sinais *carry* faz a ligação entre as operações entre bits mais e menos significativos. Esta característica permite a implementação eficiente de contadores, somadores e comparadores de qualquer tamanho. A cadeia de sinais *carry* pode ser criada automaticamente pelo compilador ou manualmente pelo projetista durante a implementação do projeto. Cadeias *carry* maiores que oito LEs são automaticamente implementadas conectando-se dois ou mais LABs.

A Fig. 3.5 mostra como um somador de n -bits pode ser implementado em $n + 1$ LEs com a cadeia *carry*. Uma porção da LUT gera a soma de dois bits através dos sinais de entrada e do sinal *carry*. A soma é então direcionada para o *flipflop* e também para a saída do LE. A lógica da cadeia *carry* gera o sinal *carry* de saída que é direcionado à soma de bits mais

significativos. O último sinal de *carry* é direcionado a um LE, onde pode ser usado como um sinal de propósito geral.

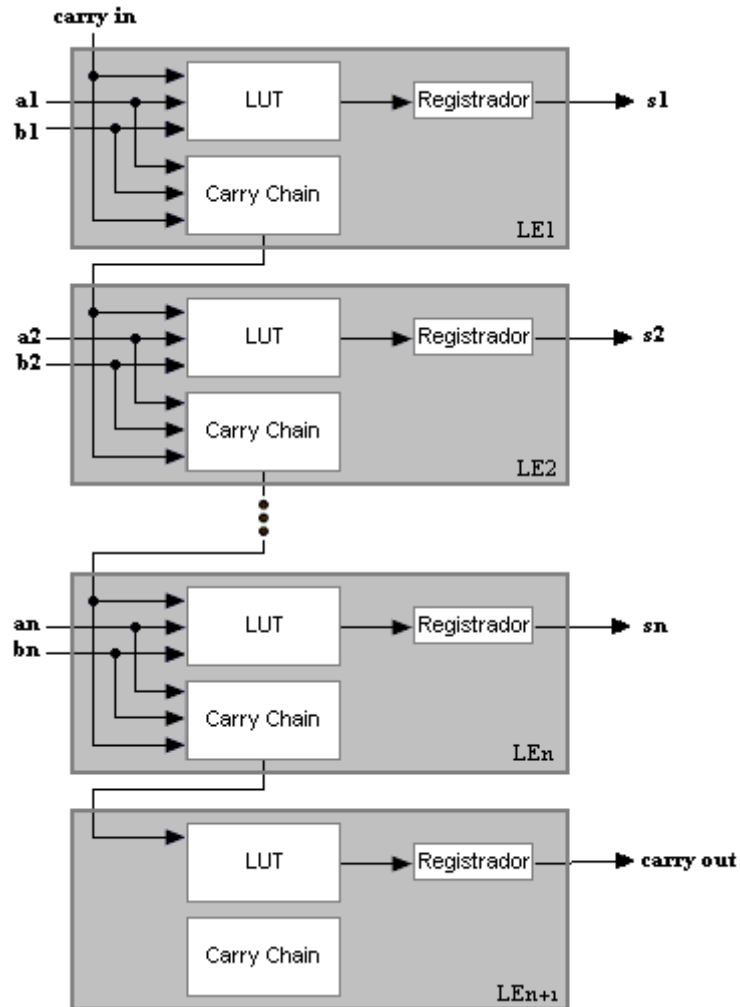


Fig. 3.5 – Utilização da Cadeia *carry* em um circuito somador (fonte: Altera).

3.3.3.2 - A CADEIA DE SINAIS *CASCADE*

Através da cadeia de sinais *cascade* é possível implementar funções como uma grande quantidade de variáveis. As LUTs de elementos lógicos adjacentes podem ser usadas para computar paralelamente porções da função; enquanto a cadeia *cascade* conecta serialmente os valores intermediários, baseando-se na lógica AND ou lógica OR para conectar as saídas de

LEs adjacentes. Cada LE é então responsável por quatro entradas da função. A lógica da cadeia *cascade* pode ser criada automaticamente pelo compilador ou manualmente durante a implementação do projeto.

A Fig. 3.6 mostra como a função *cascade* pode conectar LEs adjacentes para formar funções com muitos sinais de entrada. Os exemplos mostram funções de $4n$ variáveis implementadas em n LEs.

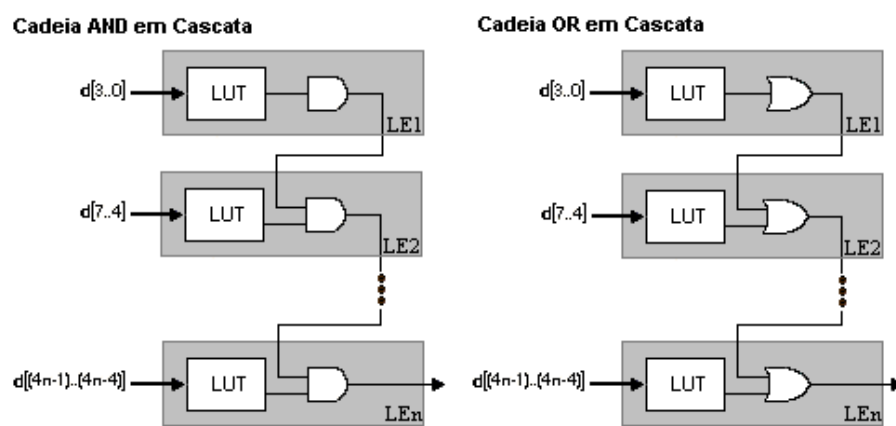


Fig. 3.6 – Utilização da Cadeia *cascade* em uma função com muitas variáveis de entrada.(fonte: Altera).

3.3.4 - A INTERCONEXÃO *FAST-TRACK*

Dentro do dispositivo FLEX 10K as conexões entre elementos lógicos e os terminais de E/S são feitas pela interconexão *FastTrack*, uma série de canais de roteamento horizontais e verticais, que atravessam todo o dispositivo. Essa estrutura de roteamento global visa eliminar os atrasos presentes em estruturas segmentadas, tornando a performance de roteamento independente do tamanho do projeto.

Os canais horizontais e verticais da interconexão *FastTrack* percorrem todo o dispositivo. Cada linha dos blocos de arranjos lógicos é servida por uma linha dedicada da interconexão. As linhas da interconexão se conectam aos terminais de E/S e outros LABs do

dispositivo; as colunas são responsáveis por transportar os sinais entre as linhas e também se conectam aos terminais de E/S.

Um canal de linhas pode ser alimentado por um elemento lógico ou por um dos três canais de colunas. Um multiplexador de quatro canais seleciona o sinal que se conectará ao canal de linhas. Este multiplexador, presente em cada elemento lógico, permite que o canal de colunas se conecte ao canal de linhas mesmo se os oito elementos lógicos de um bloco de arranjos embarcados estejam conectados ao canal de linhas.

Da mesma forma, cada coluna do LAB é servida por uma coluna da Interconexão. Uma coluna da interconexão pode se conectar a um terminal de E/S ou a uma linha da interconexão para rotear sinais a outros LABs do dispositivo. Um sinal que caminhe pela interconexão de coluna, que pode ser proveniente da saída de um elemento lógico ou de um terminal de E/S, deve passar por uma linha da interconexão antes de entrar em um LAB ou EAB.

A Fig. 3.7 mostra a conexão entre LABs e EABs adjacentes através das conexões de linha, coluna e locais, bem como as cadeias de sinal *carry* e *cascade*. Cada LAB é nomeada de acordo com a sua localização: a letra representa a linha e o número representa a coluna.

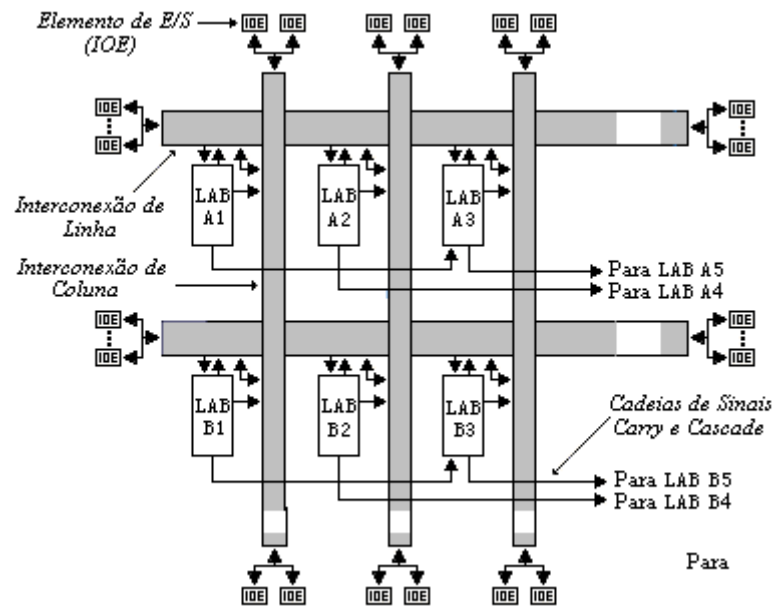


Fig. 3.7 – A interconexão *Fast-Track*. (fonte: Altera).

O acesso aos canais de linhas e colunas pode ser controlado por elementos lógicos localizados em LABs adjacentes, localizado na mesma linha. Por exemplo, o elemento lógico de um LAB pode se conectar a uma linha ou coluna que normalmente seria conectada ao Elemento Lógico de um LAB adjacente, e vice-versa. A Fig. 3.8 mostra as ligações que tornam possível esta conexão.

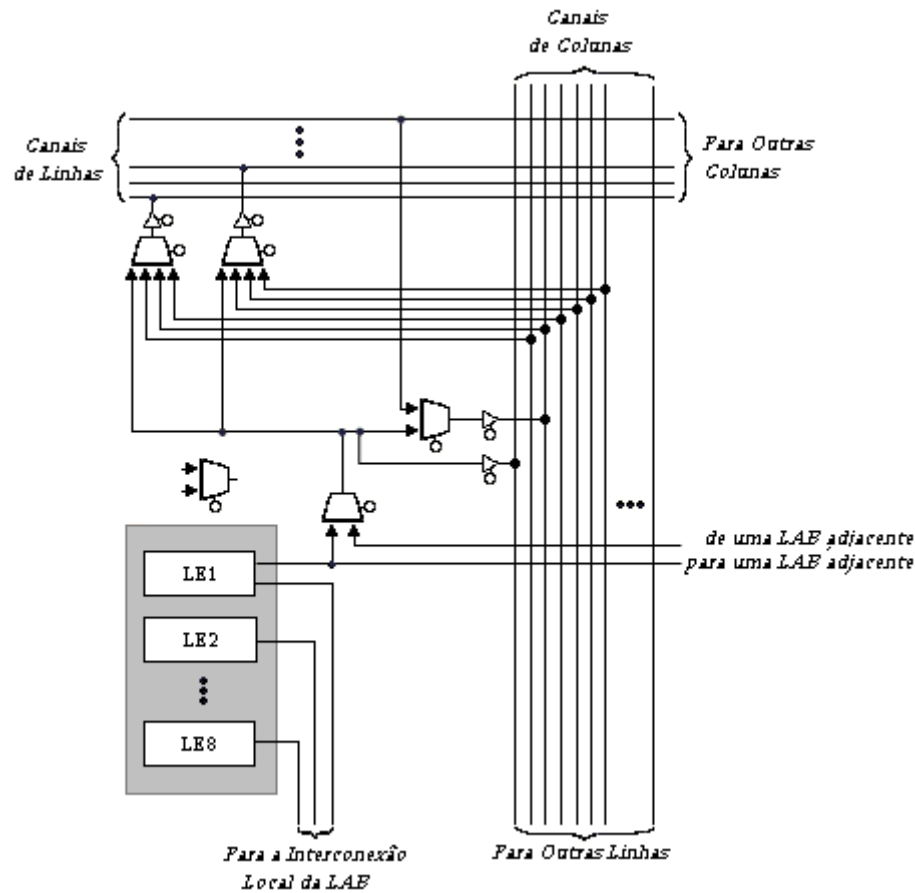


Fig. 3.8 – Detalhe da conexão entre Elementos Lógicos. (fonte:Altera)

3.3.5 - O ELEMENTO DE E/S (IOE)

O elemento de E/S (IOE) contém um *buffer* bidirecional de E/S e um registrador que pode ser utilizado tanto como um registrador de entrada para dados externos quanto como um registrador de saída para sinais internos. Portanto, os Elementos de E/S são utilizados como terminais de entrada, saída ou bidirecionais. Para o uso bidirecional, o registrador de um elemento lógico adjacente ao terminal bidirecional habilita a entrada e saída de dados. O compilador inverte os sinais provenientes das interconexões de linhas e colunas quando apropriado.

3.3.5.1 - CONEXÕES ENTRE LINHAS E ELEMENTOS DE E/S

Quando um elemento de E/S (IOE) é usado como sinal de entrada, ele pode acionar dois canais de linhas. O sinal é acessível a todos os elementos lógicos daquela linha. Quando usado como saída, o IOE é acionado por um multiplexador que seleciona o sinal proveniente dos canais de linhas. Até oito Elementos de E/S se conectam em cada lado de cada canal de linhas. A Fig. 3.9 mostra a conexão entre linhas e um elemento de E/S.

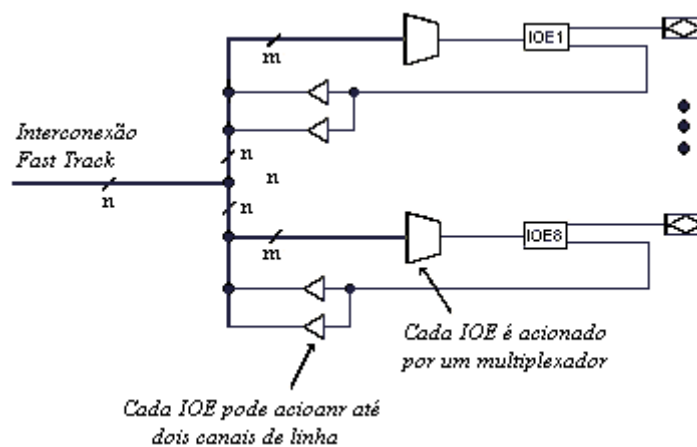


Fig. 3.9 – A conexão entre linhas e um elemento de E/S. (Fonte: Altera)

3.3.5.2 - CONEXÃO ENTRE COLUNAS E ELEMENTOS DE E/S

Quando um elemento de E/S é usado como entrada, ele se conecta a dois canais de colunas separados. Quando usado como saída, o IOE é acionado por um multiplexador que seleciona o sinal proveniente dos canais de colunas. Dois elementos de E/S se conectam a cada lado dos canais de colunas. Cada IOE pode ser acionado por canais de colunas através de um multiplexador. A quantidade de canais de colunas que cada IOE pode acessar é diferente para cada IOE. A Fig. 3.10 mostra a conexão entre colunas e um elemento de E/S.

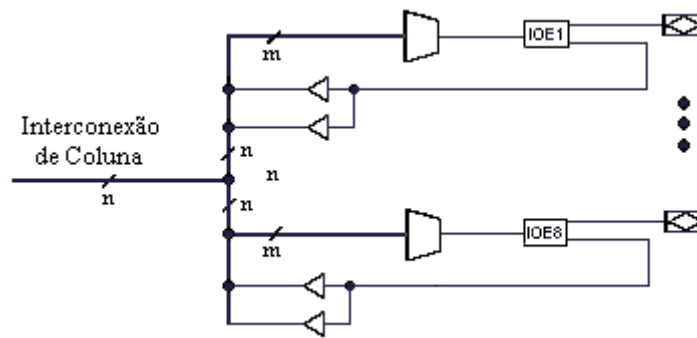


Fig. 3.10 – Conexão entre colunas e um Elemento de E/S. (Fonte: Altera).

3.3.6 - CONFIGURAÇÃO DOS TERMINAIS DE SAÍDA

Assim como outras famílias de dispositivos FPGA da Altera, os dispositivos da família FLEX 10K permitem a configuração da interconexão com os componentes periféricos. As opções são: controle de *slew-rate*, saída dreno aberto e interface multivoltagem. As duas primeiras opções podem ser definidas terminal a terminal. Já a interface multivoltagem é controlada conectando-se o terminal VCCIO com uma tensão diferente da do terminal VCCINT. Seu efeito pode ser simulado no programa Quartus II

3.3.6.1 - CONTROLE DE *SLEW RATE*

O buffer de saída de cada Elemento de E/S possui um *slew rate* de saída ajustável que pode ser configurado de acordo com o interesse do projeto: um menor ruído ou maior performance. Um *slew rate* menor reduz o ruído do sistema e acrescenta um atraso de no máximo 2,9 ns. Já um *slew rate* mais rápido deve ser usado quando a velocidade dos sinais de saída é importante e o circuito está adequadamente protegido contra ruído. A definição de *slew rate* é feita terminal a terminal durante o projeto ou pode ser também definido um padrão de *slew rate* para todos os terminais. A definição de *slew rate* afeta somente a descida do sinal.

3.3.6.2 - SAÍDA A DRENO ABERTO

Os dispositivos da família FLEX 10K possuem a opção de saída a dreno aberto (eletricamente equivalente a coletor aberto) em cada terminal de E/S. Os terminais com saída a dreno aberto, desde que conectados a alimentação por um resistor *pull-up*, podem acionar entradas CMOS. Este tipo de saída nunca aciona um nível alto, somente baixo ou *tri-state*. O tempo de subida do sinal depende do valor do resistor de *pull-up* e da impedância d carga. O nível da corrente IOL (12mA para o EPF10K10LC84-4) deve ser também considerado na escolha do resistor de *pull-up*.

3.3.6.3 - INTERFACE MULTIVOLTAGEM

A arquitetura dos componentes da família FLEX 10K suporta uma interface multivoltagem, o que permite ao dispositivo se conectar a periféricos de tensões diferentes. Os dispositivos possuem terminais de alimentação para a lógica interna e *buffers* de entrada (VCCINT) e terminais de alimentação para os acionadores de saída (VCCIO).

3.4 - CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados o dispositivo FPGA e a família FLEX 10K da Altera, devido ao fato de o dispositivo escolhido para controlar o circuito *ballast* Eletrônico pertencer a esta família.

A FLEX 10K foi detalhada a partir de seus principais componentes: o Bloco de Arranjo Embarcado (EAB), o Bloco de Arranjo Lógico (LAB), o Elemento Lógico (LE), o Elemento de E/S (IOE) e a Interconexão *FastTrack*. Além disso, as alternativas possíveis para configuração dos terminais de saída através de software foram detalhadas.

CAPÍTULO 4

REATOR ELETRÔNICO PARA ACIONAMENTO DE LÂMPADAS DE ALTA INTENSIDADE DE DESCARGA

4.1 - CONSIDERAÇÕES INICIAIS

O circuito *ballast* eletrônico para acionamento de lâmpadas HID deve ser capaz de fornecer os níveis corretos de tensão e corrente em cada etapa de operação das mesmas utilizando a menor quantidade de componentes. Os seguintes aspectos devem ser considerados na escolha da topologia de um reator eletrônico:

- primeiramente, devido ao fato de em certos momentos a impedância vista pelo reator apresentar uma redução significativa quando a lâmpada inicia sua operação, a mesma não deve ser alimentada por uma fonte de tensão. Portanto, um elemento reativo deve ser colocado entre a tensão proveniente da rede e a lâmpada [31];
- como descrito no Capítulo 2, durante a ignição um pulso de alta tensão deve ser aplicada nos eletrodos da lâmpada para iniciar o processo de ionização do gás interno. O circuito de ignição deve ser capaz de prover tal pulso sem causar esforços maiores que os suportados pelos demais componentes do reator;
- buscando um desgaste uniforme de seus eletrodos, as lâmpadas HID devem ser operadas em corrente alternada. Porém, quando operadas em alta frequência (acima de

1kHz), as mesmas apresentam o fenômeno denominado ressonância acústica, que causa a flutuação do arco, resultando na cintilação da lâmpada ou até mesmo sua extinção [10]. Portanto, a lâmpada deve ser suprida por um circuito *ballast* que opere em uma frequência onde não ocorra a ressonância acústica.

A Fig. 4.1 mostra o esquema básico de um circuito *ballast* para acionamento de lâmpadas.

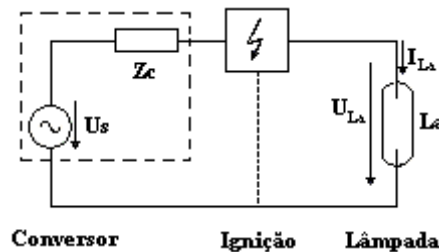


Fig. 4.1 – Esquema básico de um circuito *ballast* para acionamento de lâmpadas.

Este capítulo apresenta os parâmetros para a escolha de uma topologia para acionamento de lâmpadas HID. Ao final, a análise qualitativa do conversor escolhido é realizada.

4.2 - RESSONÂNCIA ACÚSTICA

O acionamento de lâmpadas HID a alta frequência – de alguns quilohertz a algumas centenas de quilohertz – faz aparecer o problema da ressonância acústica. Ela ocorre quando a densidade espectral da potência que viaja no interior da lâmpada se estende por uma faixa maior que a permitida. A ressonância acústica causa vários problemas, como instabilidade do arco, variação na luminosidade e na temperatura da cor proveniente da lâmpada e até mesmo a extinção do arco. Em alguns casos, pode ocorrer inclusive a ruptura física do tubo.

Algumas soluções para a supressão da ressonância acústica são apresentadas a seguir:

1. acionar a lâmpada em uma frequência dentro da janela livre de ressonância [6]. É uma solução possível mas complexa, uma vez que, como a ressonância acústica se relaciona com a geometria da câmara de descarga e parâmetros do gás presente na lâmpada, a janela livre de ressonância é diferente para cada lâmpada;
2. alimentar a lâmpada com corrente quadrada de baixa frequência ($<1\text{kHz}$) [16] [14] [30].
A ressonância acústica acontece somente em operação em alta frequência;
3. modulação da frequência de comutação ou do ângulo de fase [4] [12] [11]. Isto expande o espectro de potência da lâmpada. Entretanto, este método não funciona todas as vezes com todas as lâmpadas [7];
4. alimentar a lâmpada com uma corrente quadrada de alta frequência [23]. Os problemas relacionados a essa solução são a dificuldade em se obter uma onda quadrada perfeita e a baixa eficiência obtida com este método;
5. operação a uma frequência mais elevada (500kHz ou mais) [33], acima da faixa de ressonância acústica das lâmpadas HID;
6. Operar a lâmpada com corrente senoidal superposta pela terceira harmônica [1].

Alimentar a lâmpada com corrente CC também evita a ressonância acústica, mas esta solução resultaria na redução drástica de sua vida útil devido à deterioração dos eletrodos, e somente em lâmpadas especiais este procedimento pode ser adotado [15].

4.3 - O CIRCUITO DE IGNIÇÃO

A ignição de lâmpadas HID, devido à necessidade de pulsos de elevada tensão, é sempre uma tarefa complicada e que deve ser levada em consideração na escolha da topologia do conversor *ballast* e também na frequência de operação. Isto porque o circuito de ignição é geralmente conectado em série com a lâmpada, não podendo, portanto, ser desconsiderado na etapa de regime permanente. Ao mesmo tempo, montar o circuito de ignição separado do resto do circuito também não é uma solução adequada [31]. Algumas opções já utilizadas em trabalhos anteriores serão mostradas a seguir.

4.3.1 - IGNIÇÃO POR PULSO

O método mais comum de partir lâmpadas HID é através de um pulso de ignição. Como mostrado na Fig. 4.2, o capacitor C_{pi} , previamente carregado com uma tensão de algumas centenas de volts, descarrega no enrolamento primário do transformador de pulso T_{pi} . Devido a sua grande relação de transformação, um pulso de alta tensão é gerado no enrolamento secundário, sendo aplicado na lâmpada.

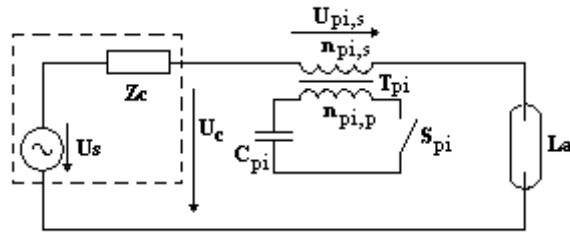


Fig. 4.2 – Circuito *ballast* com ignição por pulso.

O valor típico do enrolamento secundário do transformador de pulso é de alguns miliHenries, o que faz com que ele não possa ser desconsiderado durante a operação da lâmpada em alta frequência.

4.3.2 - IGNIÇÃO POR RESSONÂNCIA

Este circuito se baseia no circuito série ressonante para gerar uma tensão elevada. Durante a ignição, o conversor alimenta o circuito ressonante. Apenas dois elementos passivos, um capacitor e um indutor, devem ser adicionados ao circuito *ballast*, como mostra a Fig. 4.3. Esta é uma vantagem em relação à ignição por pulso, mas deve-se notar que neste caso dois componentes sofrerão esforços de tensão.

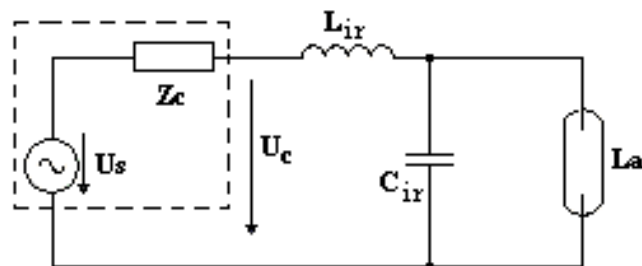


Fig. 4.3 – Circuito *ballast* com ignição por ressonância

Apesar da opção de o indutor L_{ir} em paralelo e o capacitor C_{ir} em série com a lâmpada ser também possível, o circuito mostrado na Fig. 4.3 é preferido pelo fato de a capacitância intrínseca da chave ser absorvida por C_{ir} .

4.3.3 - IGNIÇÃO POR TRANSFORMADOR RESSONANTE

A idéia por trás desta opção é combinar as vantagens das duas anteriores. Uma tensão elevada é obtida no circuito ressonante e depois elevada com o uso do transformador. O circuito é mostrado na Fig. 4.4.

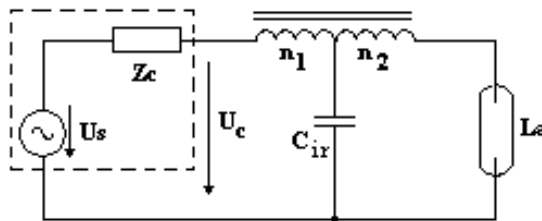


Fig. 4.4 – Circuito *ballast* com ignição por transformador ressonante.

4.4 - TOPOLOGIAS PARA O REATOR ELETRÔNICO

Buscando evitar o fenômeno da ressonância acústica e ao mesmo tempo prover alta eficiência a um baixo custo, várias topologias para circuitos *ballast* eletrônicos foram propostas. Algumas delas são descritas a seguir.

4.4.1 - CONVERSOR *BUCK* SEGUIDO DE UM INVERSOR EM PONTE COMPLETA

Esta topologia é uma junção da topologia *Buck* – um conversor CC-CC cuja característica é uma fonte de tensão na entrada e uma fonte de corrente na saída –, seguido de um inversor em ponte completa, responsável por realizar a conversão CC-CA, fornecendo corrente em forma de onda quadrada em baixa frequência à lâmpada HID [27].

Apesar de eficiente, esta topologia apresenta a desvantagem de conter uma grande quantidade de interruptores, além de exigir um indutor de filtro de grande valor, devido ao fato de não haver um filtro de tensão na saída.

A Fig. 4.5 mostra a topologia *Buck* seguida de um inversor em ponte completa.

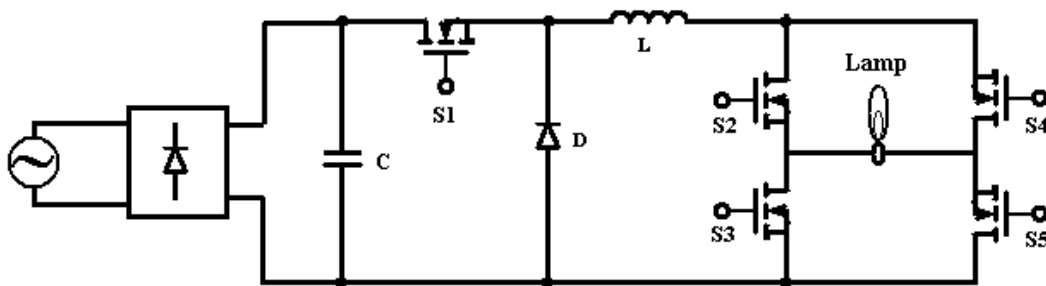


Fig. 4.5 – Topologia *Buck* seguida de um inversor em ponte completa.

Um melhoramento desta topologia é a inserção de um pré-regulador com correção de fator de potência, ou a troca da topologia *Buck* por outra que não contenha um capacitor na entrada, o que piora o fator de potência.

4.4.2 - INVERSOR EM PONTE COMPLETA

Nesta topologia o filtro de corrente é deslocado para dentro do inversor, sendo composta, portanto, por um único estágio. A lâmpada é alimentada com uma tensão alternada de alta frequência [7].

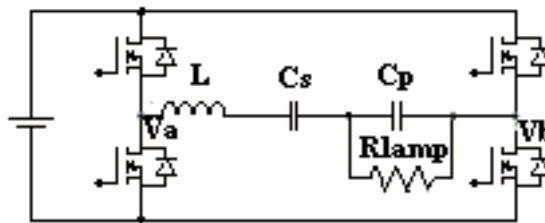


Fig. 4.6 – Circuito inversor em ponte completa para acionamento de lâmpadas HID.

4.4.3 - INVERSOR RESSONANTE CLASSE E

Nesta solução, um amplificador classe E alimenta a lâmpada com uma forma de onda senoidal a alta frequência, geralmente em torno de 1 MHz.

A topologia permite a simplicidade do circuito de controle, baseado em um circuito integrado PLL [28]. Como desvantagens, deve-se destacar a alta tensão de pico na chave inerente a topologia do circuito – em torno de 4 a 5 vezes a tensão de entrada. A alta frequência também torna necessária a comutação suave, que deve ser atingida em qualquer condição da carga. Isto é particularmente complexo para lâmpadas HID, cuja resistência varia em cada etapa de operação.

A Fig. 4.7 mostra o circuito *ballast* eletrônico baseado no Inversor ressonante Classe E.

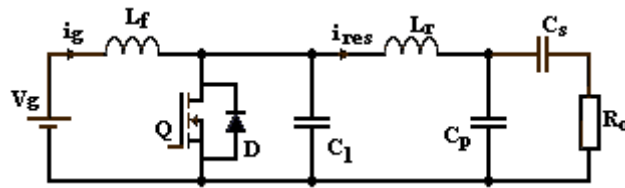


Fig. 4.7 – Circuito *ballast* eletrônico baseado no inversor ressonante classe E.

4.5 - O CIRCUITO ESCOLHIDO

A combinação a ser utilizada neste trabalho foi proposta em [27], e é composta por um circuito *Buck* seguido de um inversor a baixa frequência, juntamente com um circuito de ignição por pulso.

O diagrama esquemático do circuito escolhido é mostrado na Fig. 4.8.

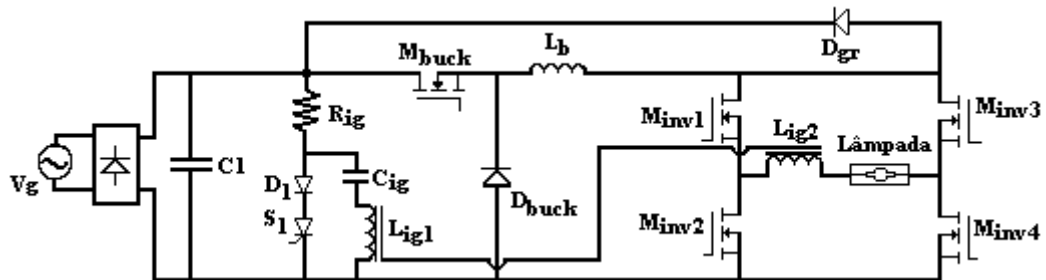


Fig. 4.8 – Esquemático do circuito escolhido.

A análise qualitativa do circuito será feita a partir dos três circuitos que compõem o circuito *ballast* proposto: o circuito *Buck*, o circuito inversor a ponte completa e o circuito de ignição.

4.5.1 - O CIRCUITO BUCK

O circuito *Buck* é constituído por uma fonte de tensão na entrada e uma de corrente na saída, e se caracteriza por fornecer uma tensão de saída sempre menor que a de entrada.

Devido a esta característica, a presença do capacitor C_1 é necessária para evitar que a tensão de entrada atinja um nível inferior à tensão de saída desejada.

Para a escolha do valor de capacitância, deve-se levar em conta os seguintes fatores: um valor de capacitor mais baixo resulta em uma maior variação (*ripple*) na tensão de entrada, ao mesmo tempo em que um valor mais alto prejudica o fator de potência na entrada do circuito.

Uma vez definido o nível mínimo desejado para a tensão de entrada no circuito *Buck*, a escolha do Capacitor C_1 é feita a partir de:

$$C_1 = \frac{P_o}{\eta \cdot f_{ac} (Vi_{pk}^2 - Vi_{min}^2)} \quad (4.1)$$

Onde:

P_o = potência na saída do conversor;

η = rendimento esperado do conversor;

f_{ac} = frequência do barramento CA;

Vi_{pk} = valor de pico para a máxima tensão de entrada;

Vi_{min} = tensão de entrada mínima requerida.

A operação do circuito *Buck* pode ser dividida em duas etapas, ambas mostradas na Fig. 4.9. Durante a primeira etapa (Fig. 4.9a) o interruptor M_{buck} é ligado, e a corrente flui a partir da fonte de tensão V_g , passando por M_{buck} , pelo indutor L_b e pela lâmpada, neste caso representada pela carga R_L . Na segunda etapa (Fig. 4.9b), M_{buck} é desligado e a corrente em L_b circula em roda livre através do diodo D_b .

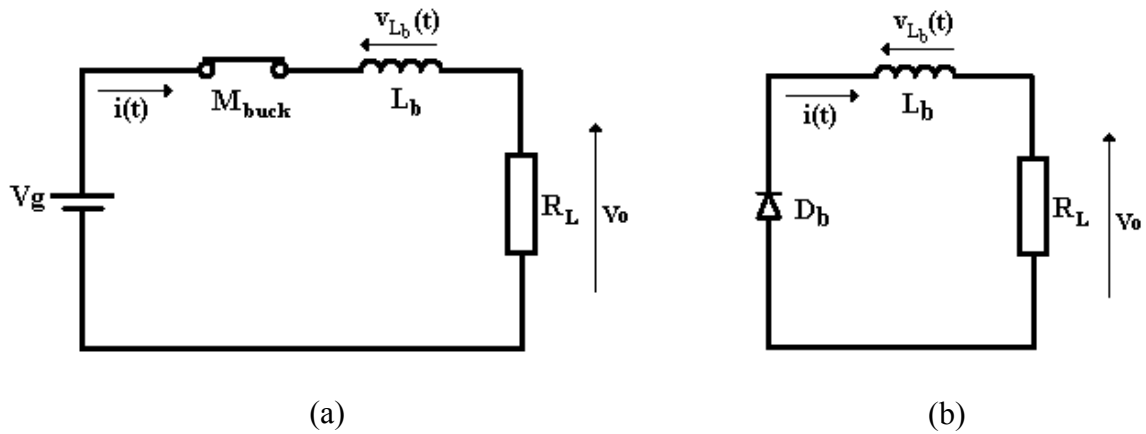


Fig. 4.9 – Circuito equivalente para cada uma das duas etapas de operação do conversor *Buck*.

A forma de onda da corrente no indutor – e conseqüentemente na lâmpada, é mostrada na Fig. 4.10.

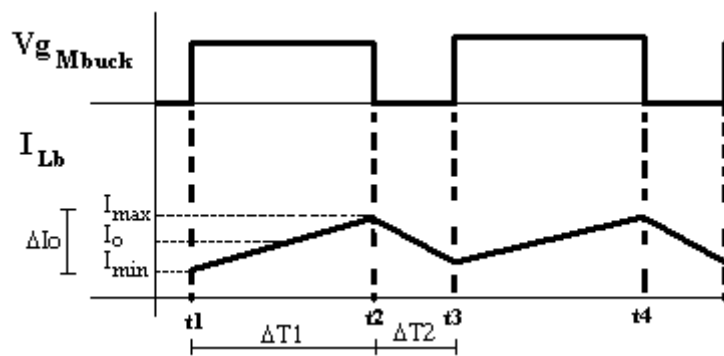


Fig. 4.10 – Formas de onda no circuito *Buck*.

Analisando o circuito, pode-se dizer que:

$$v_{Lb}(t) = L_b \cdot \frac{di_{Lb}}{dt} \quad (4.2)$$

Aplicando-se (4.2) para a primeira etapa, tem-se:

$$V_g - V_o = L_b \cdot \frac{I_{max} - I_{min}}{t_2 - t_1} = L_b \frac{\Delta I_o}{\Delta T_1} \quad (4.3)$$

Mas (4.3) pode também ser escrita como:

$$\Delta T_1 = \frac{\Delta I_o \cdot L_b}{V_g - V_o} \quad (4.4)$$

Já para a segunda etapa, (4.2) se torna:

$$-V_o = L_b \frac{I_{\min} - I_{\max}}{t_3 - t_2} = -L_b \frac{\Delta I_o}{\Delta T_2} \quad (4.5)$$

Mas (4.5) pode também ser escrita como:

$$\Delta T_2 = \frac{\Delta I_o \cdot L_b}{V_o} \quad (4.6)$$

O período de comutação pode ser escrito então como a soma dos períodos de cada etapa. Portanto:

$$T_s = \frac{1}{f_s} = \Delta T_1 + \Delta T_2 = \frac{\Delta I_o \cdot L_b}{V_g - V_o} + \frac{\Delta I_o \cdot L_b}{V_o} = \frac{\Delta I_o \cdot L_b \cdot V_g}{V_o (V_g - V_o)} \quad (4.7)$$

A partir de (4.7), tem-se a equação para determinação do indutor L_b , dada por

$$L_b = \frac{V_o (V_g - V_o)}{f_s \cdot \Delta I_o \cdot V_g} \quad (4.8)$$

Percebe-se que o valor de indutância é uma função da variação de corrente desejada. O valor percentual da corrente na lâmpada em relação ao seu valor médio deve ser menor que 5% para se evitar o fenômeno da ressonância acústica.

Com relação aos dispositivos semicondutores do circuito *Buck*, percebe-se que tanto o diodo D_{buck} quanto o MOSFET M_{buck} estão sujeitos ao mesmo esforço de tensão, ou seja à máxima tensão de entrada. Portanto:

$$V_{rev_{D_b}} = V_{M_{buck}} = V_{i_{pk}} \quad (4.9)$$

As correntes médias no diodo e no transistor são dadas por (4.10) e (4.11) respectivamente.

$$I_{Mbuck_{media}} = D_{max} \cdot I_o \quad (4.10)$$

$$I_{Db_{media}} = (1 - D_{min}) \cdot I_o \quad (4.11)$$

Onde D_{min} e D_{max} são a menor e a maior razão cíclica calculadas para a operação do conversor *Buck*.

4.5.2 - O CIRCUITO INVERSOR EM PONTE COMPLETA

O circuito inversor em ponte completa é composto pelos quatro interruptores responsáveis pela inversão no sentido da corrente na lâmpada, além do diodo de grampeamento D_{gr} , que assume a corrente do indutor durante o tempo morto de condução dos interruptores.

O maior valor de corrente no inversor ocorre durante o aquecimento, quando a corrente no inversor é mantida em um valor 50% maior que seu valor nominal. Já o maior valor de tensão acontece na etapa de regime permanente, quando a tensão atinge o valor nominal. Portanto, os esforços de corrente e tensão nos interruptores do circuito inversor são dados por (4.12) e (4.13), respectivamente.

$$I_{Minv_{max}} = 1,5 \cdot I_o \quad (4.12)$$

$$V_{Minv_{max}} = V_o \quad (4.13)$$

4.5.3 - O CIRCUITO DE IGNIÇÃO

O circuito de ignição é composto pelo resistor R_{ig} , pelo tiristor S_{ig} , pelo diodo D_{ig} , pelo capacitor C_{ig} e pelos indutores acoplados L_{ig1} e L_{ig2} . As principais formas de onda do circuito de ignição são mostradas na Fig. 4.11.

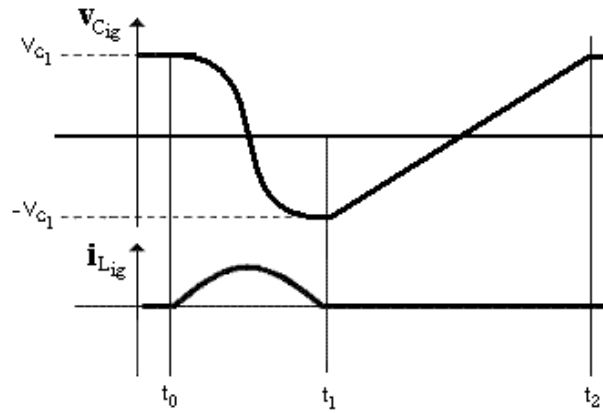


Fig. 4.11 – Formas de onda teóricas do circuito de Ignição.

Os pulsos de ignição são obtidos através do Circuito de Ignição da seguinte forma:

1. com o capacitor C_{ig} previamente carregado, o tiristor S_{ig} dispara em t_0 , iniciando a ressonância entre L_{ig1} e C_{ig} ;
2. durante o intervalo de tempo entre t_0 e t_1 , o pulso de tensão gerado em C_{ig} devido à ressonância se reflete em L_{ig2} a uma amplitude maior. No período de duração do pulso, o diodo D_{gr} conduz, grampeando a tensão sobre os interruptores do inversor.
3. no instante t_1 a ressonância é bloqueada pelo diodo e o capacitor C_{ig} passa a se carregar através do barramento CC.
4. em t_2 , C_{ig} está novamente carregado e o processo para obtenção de um pulso de sobretensão pode ser iniciado novamente.

A relação de espiras nos indutores acoplados é definida como a relação entre a tensão de ignição da lâmpada V_{ig} e a tensão no capacitor C_{ig} . Portanto:

$$\eta_{ia} = \frac{V_{ig}}{V_g} \quad (4.14)$$

Para compensar as perdas de energia nas indutâncias parasitas, é aconselhável aumentar de 25% a 50% a relação de espiras encontrada em (4.14).

A indutância L_{ig2} é obtida através da relação de espiras da seguinte forma:

$$L_{ig2} = \eta_{ia}^2 \cdot L_{ig1} \quad (4.15)$$

A duração do pulso de ignição t_{pulso} é igual à metade do intervalo de tempo compreendido entre t_0 e t_1 . Este intervalo de tempo corresponde a um quarto do período de ressonância entre o indutor L_{ig1} e o capacitor C_{ig} . Portanto:

$$t_{pulso} = \frac{\pi \sqrt{L_{ig} \cdot C_{ig}}}{2} \quad (4.16)$$

O pulso de ignição deve ocorrer com o capacitor C_{ig} totalmente carregado com tensão igual a do barramento CC. Portanto, o intervalo de tempo entre t_1 e t_2 pode ser aproximado por:

$$t_{12} = 10R_{ig} \cdot C_{ig} \quad (4.17)$$

A frequência dos pulsos de ignição f_{ig} é definida por:

$$f_{ig} = \frac{1}{2t_{pulso} + t_{12}} \quad (4.18)$$

Substituindo as equações (4.16) e (4.17) na equação (4.18) chega-se a :

$$f_{ig} = \frac{1}{\pi \sqrt{L_{ig} \cdot C_{ig}} + 10 R_{ig} \cdot C_{ig}} \quad (4.19)$$

Para que C_{ig} seja carregado com tensão do barramento CC, a partir da equação (4.19), encontra-se:

$$R_{ig} < \frac{1 - f_{ig} \cdot \pi \sqrt{L_{ig} \cdot C_{ig}}}{10 \cdot C_{ig} \cdot f_{ig}} \quad (4.20)$$

4.6 - CONSIDERAÇÕES FINAIS

Este capítulo apresentou algumas topologias utilizadas para acionar lâmpadas HID, assim como as opções para circuitos de ignição. O problema da ressonância acústica foi levantado, e algumas soluções propostas em trabalhos anteriores foram descritas.

Ao final do capítulo, foi apresentado o circuito *ballast* a ser utilizado neste trabalho. A análise qualitativa do circuito foi demonstrada e as equações para a determinação dos principais componentes do circuito foram descritas.

CAPÍTULO 5

CONTROLE DO REATOR ELETRÔNICO UTILIZANDO UM DISPOSITIVO FPGA

5.1 - CONDIÇÕES INICIAIS

O controle dos parâmetros de saída em um conversor em modo comutado pode ser feito através da Modulação por Largura de Pulso (PWM, em inglês). Nesta modulação, procura-se manter um dos parâmetros de saída em um valor desejado ajustando-se a razão cíclica, ou seja, a porcentagem de tempo que o interruptor do circuito conduz durante um período de comutação.

É possível monitorar a operação de uma lâmpada HID tendo-se a corrente de saída como único parâmetro de controle. Durante a fase de aquecimento, a lâmpada HID necessita de uma alimentação a corrente constante, uma vez que a impedância da lâmpada aumenta à medida que ela se aquece. Uma vez atingido o regime permanente, o controle do conversor deve fornecer energia a uma potência constante, compensando variações de impedância devido ao envelhecimento da lâmpada. Nesta fase, portanto, o reator eletrônico deve fornecer à lâmpada corrente constante cujo nível resulte no valor nominal de potência.

Este capítulo apresenta o projeto do controle do circuito *ballast* proposto para o acionamento de lâmpadas HID e a sua implementação em um dispositivo FPGA da família FLEX 10K, da Altera™.

O projeto de um sistema de controle em malha fechada utilizando as técnicas de controle clássico é constituído pelas seguintes etapas: modelamento do circuito, definição dos parâmetros, análise da estabilidade e simulação do controle [21]. Como o controle é feito por

um dispositivo digital, há ainda a necessidade de se discretizar o modelo calculado, operação que depende de parâmetros que serão definidos posteriormente. Dessa forma, somente o modelamento analógico é apresentado neste capítulo.

5.2 - MODELO DE PEQUENOS SINAIS [9]

O primeiro passo no projeto do controlador é o modelamento de pequenos sinais do conversor. Como descrito do Capítulo 4, o circuito *Ballast* proposto, sem o circuito de Ignição, é constituído por um circuito *Buck* seguido de um inversor em ponte completa, como mostrado na Fig. 5.1.

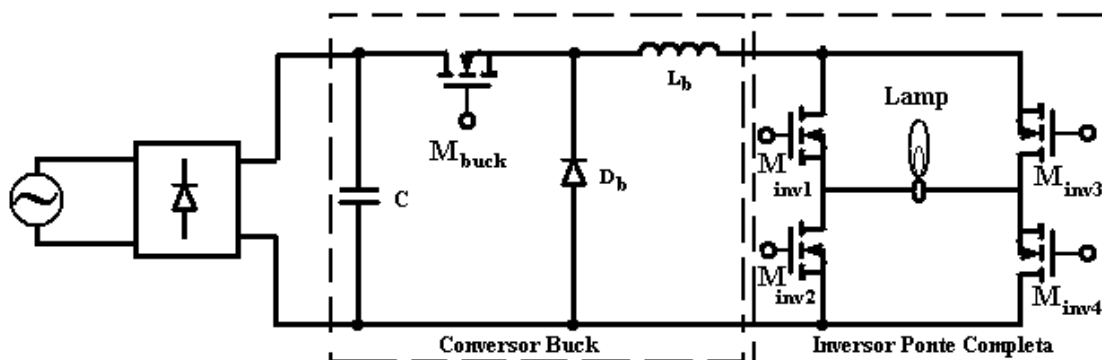


Fig. 5.1 – Conversor *ballast* proposto.

Embora o circuito possua cinco interruptores, o controlador atua apenas no interruptor M_{buck} . Os sinais de *gate* dos interruptores do inversor em ponte completa, responsáveis por alternar direção da corrente, não são modulados; o controlador enxerga o circuito como um conversor *Buck*.

A equação para a corrente de saída em regime permanente para o circuito *Buck*, mostrada em (5.1), é amplamente conhecida e não será demonstrada. A análise de pequenos

sinais permite prever o quanto a corrente de saída será afetada pela variação de algum dos parâmetros do circuito.

$$I_o = \frac{V_o}{R_L} = \frac{DV_g}{R_L} \quad (5.1)$$

De acordo com (5.1), pode-se perceber que a corrente de saída é alterada quando qualquer um dos seguintes parâmetros varia: razão cíclica (D), tensão de entrada (V_g) ou resistor de carga (R_L). No caso analisado, R_L será considerada constante já que a resistência da lâmpada varia a uma frequência muito menor que a comutação.

A análise de pequenos sinais deve ser feita a partir das duas posições que o interruptor M_{buck} pode assumir. Assim como no capítulo anterior, o circuito equivalente em cada etapa de operação do conversor é mostrado na Fig. 5.2 e as equações que regem o comportamento da tensão no indutor nas etapas 1 e 2 são dadas por (5.2) e (5.3), respectivamente.

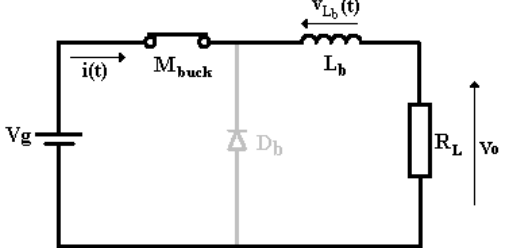
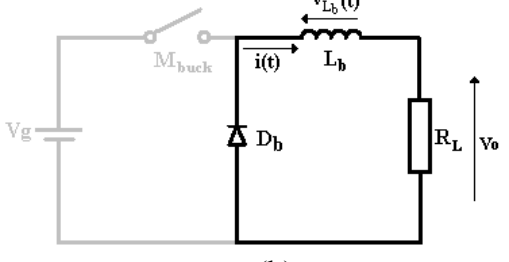
 <p style="text-align: center;">(a)</p>	<p>Equação da tensão sobre o indutor para o interruptor ligado:</p> $v_{L_b}(t) = L_b \frac{di(t)}{dt} = v_g(t) - R_L \cdot i(t) \quad (5.2)$
 <p style="text-align: center;">(b)</p>	<p>Equação da tensão sobre o indutor para com o interruptor desligado:</p> $v_{L_b} = L_b \frac{di_{L_b}}{dt} = -R_L \cdot i(t) \quad (5.3)$

Fig. 5.2 – Etapas do conversor *Buck*.

onde:

$i(t)$ = corrente no indutor;

$v_{L_b}(t)$ = tensão no indutor;

$v_g(t)$ = tensão da fonte;

R_L = resistência equivalente da lâmpada.

O valor médio da tensão sobre indutor, indicado pela notação $\langle \cdot \rangle$, é obtido a partir da integral durante todo o período de comutação, como mostrado em (5.4).

$$\langle v_{L_b}(t) \rangle = L_b \frac{d \langle i_{L_b}(t) \rangle}{dt} = \frac{1}{T_s} \left\{ \int_{t_0}^{t_1} [v_g(t) - R_L \cdot i(t)] \cdot dt - \int_{t_1}^{t_2} [R_L \cdot i(t)] \cdot dt \right\} \quad (5.4)$$

Resolvida, a integral se torna:

$$\langle v_L(t) \rangle = L_b \frac{d \langle i_{L_b}(t) \rangle}{dt} = d(t) \cdot (\langle v_g(t) \rangle - R_L \langle i(t) \rangle) + d'(t) \cdot (-R_L \langle i(t) \rangle) \quad (5.5)$$

Onde:

$d(t)$ = razão cíclica;

$d'(t) = 1 - d(t)$

Pode-se simplificar (5.5) até que se torne:

$$L_b \frac{d \langle i_{L_b}(t) \rangle}{dt} = d(t) \cdot \langle v_g(t) \rangle - R_L \langle i(t) \rangle \quad (5.6)$$

Em regime permanente, pode-se dividir cada uma destas variáveis em duas componentes: um valor constante e uma variação AC de pequena magnitude:

$$\begin{aligned} \langle i(t) \rangle_{T_s} &= I + \hat{i}(t) \\ \langle v_g(t) \rangle_{T_s} &= V_g + \hat{v}_g(t) \\ \langle d(t) \rangle_{T_s} &= D + \hat{d}(t) \end{aligned} \quad (5.7)$$

Inserindo-se (5.7) em (5.6), obtém-se:

$$L_b \frac{d(I + \hat{i}(t))}{dt} = (D + \hat{d}(t)) \cdot (V_g + \hat{v}_g(t)) - R_L (I + \hat{i}(t)) \quad (5.8)$$

Após simplificação matemática, torna-se:

$$L_b \left(\frac{dI}{dt} + \frac{d\hat{i}(t)}{dt} \right) = \underbrace{DV_g - R_L I}_{DC} + \underbrace{D\hat{v}_g(t) + V_g \hat{d}(t) - R_L \hat{i}(t)}_{1a.Ordem} + \underbrace{\hat{v}_g \hat{d}(t)}_{2a.Ordem} \quad (5.9)$$

A equação contém em seu braço direito três tipos de termos:

1. Termos CC – contêm somente um valor CC.
2. Termos de Primeira ordem – são funções lineares das variações CA.
3. Termos de Segunda ordem – não são lineares, pois são produtos de multiplicações de quantidades CA. Estes termos serão desconsiderados nesta análise.

A partir das equações de regime permanente para o conversor *Buck*, apresentadas em (5.1), os termos lineares de primeira ordem remanescentes são, portanto:

$$L_b \frac{d\hat{i}(t)}{dt} \cong D\hat{v}_g(t) + V_g \hat{d}(t) - R_L \hat{i}(t) \quad (5.10)$$

Tem-se, então, a variação da corrente na carga pelas variações da razão cíclica e da tensão de entrada. Aplicando-se a transformada de Laplace em (5.10), tem-se:

$$L_b s \hat{I}(s) = D \hat{V}_g(s) + V_g \hat{D}(s) - R_L \hat{I}(s) \quad (5.11)$$

Portanto, (5.12) representa a variação da corrente de saída pelas variações da tensão de entrada e da razão cíclica.

$$\hat{I}(s) = \frac{D}{L_b s + R_L} \hat{V}_g(s) + \frac{V_g}{L_b s + R_L} \hat{D}(s) \quad (5.12)$$

Mantendo-se a tensão de entrada constante, obtém-se a variação da corrente de saída pela variação da razão cíclica, dado por (5.13). Esta equação também representa a planta do sistema enxergada pelo controlador.

$$G_{ID} = \left. \frac{\hat{I}(s)}{\hat{D}(s)} \right|_{\hat{V}_g(s)=0} \cong \frac{V_g}{L_b s + R_L} \quad (5.13)$$

Deve-se levar em conta que esta equação é uma representação simplificada do sistema, uma vez que alguns parâmetros, tais como resistências e indutâncias parasitas foram omitidas nesta análise.

5.3 - DIAGRAMA DE BLOCOS DO CIRCUITO DE CONTROLE

O diagrama de blocos do circuito é mostrado na Fig. 5.3. Além da equação que define a planta, ainda compõem o diagrama o compensador proporcional-integral (PI), o Modulador PWM e o ganho de realimentação.

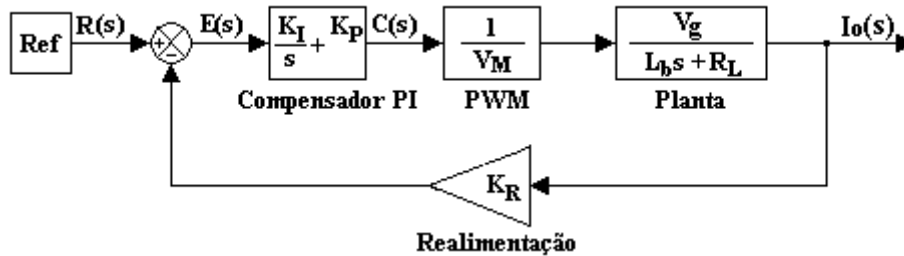


Fig. 5.3 – Diagrama de blocos do circuito

Onde:

K_p = constante proporcional;

K_i = constante integral;

K_R = constante de realimentação;

V_M = tensão de comparação do modulador PWM.

O fato de se estar trabalhando com um dispositivo digital para o controle do circuito torna necessária discretização do modelo calculado até aqui. Como é bem sabido, o controlador digital amostra os sinais necessários ao controle em intervalos especificados e os retém durante este intervalo. Deve-se, portanto, inserir no diagrama de blocos um amostrador-extrapolador de ordem zero (zoh) [20], que pode ser modelado matematicamente por (5.14).

$$Gh(s) = \frac{1 - e^{-T_A s}}{s} \quad (5.14)$$

Onde T_A é a taxa de amostragem do sistema. O novo diagrama de blocos é mostrado na Fig. 5.4.

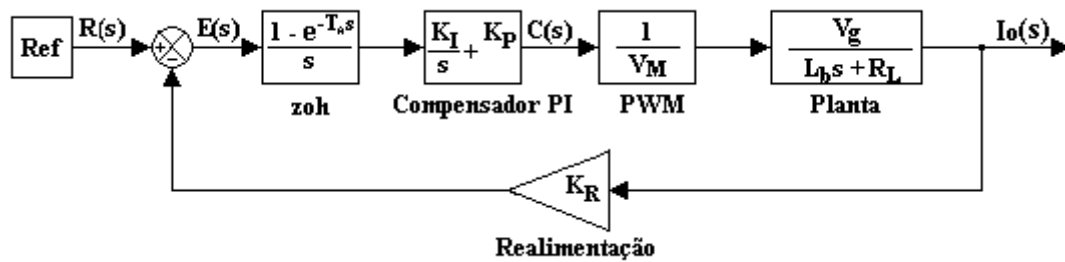


Fig. 5.4 – Diagrama de blocos após a inserção do *zoh*.

A análise mais profunda do controle é mostrada no próximo capítulo, onde já estão definidos os parâmetros do circuito de potência. Por esse motivo, os valores para os ganhos proporcional e integral são provisoriamente mantidos como incógnitas durante a implementação do controle, mostrada a partir da próxima seção.

5.4 - IMPLEMENTAÇÃO DO CONTROLE EM UM DISPOSITIVO FPGA

Para realizar o controle do circuito *ballast* para acionamento de lâmpadas HID, foi selecionado o dispositivo EPF10K10LC84-4, pertencente à família FLEX10K, da Altera. O

dispositivo possui 59 terminais de E/S, 72 blocos de arranjos lógicos e 3 blocos de arranjos embarcados. As demais características do dispositivo podem ser encontradas no Apêndice B.

O dispositivo de controle recebe sinais digitalizados dos sensores, que monitoram três parâmetros do circuito *Ballast*: tensão de entrada, tensão de saída e corrente de saída. Através desses sinais, o dispositivo FPGA calcula o sinal para o interruptor M_{buck} .

5.4.1 - OBJETIVOS DO CONTROLE

A corrente de saída é a única grandeza controlada pelo dispositivo FPGA durante todas as etapas de operação da lâmpada. Entretanto, o valor de referência se altera conforme os valores fornecidos pelo sensor. Para uma operação correta da lâmpada HID, o dispositivo deve, portanto:

1. Durante a primeira etapa de operação – ignição –, fornecer pulsos periódicos para o tiristor do circuito de ignição. Esta etapa termina quando a lâmpada for considerada acesa.
2. Durante a segunda etapa – aquecimento –, controlar a corrente de saída em um valor de referência maior que o valor de corrente nominal. Esta etapa se encerra quando a potência na lâmpada atingir o valor nominal.
3. Durante a terceira etapa – regime permanente –, manter a potência na lâmpada constante, alterando o valor de referência da corrente de saída de acordo com o valor de tensão de entrada lido. Esta etapa se encerra quando a lâmpada é desligada.

4. Durante todas as etapas, fornecer pulsos de baixa frequência para os interruptores do circuito inversor.

A Fig. 5.5 mostra um diagrama das etapas do controle.

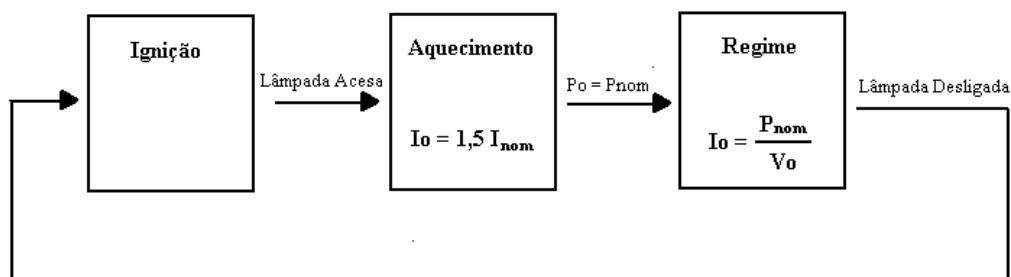


Fig. 5.5 – Diagrama das etapas de controle.

5.4.2 - ESTRUTURA DO CIRCUITO DE CONTROLE

A arquitetura interna de um dispositivo FPGA permite a estruturação do controle em Blocos, cada qual com seus terminais de E/S e sua lógica interna. Para o projetista, esta opção é bastante útil uma vez que permite a implementação e simulação de cada bloco individualmente, facilitando a procura por erros no programa. A estrutura interna do controle dentro do dispositivo FPGA, na forma de blocos, é mostrada na Fig. 5.6, e cada um deles é descrito a seguir.

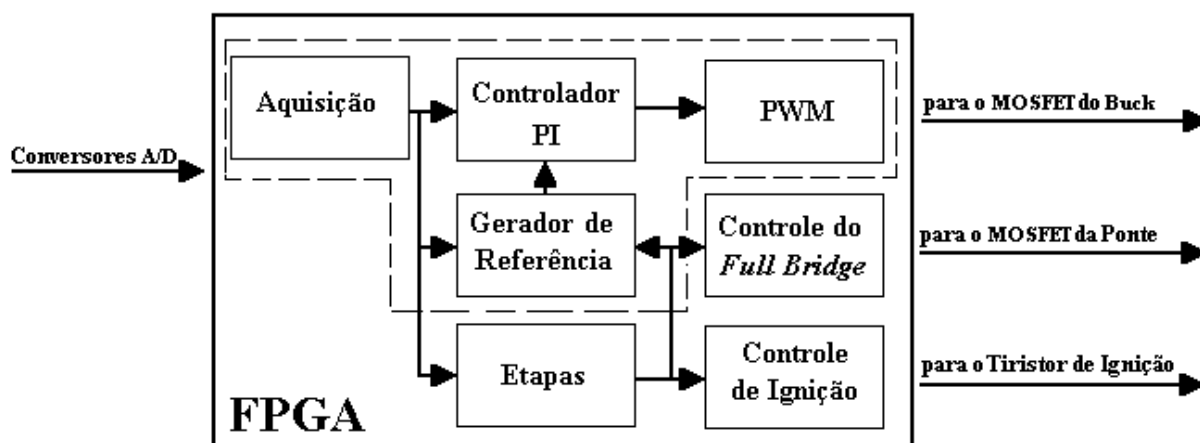


Fig. 5.6 – Estrutura interna do controle dentro do dispositivo FPGA.

5.4.2.1 - BLOCO DE AQUISIÇÃO DE SINAIS

Este bloco recebe os sinais digitalizados lidos pelos sensores e os retém, repassando-os aos demais blocos a cada período de amostragem. No diagrama de blocos, este bloco corresponde ao amostrador-extrapolador de ordem zero para o sinal de corrente de entrada.

5.4.2.2 - BLOCO GERADOR DE REFERÊNCIA

Este bloco é responsável por fornecer o valor de referência para o controlador proporcional-integral. Durante a fase de aquecimento da lâmpada, o bloco fornece um valor de referência fixo com um valor maior que a corrente nominal da lâmpada. Assim que entra em regime permanente, o valor de referência varia de forma a manter o valor nominal de potência na lâmpada. O bloco encontra o valor correto em uma tabela de valores pré-gravados, endereçado pelo valor lido da tensão de saída. Visando a otimização da capacidade lógica do dispositivo, a tabela de valores foi implementada em um dos blocos de arranjo embarcado (EAB) disponíveis no dispositivo FPGA..

5.4.2.3 - BLOCO ETAPAS

Este bloco é responsável por definir a etapa atual de operação da lâmpada. De acordo com os valores fornecidos pelo bloco de aquisição de sinais, o bloco Etapas pode assumir um dos quatro estados a seguir:

- *Stand-by* – Este modo se inicia assim que o conversor é energizado, permanece enquanto o capacitor de entrada estiver se carregando, e termina quando a tensão de entrada atingir um valor satisfatório para o início dos pulsos de ignição.
- Etapa 1 (Ignição) – Neste modo, o bloco de Ignição é acionado, e assim permanece até que a corrente na lâmpada atinja um nível em que a lâmpada pode ser considerada acesa.
- Etapa 2 (Aquecimento) – Neste modo, o valor da tensão de saída é lido constantemente até que atinja o valor correspondente à potência nominal. Neste momento, a Etapa 3 se inicia.
- Etapa 3 (Regime Permanente) – Neste modo, a tabela de valores para a referência de corrente é ativada. Se durante esta etapa de operação a tensão de entrada ou a corrente na lâmpada diminuïrem de um certo nível, a acionamento de lâmpada é interrompido e o sistema volta ao modo *stand-by*.

5.4.2.4 - BLOCO DO COMPENSADOR PI

Para se comportar como um compensador proporcional-integral, é preciso encontrar o algoritmo numérico que o dispositivo de controle deverá usar. O bloco compensador recebe o sinal de erro $e(n)$ e devolve o sinal após a compensação $c(n)$. Para se chegar ao valor da

equação discreta do compensador, a equação de um controlador PI deverá ser analisada primeiramente.

A equação de um controlador PI contínuo no tempo é dada por:

$$c(t) = K_p \cdot e(t) + K_i \cdot \int e(t) \cdot dt \quad (5.15)$$

Onde $e(t)$ é função do erro no tempo. Mas a integral de uma função representa também a área no gráfico. Se considerarmos a função $e(t)$ constante durante um período de amostragem, tem-se que a integração numérica desta função é:

$$\int_0^{nT} e(t) dt = \sum_{k=0}^n e(kT_A) \cdot T_A \quad (5.16)$$

Discretizando-se (5.15) e adicionando-se (5.16), tem-se que:

$$c(n) = K_p e(n) + K_i \sum_{k=0}^n e(kT_A) \cdot T_A \quad (5.17)$$

Que também pode ser escrita da seguinte forma:

$$c(n) = K_p \cdot e(n) + K_i \cdot e(n) \cdot T_A + K_i \cdot \sum_{k=0}^{n-1} e(kT_A) \cdot T_A \quad (5.18)$$

Considerando-se que:

$$c(n-1) = K_p \cdot e(n-1) + K_i \cdot \sum_{k=0}^{n-1} e(kT_A) \cdot T_A \quad (5.19)$$

E substituindo-se (5.19) em (5.18) tem-se que:

$$c(n) = c(n-1) + (K_p + K_i \cdot T_A) \cdot e(n) - K_p e(n-1) \quad (5.20)$$

Que representa a equação a ser utilizada pelo compensador digital, onde $c(n)$ e $c(n-1)$ representam respectivamente as saídas atual e anterior do compensador e $e(n)$ e $e(n-1)$ representam o valor de erro atual e anterior.

Portanto, dentro do Bloco do Compensador PI estão as operações de multiplicação e adição necessárias para a compensação da corrente de saída. A saída do bloco é um número binário de 8 bits, correspondente a razão cíclica a ser fornecida ao interruptor M_{buck} .

5.4.2.5 - BLOCO PWM

Este bloco recebe o sinal binário do Compensador PI e o transforma em um pulso de frequência fixa, com razão cíclica proporcional ao valor recebido.

5.4.2.6 - CONTROLE DA PONTE INVERSORA

Este bloco não recebe sinal de nenhum sensor. Sua função é fornecer os pulsos para os interruptores da ponte para que a corrente se alterne na lâmpada.

5.4.2.7 - CONTROLE DA IGNIÇÃO

Bloco responsável por fornecer os pulsos periódicos para o tiristor da ignição, durante a etapa de ignição. Nas outras etapas o bloco é inoperante.

5.5 - CONSIDERAÇÕES FINAIS

Este capítulo apresentou o projeto do controle do circuito Ballast. Inicialmente, foi realizado o equacionamento para um modelo de pequenos sinais do circuito *Buck*. O modelo, analógico, foi então adicionado ao diagrama de blocos do controle, juntamente com os outros blocos do circuito: compensador proporcional-integral, PWM e retroação.

A análise mais profunda do controle é mostrada no próximo capítulo, uma vez que a mesma depende de parâmetros do circuito de potência.

A implementação do controle em um dispositivo FPGA da família FLEX 10K da Altera foi detalhada sob a perspectiva de blocos, e equação matemática a ser realizada pelo bloco do compensador PI foi encontrada.

CAPÍTULO 6

EXEMPLO DE PROJETO E RESULTADOS EXPERIMENTAIS

6.1 - CONSIDERAÇÕES INICIAIS

Para verificar experimentalmente o funcionamento do conversor *ballast* proposto, um protótipo foi construído e testado, acionando lâmpadas HID de vapor de sódio e vapor metálico de 70W.

Este capítulo apresenta um exemplo de projeto para a determinação dos parâmetros e componentes do circuito, além da análise da estabilidade da malha de controle. Ao final, são mostrados os resultados experimentais obtidos com o protótipo construído.

6.2 - ESPECIFICAÇÕES

As condições iniciais para o funcionamento do conversor estão mostradas na Tabela 6.1.

Tabela 6.1 – Parâmetros para o conversor *ballast* proposto.

Símbolo	Descrição	Valor	Unidade
$V_{i_{ac}}$	Tensão de alimentação CA	220 +/- 10%	Vca
$V_{i_{pk}}$	Tensão de alimentação CC máxima	342,2	Vcc
P_o	Potência de saída	70	W
f_s	Frequência de comutação	80	kHz
f_{inv}	Frequência do inversor	150	Hz
V_{ig}	Tensão do pulso de ignição	3	kV
f_{ig}	Frequência dos pulsos de ignição	500	Hz
t_{pulso}	Duração dos pulsos de ignição	2	μs
V_o	Tensão de saída em regime permanente	120	V
I_o	Corrente de saída em regime permanente	0,58	A
ΔI_o	Variação na corrente de saída	2%	–
D_{max}	Razão cíclica máxima	0,429	–
D_{min}	Razão cíclica mínima	0,351	–

6.3 - CÁLCULO DOS COMPONENTES DO CONVERSOR *BUCK*

6.3.1 - CÁLCULO DO CAPACITOR DE ENTRADA

Considerando o rendimento esperado do circuito $\eta = 80\%$, e um *ripple* desejado na tensão de entrada de 5%, aplicando-se (4.1) tem-se que:

$$C_1 = \frac{70}{0,8 \times 220 \left[(342,2)^2 - (325,1)^2 \right]} = 127 \mu\text{F} \quad (6.1)$$

Visando compensar as perdas na resistência série do capacitor, foi definido o valor de 330 μ F.

6.3.2 - CÁLCULO DO INDUTOR

Considerando-se o valor de V_o , I_o e ΔI_o especificados na Tabela 6.1, o valor para o indutor L_b calculado através de (4.8) é:

$$L_b = \frac{120(342,2-120)}{80000 \times 0,012 \times 342,2} = 84\text{mH} \quad (6.2)$$

Para a escolha do núcleo que será utilizado na construção do indutor, deve-se calcular a sua máxima energia armazenada, dada por (6.3).

$$E_{Lb} = \frac{L_b (I_o + \Delta I_o)^2}{2} \quad (6.3)$$

Substituindo os valores pelos encontrados na Tabela 6.1:

$$E_{Lb} = \frac{0,084 \times (0,592)^2}{2} = 15\text{mJ} \quad (6.4)$$

Uma vez definido o tipo de núcleo EE, o tamanho deste núcleo é definido pelo parâmetro A_p , que é dado por (6.5).

$$A_{p_{Lb}} = \left(\frac{2 \cdot E_{Lb} \cdot 10^4}{K_u \cdot K_j \cdot B_{\max}} \right) \quad (6.5)$$

Onde, para o núcleo EE:

$$\begin{aligned} Z &= 1,136 \\ K_j &= 397 \\ K_\mu &= 0,4 \\ X &= 0,12 \end{aligned} \quad (6.6)$$

A densidade de fluxo não pode ser maior que a densidade de saturação do material. No caso do ferrite IP6, a densidade de saturação é 0,3T. Então, adota-se:

$$B_{\max} = 0,3 \text{ T} \quad (6.7)$$

Substituindo-se (6.6) e (6.7) em (6.5):

$$A_p = \left(\frac{2 \times 15 \times 10^{-3} \times 10^4}{0,4 \times 397 \times 0,3} \right)^{1,136} = 7,90 \text{ cm}^4 \quad (6.8)$$

A tabela que apresenta as dimensões de vários tipos de núcleos pode ser encontrada em [17]. Entretanto, a Tabela 4.3 trata resumidamente apenas do tipo EE.

Tabela 6.2 – Parâmetros para as diversas dimensões disponíveis para núcleo EE.

Tipo	Dimensões	A_p (cm ⁴)	CEM (cm)	l_e (cm)	A_e (cm ²)	A_s (cm ²)
EE	20/10/5	0,48	3,8	4,29	0,312	28,6
	30/15/7	0,71	5,6	6,69	0,597	34,8
	30/15/14	1,43	6,7	6,69	1,2	43,2
	42/21/15	4,66	9,3	9,7	1,82	89,1
	42/21/20	6,14	10,5	9,7	2,4	97,5
	55/28/21	13,3	11,6	12,3	3,54	150
	65/33/26	57,2	15	14,7	10,6	312

O núcleo a ser utilizado é do tipo EE 55/28/21, que possui as seguintes características:

$$\begin{aligned}
 A_p &= 13,3\text{cm}^4 \\
 A_e &= 3,54\text{cm}^2 \\
 l_e &= 12,3\text{cm}
 \end{aligned}
 \tag{6.9}$$

Para se determinar o número de espiras que o indutor deve conter, o fator de indutância A_l deve ser calculado seguindo-se (6.10).

$$A_l = \frac{A_e^2 \cdot B_{max}^2}{2 \cdot E_{Lb}} \tag{6.10}$$

Substituindo (6.9) em (6.10), tem-se:

$$A_l = \frac{3,54^2 \times 0,3^2}{2 \times 15 \times 10^{-3}} = 38,36 \text{ nH/espira}^2 \tag{6.11}$$

O número de espiras N_{Lb} é dado por:

$$N_{Lb} = \sqrt{\frac{L_b}{A_l}} \tag{6.12}$$

Substituindo-se (6.2) e (6.11) em (6.12):

$$N_{Lb} = \sqrt{\frac{84 \times 10^{-3}}{38,36 \times 10^{-9}}} = 1479 \text{ espiras} \tag{6.13}$$

Para determinar a seção transversal dos condutores utilizados no indutor, deve-se primeiramente calcular a densidade de corrente, dada por:

$$J = K_j \cdot A_p^{-0,12} \tag{6.14}$$

Substituindo em (6.14), pode-se obter:

$$J = 397 \times 57,2^{-0,12} = 291,43 \text{ A/cm}^2 \tag{6.15}$$

A área de cobre necessária para conduzir com segurança corrente de saída nominal é dada por:

$$A_{cu_{Lb}} = \frac{I_{o_{\max}} / \sqrt{2}}{J} \quad (6.16)$$

Substituindo (4.1) e (4.29), tem-se:

$$A_{cu_{Lb}} = \frac{0,58 / \sqrt{2}}{291,43} = 0,00199 \text{ cm}^2 \quad (6.17)$$

Utilizando-se fio 24AWG, obtém-se aproximadamente o valor da área calculada.

Assim, o indutor L_b possui as seguintes características:

- indutância: 84mH;
- núcleo: EE 55/28/21;
- número de espiras: 1479;
- condutor: fio com seção transversal 24 AWG.

6.3.3 - ESPECIFICAÇÃO DOS COMPONENTES SEMICONDUTORES

Os componentes semicondutores são especificados de acordo com os valores médios de tensão reversa e corrente direta. Para especificação do interruptor M_{buck} , as equações (4.9) e (4.10) são utilizadas. Portanto:

$$V_{Mbuck} = 342,2 \text{ V} \quad (6.18)$$

$$I_{Mbuck_{media}} = 0,429 \times 0,592 = 0,254 \text{ A} \quad (6.19)$$

Considerando uma margem de segurança de 20% em relação a corrente e tensão foi especificado o componente IRF840, cuja tensão máxima é $V_{\max} = 500 \text{ V}$ e corrente direta média é $I_{media} = 5,1 \text{ A}$.

Para especificação do diodo D_{buck} , as equações (4.9) e (4.11) são utilizadas. Portanto:

$$V_{rev_{Dbuck}} = 342,2 \text{ V} \quad (6.20)$$

$$I_{Db_{media}} = (1-0,351) \times 0,592 = 0,384 \text{ A} \quad (6.21)$$

Considerando as mesmas margens de segurança do caso anterior, foi especificado o componente HFA08TB60, cuja tensão reversa máxima é $V_{rev_{max}} = 600\text{V}$ e corrente direta média é $I_{media} = 8\text{A}$.

6.4 - CÁLCULO DOS COMPONENTES DO CIRCUITO INVERSOR

Para especificação do interruptor M_{inv} , as equações (4.12) e (4.13) são utilizadas. Dessa forma:

$$I_{Minv_{max}} = 1,5 \times 0,58 = 0,87 \text{ A} \quad (6.22)$$

$$V_{rev_{Minv}} = 120 \text{ V} \quad (6.23)$$

Considerando uma margem de segurança de 20% em relação a corrente e tensão foi especificado o componente IRF840, cuja tensão reversa máxima é $V_{max} = 500 \text{ V}$ e corrente direta média é $I_{media} = 5,1 \text{ A}$.

6.5 - CÁLCULO DOS COMPONENTES DO CIRCUITO DE IGNIÇÃO

A capacitância de ignição foi definida com o valor $C_{ig} = 150 \text{ nF}$. A partir de (4.16) pode-se encontrar a equação que fornece o valor da indutância L_{ig1} , dado por (6.24):

$$L_{ig1} = \left(\frac{2t_{pulso}}{\pi \sqrt{C_{ig}}} \right)^2 \quad (6.24)$$

Substituindo-se os valores, tem-se que:

$$L_{ig1} = \left(\frac{2 \times 500 \times 10^{-9}}{\pi \sqrt{150^{-9}}} \right)^2 = 10 \text{ } \mu\text{H} \quad (6.25)$$

Para a construção dos indutores acoplados L_{ig1} e L_{ig2} foi definido como núcleo o ferrite do tipo EE de dimensões 30/15/14. Portanto, de acordo com a Tabela 6.2, os parâmetros do núcleo escolhido são:

$$Ap_{ia} = 1,43 \text{ cm}^4 \quad (6.26)$$

$$Ae_{ia} = 1,2 \text{ cm}^2 \quad (6.27)$$

A corrente de ressonância sobre o indutor L_{ig1} é dada por:

$$I_{Lig1} = \frac{Vg}{Z_o} \text{sen}(\omega_o t) \quad (6.28)$$

Onde ω_o é a frequência angular de ressonância, dada por (6.29), e Z_o é a impedância do circuito ressonante, dada por (6.30).

$$\omega_o = \frac{1}{\sqrt{L_{ig1}C_{ig}}} = 816 \times 10^3 \text{ rad/s} \quad (6.29)$$

$$Z_o = \sqrt{\frac{L_{ig1}}{C_{ig}}} = 8,16 \Omega \quad (6.30)$$

Os valores de correntes máxima e eficaz no indutor L_{ig1} são portanto dados respectivamente por (6.31) e (6.32).

$$I_{Lig1.\max} = \frac{Vg}{Z_o} = 26,94 \text{ A} \quad (6.31)$$

$$I_{Lig1.\text{rms}} = \frac{I_{Lig1.\max}}{\sqrt{2}} = 19,05 \text{ A} \quad (6.32)$$

De acordo com (6.3), a energia acumulada no indutor é dada por:

$$E_{ia} = \frac{10 \times 10^{-6} \times (19,05)^2}{2} = 1,81 \text{ mJ} \quad (6.33)$$

O fator de indutância é dado por:

$$A_{L.ia} = \frac{(1,2)^2 (0,3)^2 \times 10^{-9}}{2 \times 1,81 \times 10^{-3}} = 35,7 \text{ nH/esp}^2 \quad (6.34)$$

O número de espiras de L_{ig1} é, portanto:

$$N_{Lig1} = \sqrt{\frac{10 \times 10^{-6}}{35,7 \times 10^{-9}}} = 16,73 \text{ esp} \quad (6.35)$$

O indutor L_{ig1} foi construído com 17 espiras. Já o número de espiras de L_{ig2} é calculado a partir da relação de transformação entre os dois indutores, dado por:

$$\eta_{ia} = \frac{V_{ig}}{V_g} = 13,64 \quad (6.36)$$

Portanto:

$$N_{Lig2} = \eta_{ia} \cdot N_{Lig1} = 228 \text{ esp} \quad (6.37)$$

Foi adotado o valor de 270 espiras, visando a compensação das indutâncias parasitas, como citado anteriormente.

6.6 - MODELAMENTO DO COMPENSADOR DIGITAL

No capítulo anterior, o diagrama de blocos do controle foi montado, a partir dos seus componentes: controlador proporcional-integral, PWM, função de transferência e ganho de realimentação. Além disso, foi adicionado o amostrador-extrapolador de ordem zero como um dos passos para o modelamento do compensador digital.

A partir da simplificação de blocos, o diagrama mostrado na Fig. 5.3 pode ser simplificado para que se torne o mostrado na Fig. 6.1.

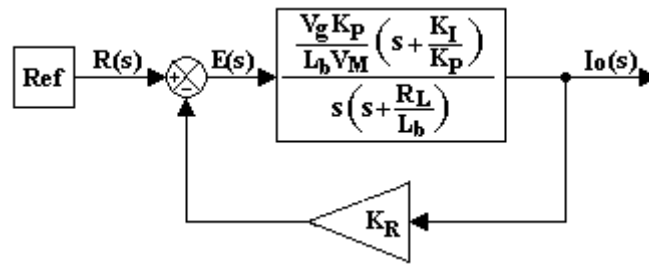


Fig. 6.1 – Diagrama de blocos simplificado.

A Tabela 6.3 apresenta os parâmetros definidos para a implementação do compensador.

Tabela 6.3 – Parâmetros para modelamento do compensador digital

Símbolo	Descrição	Valor
K_P	Constante proporcional	15
K_I	Constante integral	4062
V_M	Limite do PWM	4096
K_R	Constante de Realimentação	0,83

Além destes valores, foram definidos os valores de indutância calculados anteriormente, o valor de tensão de entrada $V_g = 311\text{V}$. Já a resistência equivalente da lâmpada foi definida para o seu pior caso, ou seja, no instante após a ignição. Portanto, $R_L = 10\Omega$.

A substituição dos parâmetros resulta no diagrama mostrado na Fig. 6.2.

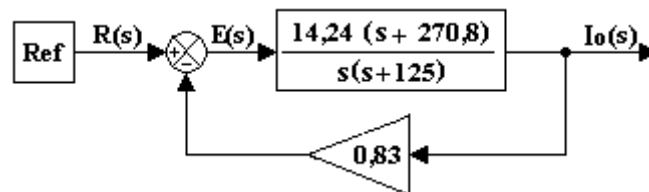


Fig. 6.2 – Diagrama de blocos com parâmetros definidos.

Através da equação de retroalimentação, chega-se à equação para o sistema em malha fechada $T(s)$, dada por (6.38).

$$T(s) = \frac{G(s)}{1 + G(s)H(s)} = \frac{14,24(s + 270,8)}{(s + 106,8)(s + 30,09)} \quad (6.38)$$

Portanto, o novo diagrama de blocos se torna:

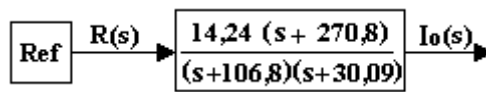


Fig. 6.3 – Diagrama de blocos em malha fechada.

Pode-se observar que o sistema possui dois pólos no semiplano esquerdo de s , condição necessária e suficiente para a estabilidade do sistema. Uma vez que o sistema analógico é estável, esta condição se manterá no sistema digitalizado, desde que a taxa de amostragem seja muito maior que a dinâmica do mesmo.

A resposta em frequência do sistema, mostrada na Fig. 6.4, foi obtida através do programa Matlab™ – transcrição dos comandos pode ser encontrada no Apêndice C. A partir dela, é possível perceber que a frequência para o ganho de zero dB é $\omega_\phi = 18,7$ rad/s. Usando o critério de Astrom [3], a taxa de amostragem T_A deve ficar entre $0,15/\omega_\phi$ e $0,5/\omega_\phi$.

Portanto:

$$0,008s < T_A < 0,027s \quad (6.39)$$

Estes valores devem ser encarados como uma referência, e na prática acabam por fornecer o valor máximo, e não o mínimo, para a taxa de amostragem. Para a discretização do sistema, foi definido $T_A = 6,4\mu s$.

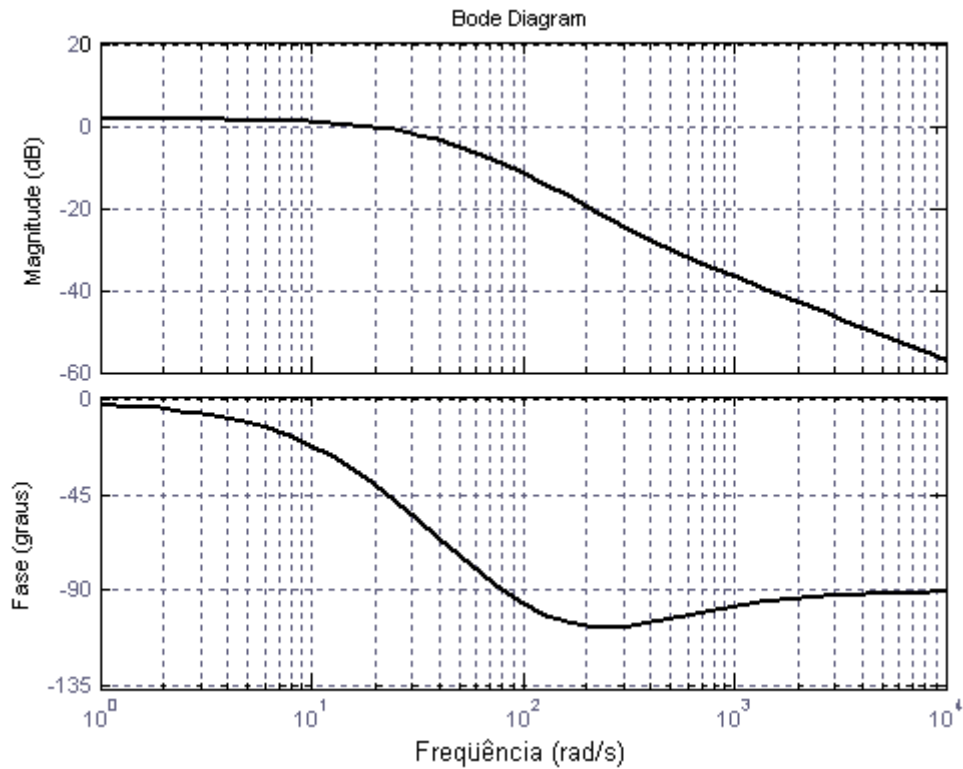


Fig. 6.4 – Resposta em frequência do sistema.

A simulação do sistema de controle digital foi realizada através da ferramenta Simulink™. O circuito utilizado para a simulação é mostrado na Fig. 6.5 e a resposta do circuito ao degrau é mostrada na Fig. 6.6. A partir desta última, percebe-se que o a resposta não apresenta ultrapassagem e o tempo para estabilização é de 0,2s.

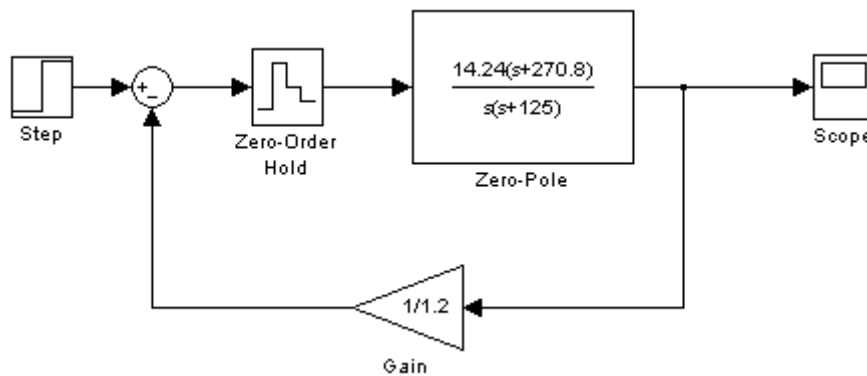


Fig. 6.5 – Circuito para simulação no Simulink..

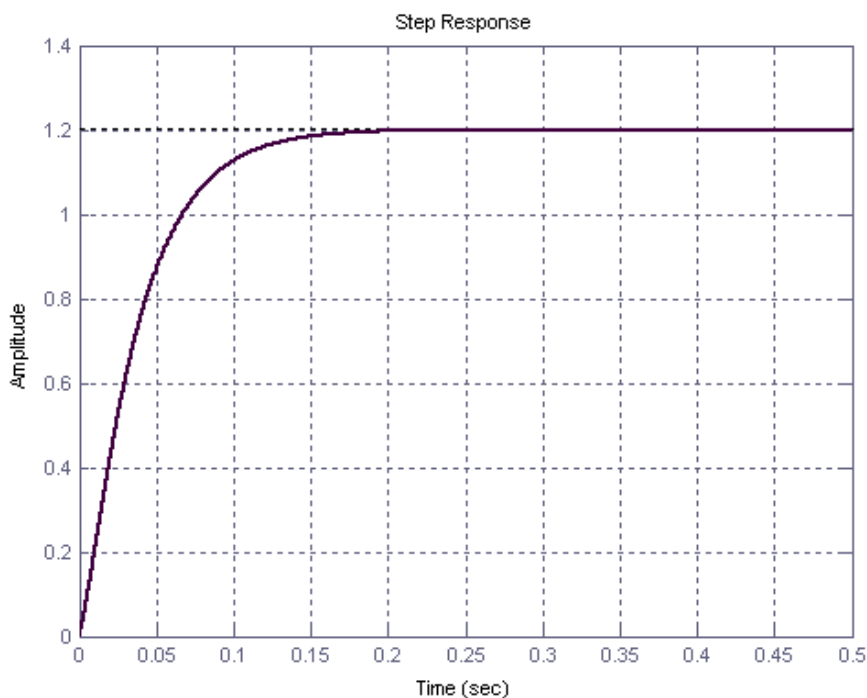


Fig. 6.6 – Resposta ao degrau do compensador digital (0,2 A/div; 0,05 s/div).

6.7 - RESULTADOS EXPERIMENTAIS

Os resultados experimentais foram obtidos com o reator eletrônico acionando duas lâmpadas de 70W: uma de vapor metálico (modelo HQI-E da Osram) e outra de vapor de sódio (modelo NAV-E 4Y, também da Osram). As aquisições das formas de onda foram obtidas em um osciloscópio digital modelo THS720, da Tektronix.

6.7.1 - TENSÃO E CORRENTE NA LÂMPADA

A Fig. 6.7 e a Fig. 6.8 mostram a tensão e a corrente sobre a lâmpada de vapor de sódio e de vapor metálico de 70W respectivamente, ambas operando em regime permanente. Como os testes foram realizados em uma lâmpada nova, os valores da tensão e corrente são diferentes dos especificados para o final de sua vida útil.

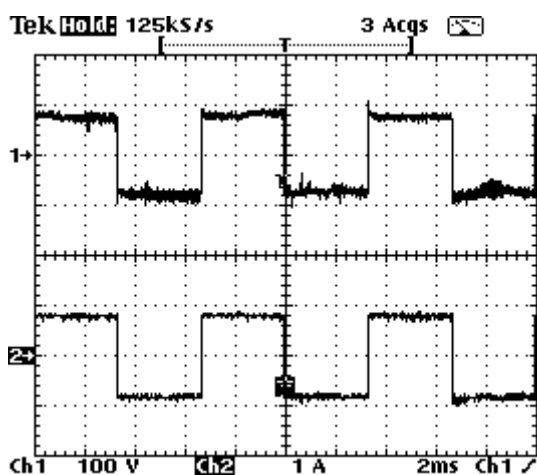


Fig. 6.7 – Tensão (traço superior) e corrente (traço inferior) na lâmpada de sódio testada operando em regime permanente. (100V/div; 1A/div; 2ms/div)

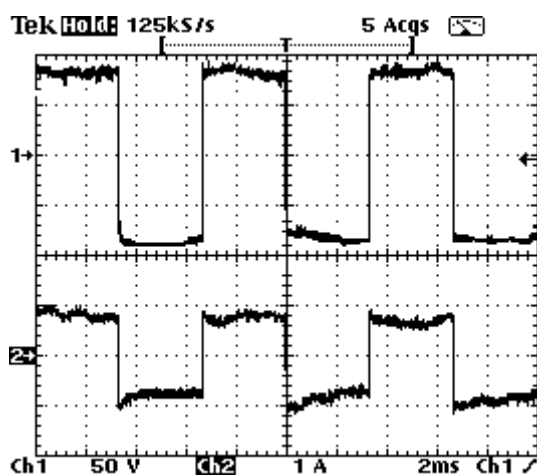


Fig. 6.8 – Tensão (traço superior) e corrente (traço inferior) na lâmpada de vapor metálico testada operando em regime permanente. (50V/div; 1A/div; 2ms/div)

6.7.2 - FORMAS DE ONDA DO CIRCUITO IGNITOR

A Fig. 6.9 mostra a sequência de pulsos gerada pelo circuito durante a etapa de ignição. Apesar de não alcançar os 3kV projetados, os pulsos foram suficientes para acendimento das lâmpadas testadas. A obtenção desta forma de onda foi feita sem que a lâmpada estivesse presente no soquete.

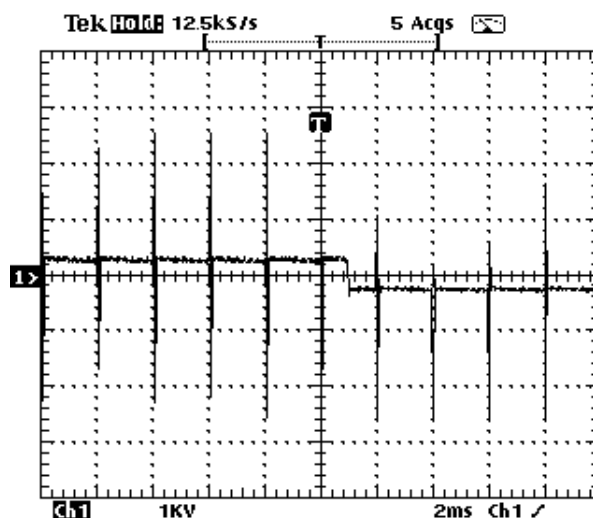


Fig. 6.9 – Sequência de pulsos de ignição. (1kV/div, 2ms/div)

A Fig. 6.10 mostra a tensão e a corrente na lâmpada de vapor de sódio durante uma ignição bem sucedida. Na Fig. 6.11 pode-se observar o breve período após a ignição em que a lâmpada opera a uma frequência de 30Hz, antes de passar para a frequência nominal de 150Hz. Este período é necessário para aumentar a probabilidade da formação de descarga elétrica. Se imediatamente após uma ignição da lâmpada ocorrer uma mudança de polaridade de sua tensão, a descarga inicial pode vir a se extinguir.

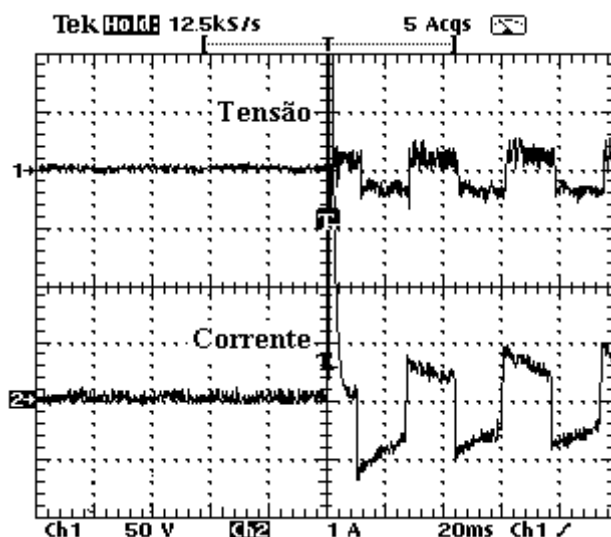


Fig. 6.10 – Tensão (traço superior) e corrente (traço inferior) na lâmpada durante a ignição (50V/div;1A/div;20ms/div).

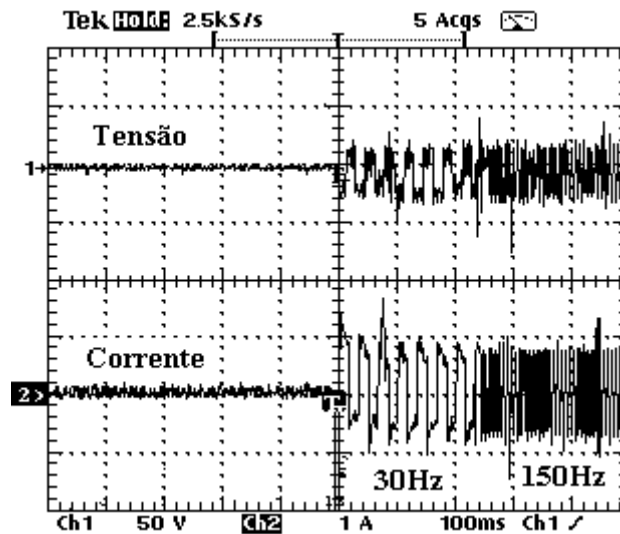


Fig. 6.11 – Tensão (traço superior) e corrente (traço inferior) na lâmpada durante a partida, iniciando a 30Hz e depois passa a 150Hz. (50V/div; 1A/div; 100ms/div)

6.7.3 - COMPARAÇÃO DE ALCANCE DE BRILHO MÁXIMO ENTRE OS REATORES MAGNÉTICO E ELETRÔNICO

A Fig. 6.12 mostra as evoluções da tensão (traço inferior), corrente (traço superior) e potência (traço intermediário) na lâmpada de vapor de sódio testada durante o período de aquecimento até a estabilização. Na Fig. 6.12(a), a lâmpada foi acionada por um reator magnético convencional modelo RVSE da Intral. Na Fig. 6.12(b), pelo reator eletrônico construído.

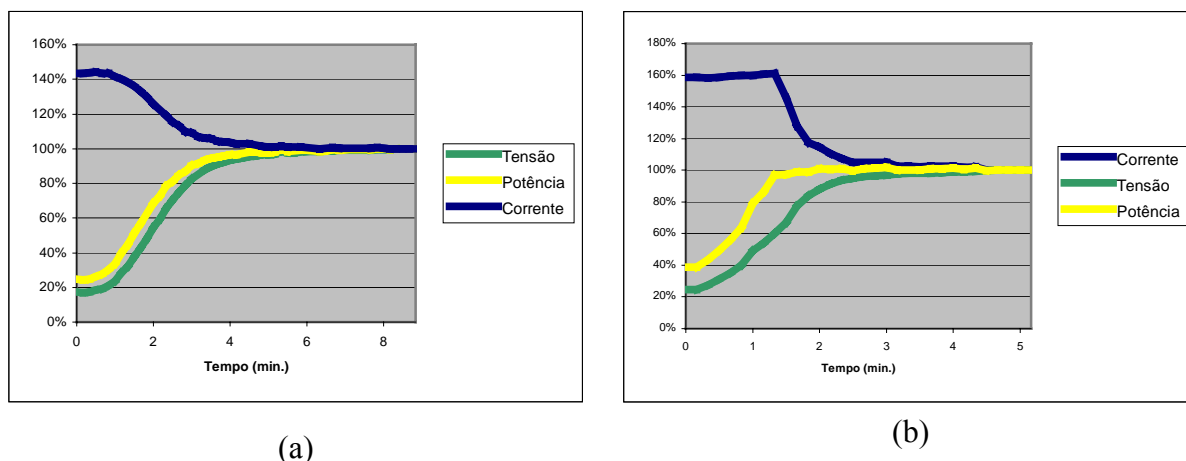
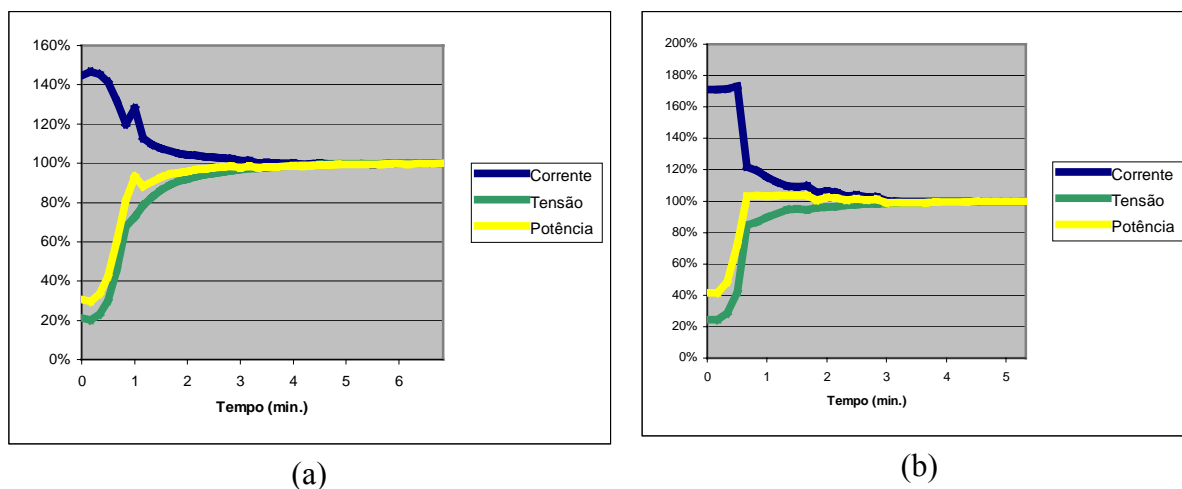


Fig. 6.12 – Comparação entre os acionamentos através do reator magnético (a) e reator eletrônico (b) para a lâmpada de vapor de sódio testada.

Pode-se observar que, no reator magnético, a corrente na lâmpada não é mantida constante durante a fase de aquecimento, fazendo com que esta fase se estenda por mais tempo. Desta forma, a potência nominal só é atingida em aproximadamente 4 minutos.

Já no acionamento através do reator eletrônico, durante a fase de aquecimento a corrente na lâmpada é mantida em um valor correspondente a 160% de seu valor em regime permanente. Como resultado, a potência nominal é atingida em 90 segundos, o que representa uma redução de 62,5% no tempo de alcance do brilho máximo.

Da mesma forma, a Fig. 6.13 mostra a evolução da tensão (traço inferior), corrente (traço superior) e potência (traço intermediário) na lâmpada de vapor metálico testada durante a fase de aquecimento. Na Fig. 6.13(a), a lâmpada é acionada pelo mesmo reator magnético, e na Fig. 6.13(b) pelo reator eletrônico construído.



Quando acionada pelo reator eletrônico, a lâmpada é alimentada com corrente constante durante todo o aquecimento, a um valor correspondente a 170% do valor nominal de corrente em regime permanente. O resultado é que, enquanto o reator magnético leva 3 minutos para alcançar a potência nominal, a mesma é atingida em 45 segundos no reator eletrônico. Isto representa uma redução de 75% no tempo para se alcançar o brilho máximo na lâmpada.

6.7.4 - CONTROLE DE FLUXO DE POTÊNCIA

A opção de se variar a potência da lâmpada é muito útil em várias circunstâncias, e possibilita a economia de energia em momentos que não seja necessário o brilho máximo na lâmpada, como por exemplo nos horários de menos movimento nos locais iluminados pelas mesmas. A Fig. 6.14 mostra o comportamento da tensão e da corrente na lâmpada durante a aplicação de um degrau de referência do controle de corrente (70W para 50W). Observa-se que a corrente na lâmpada se mantém estável durante a transição do valor de potência, não havendo portanto o risco da lâmpada de apagar.

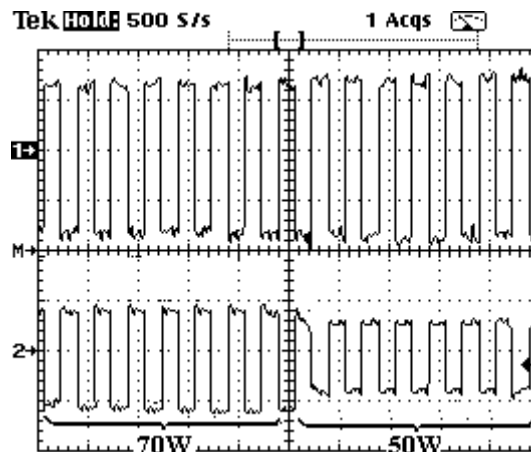


Fig. 6.14 – Tensão (traço superior) e corrente (traço inferior) na lâmpada de vapor de sódio testada durante a transição do valor de potência. (50V/div; 1A/div; 10 ms/div)

6.8 - CONSIDERAÇÕES FINAIS

Este capítulo apresentou os aspectos relevantes da construção de um protótipo do conversor *ballast* eletrônico e seu respectivo circuito de controle. Os parâmetros do controle foram definidos e a análise da estabilidade do sistema foi realizada, assim como a simulação utilizando o programa Matlab.

Ao final, foram mostrados alguns resultados experimentais do protótipo. Como destaques, pode-se citar a sensível redução no tempo de alcance do brilho máximo em relação ao acionamento com o reator magnético testado e também a possibilidade, não oferecida pelo reator magnético, de se variar a intensidade do brilho da lâmpada.

CAPÍTULO 7

CONSTRUÇÃO DE UM KIT DIDÁTICO PARA O ENSINO DE PROJETOS DE CIRCUITOS LÓGICOS DIGITAIS

7.1 - CONSIDERAÇÕES INICIAIS

Aproveitando os conhecimentos adquiridos na construção de um sistema digital com programação reconfigurável e também devido a uma necessidade percebida no curso de graduação da Universidade Federal de Uberlândia, foi construído um kit didático contendo um dispositivo FPGA para ser utilizado no ensino de lógica digital para alunos de graduação e cursos técnicos.

Este capítulo apresenta o processo de construção deste kit didático, constituído pela definição dos requerimentos do sistema, especificação do dispositivo FPGA, construção e testes do protótipo.

7.2 - MOTIVAÇÃO

O ensino de circuitos digitais no curso de Engenharia Elétrica da Universidade Federal de Uberlândia é introduzido na disciplina intitulada “Eletrônica Digital”, utilizando kits didáticos contendo dispositivos TTL, uma tecnologia que já há alguns anos vem sendo abandonada pela indústria. O desenvolvimento de kits didáticos que empreguem programação reconfigurável permite que os estudantes desta disciplina – e de qualquer outra que necessite deste conhecimento – possam obter a experiência de projetar e implementar circuitos lógicos na prática.

7.3 - REQUERIMENTOS DO SISTEMA

Vários sistemas digitais e plataformas para fins didáticos contendo programação reconfigurável foram desenvolvidos em universidades e centros de pesquisa do mundo inteiro [35] [34] [24] [22] [18]. Esses trabalhos forneceram valioso suporte para o presente trabalho.

Uma abordagem típica para o projeto de um sistema digital é dividida em diversas fases. O processo geralmente inicia com os requerimentos do sistema, o que envolve primeiramente as especificações do projeto e posteriormente o detalhamento das estruturas, e prossegue com a descrição de suas funções e como estas serão realizadas como interconexões de blocos de circuito menores .

A primeira meta foi construir um sistema contendo um dispositivo FPGA que oferecesse flexibilidade suficiente para implementação e verificação funcional de um número considerável de circuitos digitais. Uma vez que tal sistema se destina a ser utilizado como uma plataforma experimental para estudantes de graduação em Engenharia e cursos técnicos, o mesmo necessita ser simples de usar e também ser utilizado com um *software* com interface amigável.

Para que uma quantidade satisfatória de práticas pudesse ser desenvolvida, os componentes listados abaixo foram inseridos no Kit,:

- 8 LEDs;
- 4 displays de 7 segmentos;
- 4 botões;
- 12 chaves.

A Fig. 7.1 apresenta um diagrama simplificado do kit didático proposto e a interligação entre os componentes e o dispositivo FPGA.

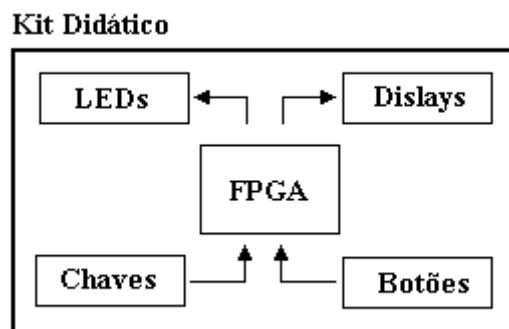


Fig. 7.1 – Diagrama simplificado do kit didático proposto.

7.3.1 - ESPECIFICAÇÃO DO DISPOSITIVO FPGA

Para especificar o dispositivo FPGA, foram simuladas, práticas usualmente desenvolvidas na disciplina Eletrônica Digital, que incluem funções lógicas tais como somadores, multiplexadores e *flip-flops*, através do programa Quartus II, fornecido pela Altera. Foi possível determinar que tais experiências demandam não mais que 100 elementos lógicos e 10 terminais de E/S. Entretanto, a adição dos componentes listados na seção anterior torna necessário que o dispositivo contenha 52 terminais de E/S.

Considerando-se os mesmos aspectos físicos que auxiliaram na escolha do dispositivo para controle do circuito *Ballast* Eletrônico, tais como encapsulamento PLCC e tensão de alimentação de 5V é mais conveniente, foi especificado o mesmo da família FLEX10K, ou seja, EPF10K10LC84-4, com 576 elementos lógicos e 59 terminais de E/S.

7.4 - RESULTADOS PRÁTICOS

Um protótipo foi construído contendo o dispositivo FPGA especificado na seção 7.3.1 - . O kit opera com uma frequência de *clock* de 10MHz. O protótipo é utilizado juntamente com um PC contendo o programa Quartus II, responsável pelo projeto do circuito digital, verificação funcional do circuito projetado e pela programação do dispositivo FPGA.

As práticas implementadas no antigo kit didático foram também implementadas no protótipo. Pôde-se verificar que não mais de 15% da capacidade dos elementos lógicos do dispositivo FPGA foi ocupado. Esse fato possibilita que práticas mais complexas sejam implementadas no kit.

Os resultados apresentados pelo protótipo motivaram a construção de uma versão final do kit didático, que atualmente é utilizada nas aulas práticas do curso de graduação em Engenharia Elétrica da Universidade Federal de Uberlândia. A Fig. 7.2 mostra a versão final do kit didático construído.

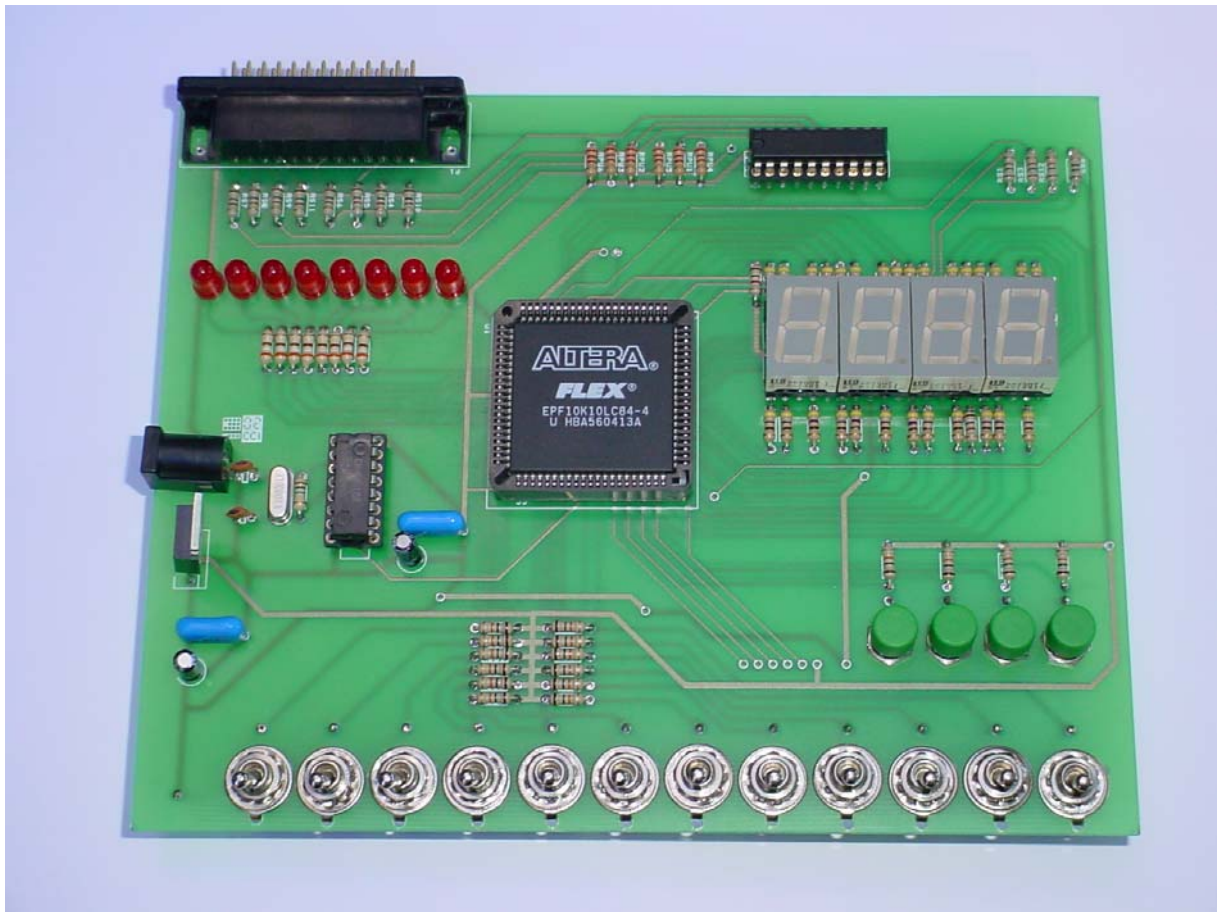


Fig. 7.2 – Vista superior da versão final do kit didático construído.

7.5 - CONSIDERAÇÕES FINAIS

Um kit didático empregando um dispositivo FPGA para uma disciplina do curso de graduação em Engenharia Elétrica foi proposto. Sua principal vantagem é sua simplicidade, permitindo a implementação de um circuito lógico completo e a verificação funcional do circuito projetado.

O dispositivo FPGA foi especificado considerando aspectos relacionados a sua capacidade lógica, encapsulamento e tensão de alimentação.

Um protótipo do kit didático foi construído e testado, se mostrando útil como uma ferramenta de projeto a ser utilizada por estudantes de graduação em Engenharia. A versão final do kit foi também implementada, e hoje é utilizada nas aulas práticas da disciplina de Eletrônica Digital da Faculdade de engenharia Elétrica da Universidade Federal de Uberlândia. Isto representou não só uma melhoria técnica para os estudantes, que anteriormente utilizavam kits com dispositivos TTL, mas também uma economia para a faculdade, uma vez que a construção dos novos kits demandou gastos com dispositivos eletrônicos apenas.

CAPÍTULO 8

CONCLUSÃO GERAL E SUGESTÕES PARA A CONTINUAÇÃO DO TRABALHO

A presente dissertação apresentou a utilização de um dispositivo FPGA para aplicação em acionamento de lâmpadas HID. Além disso, apresentou o projeto e desenvolvimento de um kit didático contendo um dispositivo FPGA para o ensino de projetos envolvendo lógica digital a alunos de graduação.

O mercado de circuitos acionadores de lâmpadas é grande e vem crescendo constantemente nos últimos anos. Atualmente, os reatores se dividem em magnéticos e Eletrônicos. Para acionar corretamente uma lâmpada HID, o reator eletrônico deve ser capaz de:

- fornecer um pulso de tensão em um valor adequado para iniciar a descarga elétrica dentro do tubo da lâmpada;
- limitar o valor de corrente durante a etapa de aquecimento da lâmpada;
- controlar a potência na lâmpada durante o regime permanente, compensando as variações na tensão de entrada e na resistência equivalente da lâmpada devido ao envelhecimento.

O reator magnético é capaz de realizar um acionamento satisfatório de lâmpadas HID, embora apresente algumas desvantagens, tais como elevado peso e volume, maior tempo para atingir o brilho máximo da lâmpada e pouca compensação durante a etapa de regime permanente.

Os reatores eletrônicos comutados a alta frequência, apesar de possuírem preços mais elevados, suprem as principais deficiências dos reatores magnéticos, e portanto são uma boa opção no acionamento de lâmpadas HID.

O circuito *ballast* eletrônico utilizado no presente trabalho é composto por um circuito *Buck* e um inversor em ponte completa, fornecendo uma corrente de forma quadrada a uma frequência de 150Hz. O pulso de tensão é fornecido por um circuito dedicado, acionado por um tiristor.

O controle da corrente fornecida à lâmpada, através da razão cíclica do interruptor do circuito *Buck*, é feito por um dispositivo FPGA da família FLEX 10K, da Altera™. Para o modelamento do circuito de controle, foram utilizadas as técnicas de controle clássico. O modelo do sistema a ser controlado foi desenvolvido matematicamente. A seguir foram definidos os parâmetros do compensador digital, o que permitiu a análise da estabilidade do controle e simulação do sistema.

Além do controle de corrente, os pulsos para os interruptores do inversor e para o tiristor de ignição são também gerados pelo dispositivo FPGA. Ao todo, foram ocupados 93% das 576 elementos lógicos disponíveis no dispositivo,

O protótipo construído foi utilizado para acionamento de lâmpadas de vapor de sódio e de vapor metálico de 70W. Na comparação com o reator magnético convencional, pode-se destacar a redução considerável no tempo para se atingir o brilho máximo na lâmpada – 62,5% para a lâmpada de vapor de sódio e 75% para a de vapor metálico – e também a possibilidade de variar a intensidade do brilho da lâmpada.

Aproveitando os conhecimentos adquiridos na construção de um sistema digital utilizando programação reconfigurável e também as vantagens dos dispositivos FPGA no

ensino de lógica digital para alunos de graduação, foi construído um kit didático contendo um dispositivo FPGA.

Atualmente, quinze unidades do kit didático foram construídas e são utilizadas nas aulas práticas da disciplina de Eletrônica Digital, do curso de graduação em Engenharia Elétrica da Universidade Federal de Uberlândia. Isto representou não só uma melhoria técnica para os estudantes, que anteriormente utilizavam kits com dispositivos TTL, mas também uma economia para a Faculdade, uma vez que a construção dos novos kits demandou gastos com dispositivos eletrônicos apenas.

Como sugestões para futuros trabalhos relacionados ao uso de FPGA para acionamento de lâmpadas HID, pode-se citar:

- Construção de um sistema *On-Power*:

Para que o sistema se torne *On-Power*, ou seja, funcionando desde o ligamento, é necessário o uso de um dispositivo FPGA contendo memória não volátil ou o acréscimo de um dispositivo dedicado à programação da FPGA.

- Implementação do controle utilizando linguagem de descrição de hardware (HDL).

Visando a independência de tecnologia, o circuito lógico de controle deve ser implementado utilizando-se uma linguagem de descrição de hardware, permitindo que o mesmo possa ser compilado em um programa de outro fabricante.

- Correção de fator de potência:

A topologia *Buck* não permite um alto fator de potência devido ao capacitor de filtro na entrada. O uso de uma topologia que permita este tipo de correção é mais indicado.

- Acionador universal de lâmpadas HID:

Desenvolver um dispositivo que permita selecionar a potência de operação do conversor, permitindo ao mesmo acionar lâmpadas de uma faixa definida de potência.

- Melhorias com relação ao rendimento do conversor:

Buscar soluções para o aumento do rendimento do conversor, como exemplo da inserção de células não dissipativas nos interruptores.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] ALONSO, J. M.; RIBAS, J.; RICO-SECADES, M.; GARCÍA, J. G.; CARDESIN, J. “Evaluation of High-Frequency Sinusoidal Waveform Superposed with 3rd Harmonic for Stable Operation of Metal Halide Lamps.” Industry Applications Conference (IAS) proc., pp. 1483-1488, vol.: 2, 13-18 Oct, 2002.
- [2] ALTERA CORPORATION, “FLEX 10K Embedded Programmable Logic Device Family Datasheet”, ver. 4.2, Janeiro 2003.
- [3] ASTROM, K. J. & WITTENMARK, B. “Computer Controlled Systems”. Prentice Hall, Englewood Cliffs, NJ, 1984.
- [4] BEN-YAAKOV, S.; GULKO, M.; GITER, A. “The simplest electronic Ballast for HID lamps”, proc. of IEEE APEC’96, pp. 634-640.
- [5] DARNELL GROUP “Global Electronic Ballast Markets ”, <http://www.darnell.com/services/02-ballasts.stm>.
- [6] DE GROOT, J.J.; VAN VLIET, J.A. “The high pressure sodium lamp”, Philips Technical Library, MacMillan Education, © 1986.
- [7] DOS REIS, F. et al. “Full Bridge Single Stage Electronic Ballast for a 250W High Pressure Sodium Lamp”, IEEE 36th. Annual Power Electronics Specialists Conference, 2005, pp. 1094-1099.
- [8] DUECK, - “Digital Design with CPLD Applications and VHDL”.
- [9] ERIKSSON, R.W., “Fundamentals of Power Electronics”, Chapan-Hall, 1997.

- [10] FELLOWS, M. W. “Comparison of Operating Characteristics of Ceramic Metal Halide Lamps on Electronic, Magnetic and Reference Ballasts.” Journal of the Illuminating Engineering Society, summer 2000.
- [11] KOSHIMURA, Y.; AOIKE, N., NOMURA, O. “Stable high frequency operation of high intensity discharge lamp and their Ballast design”, CIE 20th session’83, E36.
- [12] LASKAI, L.; ENJETI, P.; PITEL, I.J. “White noise modulation of high frequency high-intensity discharge lamps Ballast” IEEE Trans on IA, Vol.34,No.3, May/June 1998, pp. 597-604.
- [13] LEVINE, M. D.; KOOMEY, J. G.; PRICE, L., GELLER, H. and S. NADEL, “Electricity End-User Efficiency: Experience with Technologies, Market and Policies Through the World”, Energy, Vol. 20, No. 1, Jan. 1995, pp. 37-61.
- [14] MELIS, J. “A power control current source, circuit and analysis” proc. of IEEE APEC’94, pp 856-861.
- [15] MELIS, J. “Electronic Ballast design for HID lamps”
<http://www.Ballastdesign.com/overview.html>
- [16] MELIS, J.; VILA-MASOT, O. “Low frequency square wave electronic Ballast for gas discharge lamps”, United States patent No. 5428268, date of patent: Jun, 27,1995.
- [17] MELLO, L.F.P. “Análise e projeto de Fontes Chaveadas”, 9ª. Edição, Editora Érica, São Paulo, 2000.
- [18] MEYER, D.G; BURKE, E.P. “An FPGA-based pedagogical microprocessor for introductory computer engineering courses”, Proceedings Frontiers in Education Conference, 1994, pp. 383 – 387

- [19] NATIONAL COMMITTEE ON POWER ELECTRONICS, Report on Power Electronics and Global competitiveness, ERI, 1992.
- [20] NISE, N.S., “Engenharia de Sistemas de Controle”, 3a. edição, LTC, 2002.
- [21] OGATA, K., “Engenharia de Controle Moderno”, 4ª Edição, Prantice Hall, 2003.
- [22] PETERSEN; T.A.; THOMAE, D.A.; VAN DEN BOUT, D.E. “The Anyboard: a rapid-prototyping system for use in teaching digital circuit design”, First International Workshop on Rapid System Prototyping, 1990, pp. 25 – 32.
- [23] PONCE, M.; LOPEZ, A.; CORREA, J.; ARAU, J.; ALONSO, J.M. “Electronic Ballast for HID lamps with high frequency square waveform to avoid acoustic resonances”, proc. of IEEE APEC’01, pp. 658-663.
- [24] POTTINGER, H.J. & EATHERTON, W. “Using a Multi-FPGA Based Rapid Prototyping Board for System Design at the Undergraduate Level”. Proceedings of the 37th Midwest Symposium on Circuits and Systems, 1994., Volume 1, pp. 437 – 439.
- [25] REA, M.F.; “The IESNA Lighting Handbook” 9th. Edition, Illuminating Engineering Society of North America, 2000
- [26] REDL, R.; PAUL, J.D., “A New High-Frequency and High-Efficiency Electronic Ballast for HID Lamps: Topology, Analysis, Design and Experimental Results”, Proceedings of Applied Power Electronics Conference and Exposition, 1999, pp. 486-492.
- [27] RESENDE, C.Z. “Reator Eletrônico para o Acionamento de Lâmpadas de Alta Intensidade de Descarga de 70W”, Dissertação de Mestrado, Vitória, 2002.

- [28] RIBAS, J.; GARCIA, J.; CARDESIN, J.; DALLA-COSTA, M., CALLEJA A.J., COROMINAS E.L., “High Frequency Electronic Ballast for Metal Halide Lamps Based on a PLL Controlled Class E Resonant Inverter”, IEEE 36th. Annual Power Electronics Specialists Conference, 2005, pp. 1118-1123.
- [29] SCHILER, M. “Simplified Design of Building Lighting”, John Wiley & Sons, Inc., New York, 1992.
- [30] SHEN, M.; QIAN, Z.; PENG, F. “Control strategy of a novel two-stage acoustic resonance free electronic Ballast for HID lamps”. Proc. of IEEE PESC’2002, pp. 209-212.
- [31] SIEßEGGER, B., GULDNER, H., HIRSHMAN, G., “Ignition concepts for high frequency operated HID lamps”, IEEE 36th. Annual Power Electronics Specialists Conference, 2005, pp. 1500-1506.
- [32] VILLASENOR J., Smith ,W.H.M. "Configurable Computing", Scientific American, USA, 1997
- [33] YAN, W.; Ho, Y.K.E; Hui, S.Y.R. “Investigation on method of eliminating acoustic resonance in small wattage high-intensity-discharge(HID) lamps”, Procedures of IEEE IAS’2000, pp. 3399-3406.
- [34] ZEMVA, A.; TROST, A.; ZAJC, B. “A Rapid Prototyping Environment for Teaching Digital Logic Design”, IEE Transactions on Education, vol.41, no. 4, pp. 8.
- [35] ZEMVA, A.; TROST, A.; ZAJC, B. “Educational Programmable Hardware for Prototyping Digital Circuits” Electrotechnical Conference, 1998. MELECON 98., 9th Mediterranean Volume 1, pp. 182-186.

APÊNDICE A

TUTORIAL DE UTILIZAÇÃO DO KIT DIDÁTICO CONSTRUÍDO

A.1 - CONSIDERAÇÕES INICIAIS

Este apêndice tem como objetivo apresentar um tutorial básico de configuração do programa QUARTUS II, versão 4.0, fornecido pela Altera, para programar o kit didático construído descrito no Capítulo 7. O apêndice não pretende ser um tutorial completo de utilização do programa Quartus II. Para tal, é sugerido o tutorial do próprio programa, onde são ensinados todos os passos desde a definição da lógica até a programação no dispositivo FPGA.

A.2 - INICIANDO UM PROJETO

O QUARTUS II, assim como outros programas, organiza os arquivos possui uma ferramenta, denominada *New Project Wizard*, que auxilia a abertura de um novo projeto.

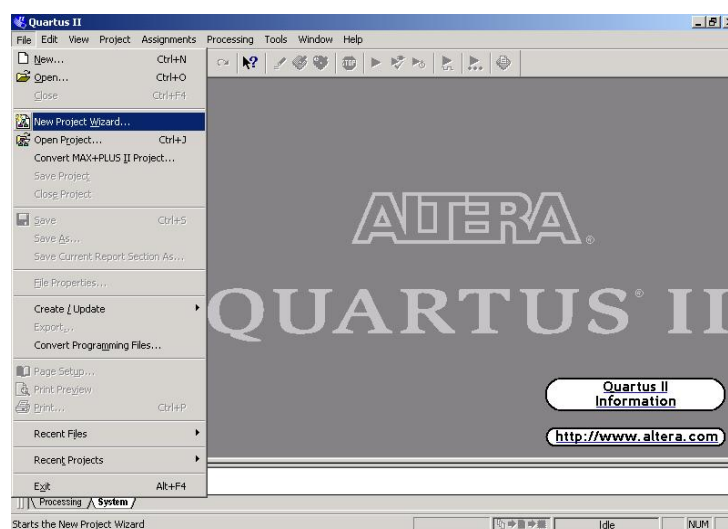


Fig. A.1 – A ferramenta *New Project Wizard*.

Uma vez selecionada a ferramenta, na primeira página que se abre o usuário deve fornecer as informações referentes ao local, o nome do projeto e a entidade de maior nível na hierarquia de projeto, que geralmente leva o mesmo nome do projeto.

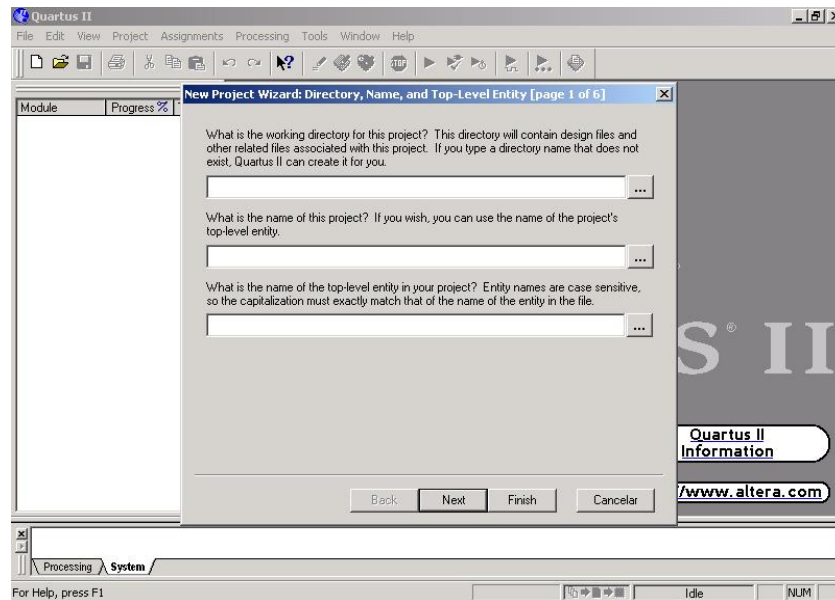


Fig. A.2 – Definição do nome e localização do projeto.

A segunda etapa, mostrada na Fig. A.3, se refere à inserção de arquivos e bibliotecas já existentes ao projeto que está sendo criado. Esta opção é bastante útil quando irá se criar um novo projeto baseado em um projeto já existente.

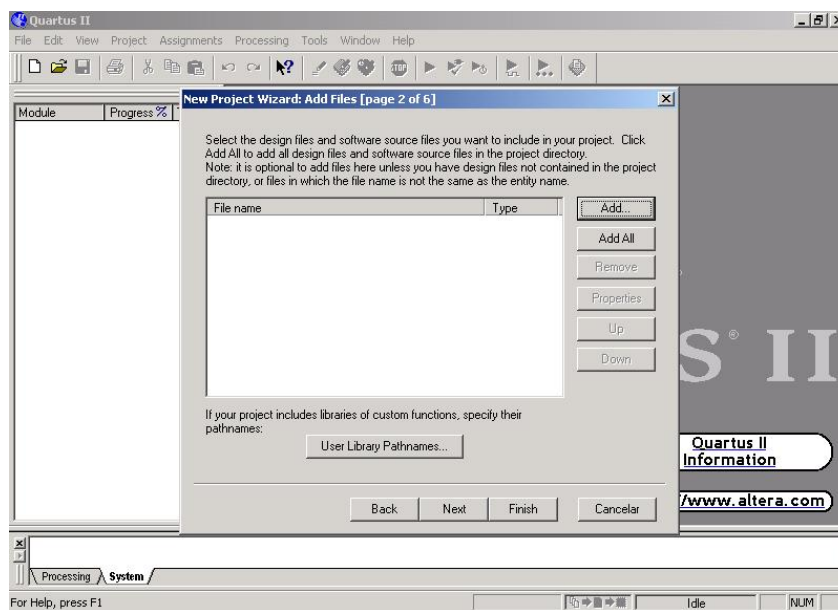


Fig. A.3 – Inserção de arquivos e bibliotecas já existentes ao projeto que está sendo criado.

Na terceira etapa – Fig. A.4 –, devem ser escolhidas, se necessário, ferramentas EDA para serem utilizadas na execução do projeto.

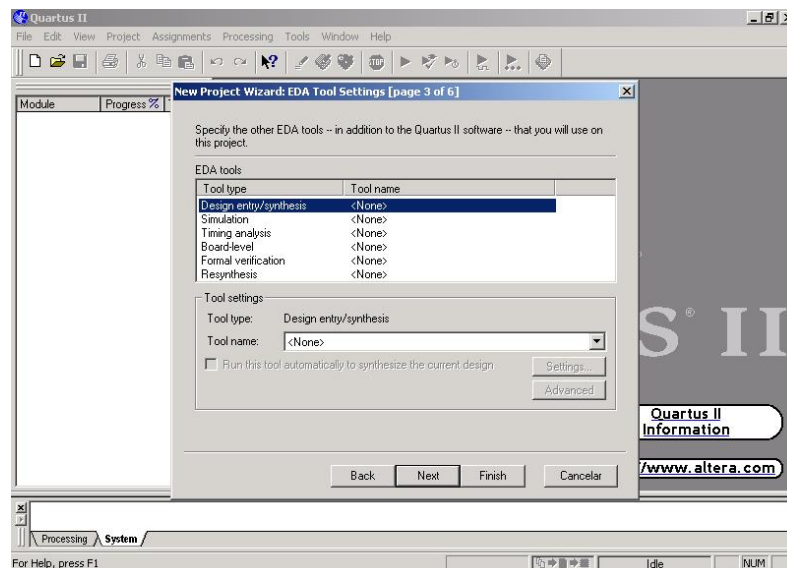


Fig. A.4 – Adicionar ferramentas EDA ao projeto que está sendo criado.

A quarta página – mostrada na Fig. A.5 – se refere à escolha da família a qual pertence o dispositivo FPGA a ser utilizado no projeto. Defina a família *FLEX 10K* e certifique-se que a opção *Yes* seja marcada após a pergunta “Você quer definir um dispositivo específico?”.

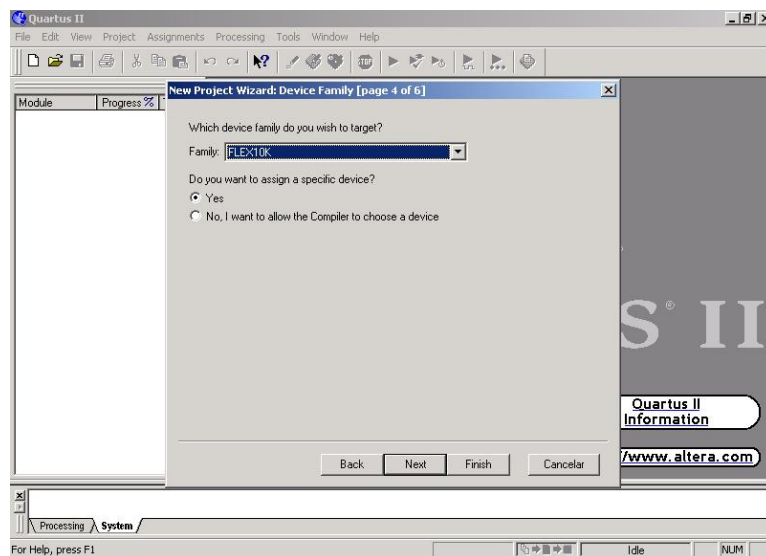


Fig. A.5 – Escolha da família do dispositivo FPGA a ser utilizado no projeto.

Na quinta etapa, um dispositivo FPGA deverá ser especificado. Uma lista com todos os dispositivos da família selecionada na quinta etapa é apresentada do lado esquerdo, de acordo com os filtros de encapsulamento, número de terminais e velocidade. Certifique-se que os dois primeiros filtros estejam selecionados com *Any* e o filtro de velocidade esteja selecionado em “4”. Este número se refere ao tempo – em nanosegundos –, que a saída de uma lógica leva para mudar de estado a partir da mudança de estados de uma das entradas.

O dispositivo EPF10K10LC84-4 deverá ser selecionado, como mostra a Fig. A.6.

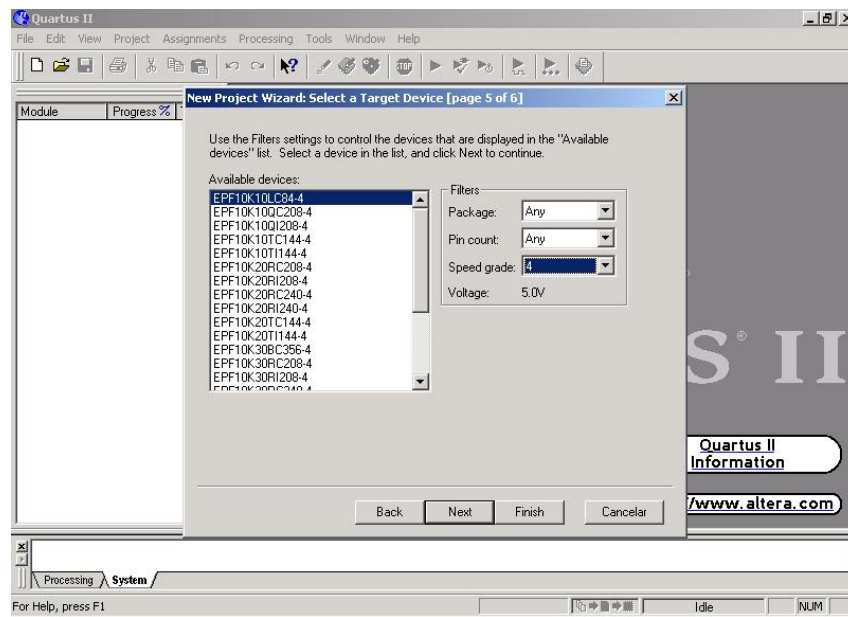


Fig. A.6 – Especificação do dispositivo a ser utilizado.

A sexta etapa –Fig. A.7 – apresenta um relatório do projeto criado através da ferramenta *New Project Wizard*. No relatório estão contidas informações sobre o que foi definido nas cinco etapas anteriores.

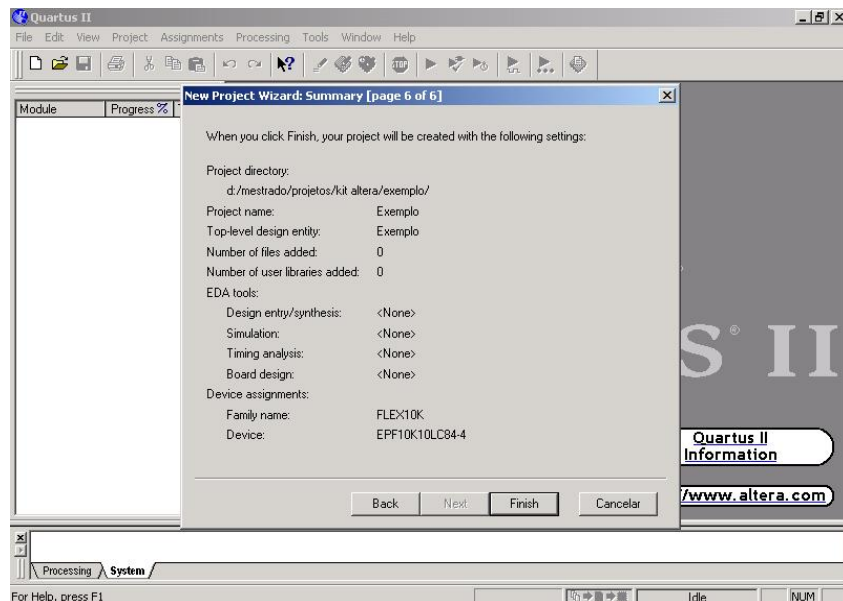


Fig. A.7 – Relatório do projeto criado através da ferramenta *New Project Manager*.

A.3 - NOMEANDO OS TERMINAIS DE E/S

Uma vez definidas as principais do projeto, deve-se agora definir o nome e a localização física dos terminais de entrada e saída do dispositivo FPGA, de acordo com a construção do kit. Para tal, a ferramenta *Assign Pins* será utilizada, como mostra a Fig. A.8.

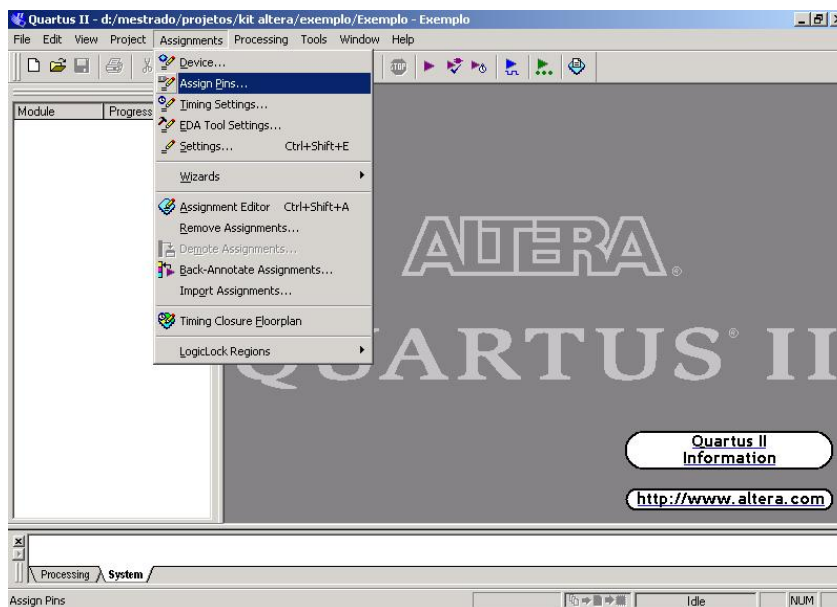


Fig. A.8 – Ferramenta *Assign Pins*.

A janela da ferramenta *Assign Pins*, apresenta a relação de todos os terminais de E/S do dispositivo FPGA usado no projeto corrente. É possível cada um dos terminais a uma entrada ou saída presente no circuito gráfico. Após selecionar o terminal desejado, preenche-se o campo *Pin name* com o nome da entrada no circuito gráfico, clicando em seguida no botão *Add*, como mostra a Fig. A.9.

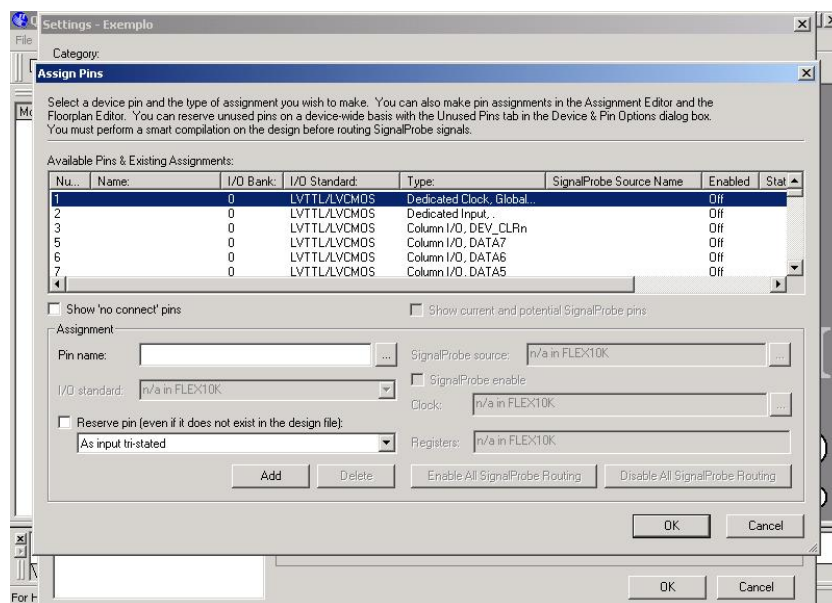


Fig. A.9 – Configuração dos terminais através da ferramenta *Assign Pins*.

Os terminais deverão ser configurados um a um de acordo com a tabela

Tabela A.1 – Relação de nomes para os terminais de E/S do dispositivo FPGA.

Terminal	Nome	Terminal	Nome	Terminal	Nome	Terminal	Nome
1	CLK2	24	L1	44	DS1	62	E3
3	F3	25	DS12	47	PB4	64	D4
5	B3	27	DS11	48	PB3	65	C4
6	A3	28	DS10	49	PB2	66	A2
7	F2	29	DS9	50	PB1	67	E4
8	G2	30	DS8	51	C1	71	G1
16	L8	35	DS7	52	D1	72	B1
17	L7	36	DS6	53	E1	73	A1
18	L6	37	DS5	54	C2	78	G4
19	L5	38	DS4	58	E2	79	A4
21	L4	39	DS3	59	D2	80	F4
22	L3	42	DS2	60	D3	81	B4
23	L2	43	CLK1	61	C3	83	G3

Os nomes dos terminais se referem a:

- CLK – terminal cuja entrada é um sinal de *clock*;
- L – terminal conectado a um LED (*light-emissor diode*).

- DS – terminal conectado a uma chave (em inglês, *Dip Switch*).
- PB – terminal conectado a um botão (em inglês, *Push Bottom*).
- A,B,C,D,E,F – terminal conectado a um segmento de um *display* de 7 segmentos, como mostrado na Fig. A.10.

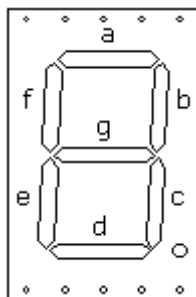


Fig. A.10 – Display de sete segmentos.

A.4 - DEFININDO OS TERMINAIS NÃO UTILIZADOS DO DISPOSITIVO FPGA

Quando todos os terminais estiverem corretamente nomeados, pressione OK na janela *Assign Pins*, e então a janela da ferramenta *Settings* aparecerá – Fig. A.11. Através desta janela, é possível definir todos os parâmetros de um projeto, basta escolher uma das opções que aparecem do lado esquerdo da janela.

Certifique-se que a opção *Device* esteja selecionada. Então, clique no botão *Device & Pin Options*, próximo ao espaço destinado ao nome da família do dispositivo utilizado no projeto.

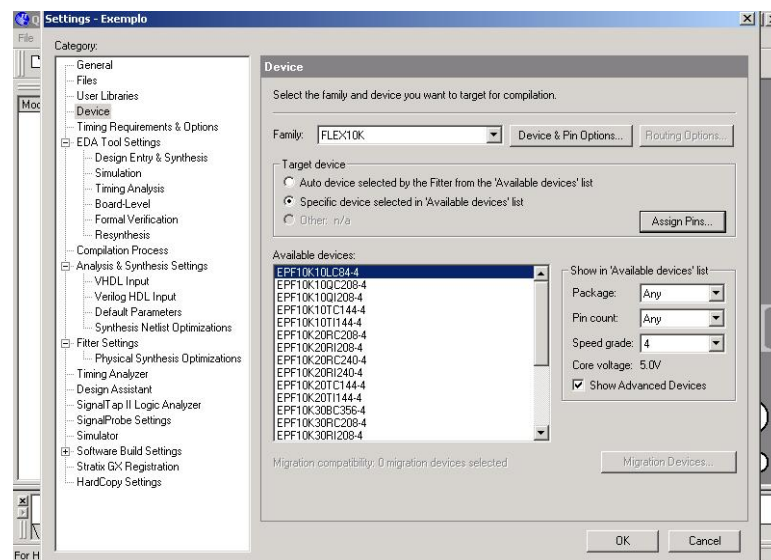


Fig. A.11 – Ferramenta Settings.

O objetivo agora é definir os terminais de E/S não utilizados do dispositivo FPGA como terminais de entrada a três estados. Isso protege o dispositivo no caso de algum contato indevido nos terminais não utilizados.

Para tal, deve-se selecionar a barra “Unused Pins” e selecionar a opção “As inputs , tristated”, sob a frase “Reserve all unused pins”, como mostra a Fig. A.12

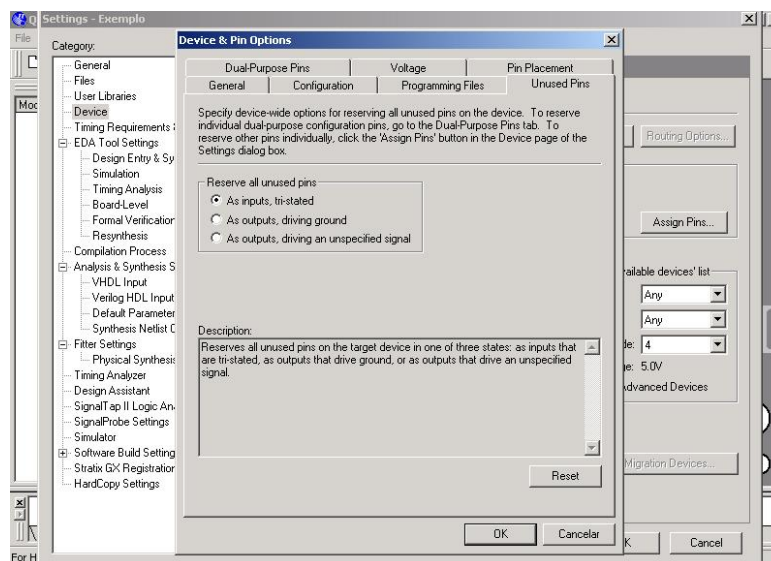


Fig. A.12 – Configuração dos terminais não utilizados no projeto.

Clicando em *OK* na janela anterior e na que será maximizada em seguida, o usuário está pronto agora para criar arquivos para inserção de lógica no projeto, tais como arquivos gráficos – para lógica na forma esquemática – ou de texto – para lógica na forma de linguagem de descrição de hardware (HDLs). Para realizar esta operação e outras que a seguirão, tal como compilação, simulação e gravação do dispositivo, recomenda-se aos usuários inexperientes a leitura do tutorial que acompanha o programa.

A.5 - CONSIDERAÇÕES FINAIS

Neste apêndice foi apresentado um tutorial para utilização do kit didático, cuja construção foi detalhada no Capítulo 7, através do programa Quartus II, da Altera. Foram mostradas as principais configurações a serem feitas para uma correta utilização do kit. Para informações sobre outros detalhes do programa e também outras configurações para uma melhor performance do kit podem ser encontradas no tutorial que acompanha o programa.

APÊNDICE B

CARACTERÍSTICAS DO DISPOSITIVO EPF10K10LC84-4

B.1 - LÓGICA INTERNA

CARACTERÍSTICA	VALOR
Número de portas típico (lógicas e RAM)	10000
Número de portas máximo	31000
Elementos Lógicos	576
Blocos de Arranjos Lógicos	72
Blocos de Arranjos Embarcados	3
Número de bits da memória RAM	6144
Atraso de porta (ns)	4
Terminais de E/S	59

B.2 - INTERCONEXÃO *FAST TRACK*

Linhas	3
Canais por linha	144
Colunas	24
Canais por coluna	24

B.3 - RECURSOS NOS ELEMENTOS DE E/S (IOE)

B.3.1 - CONEXÃO ENTRE LINHAS E IOE

Canais por linha	144
Canais de linha por terminal	18

B.3.2 - CONEXÕES ENTRE COLUNAS E IOE

Canais por coluna	24
Canais de coluna por terminal	16

B.4 - CARACTERÍSTICAS ELÉTRICAS

B.4.1 - PARÂMETROS DE OPERAÇÃO MÍNIMOS E MÁXIMOS

SÍMBOLO	DESCRIÇÃO	MIN	MAX	UNIDADE
V_{CC}	Tensão de Alimentação	-2,0	7,0	V
V_I	Tensão nos terminais de Entrada	-2,0	7,0	V
I_{OUT}	Corrente nos terminais de Saída	-25	25	mA
T_{ARM}	Temperatura de Armazenamento	-65	150	°C

B.4.2 - PARÂMETROS DE OPERAÇÃO RECOMENDADOS

SÍMBOLO	CARACTERÍSTICA	MIN	MAX	UNIDADE
V_{CCINT}	Tensão de Alimentação para a lógica interna	4,75	5,25	V
V_{CCIO}	Tensão de Alimentação para os buffers de E/S	4,75	5,25	V
V_I	Tensão nos terminais de Entrada	-0,5	$V_{CCINT} + 0,5$	V
T_{OP}	Temperatura de Operação	0	85	°C

B.4.3 - NÍVEIS DE SINAL ALTO E BAIXO

SÍMBOLO	ENTRADA	MIN	MAX
V_{IH}	Nível Alto	2,0	$V_{CCINT} + 0,5$
V_{IL}	Nível Baixo	-0,5	0,8
SÍMBOLO	SAÍDA	MIN	MAX
V_{OH}	Nível Alto	2,4	—
V_{OL}	Nível Baixo	—	0,45

APÊNDICE C

TRANSCRIÇÃO DOS COMANDOS EM MATLAB PARA O PROJETO DO CIRCUITO DE CONTROLE

```

'Projeto do Compensador Digital'
clf                                %Apaga a tela
T=0.0000064;                      %Define o Período de Amostragem
numgcs=[15 4062];                 %Define o numerador do compensador [Kp Ki]
dengcs=[1 0];                     %Define o denominador do compensador
'Gc(s) na forma polinomial'
Gcs=tf(numgcs,dengcs)              %Exibe o compensador Gc(s) na forma polinomial
'Gc(s) na forma fatorada'
Gcszpk=zpk(Gcs)                   %Exibe o compensador Gc(s) na forma fatorada
numgps=[3 1 1];                  %Define o numerador da Função de Transferência
dengps=[4096*80*10^-3 4096*10];   %Define o denominador da Função de Transferência
'Gp(s) na forma polinomial'
Gps=tf(numgps,dengps)             %Exibe o compensador Gp(s) na forma polinomial
'Gp(s) na forma fatorada'
Gpszpk=zpk(Gps)                   %Exibe o compensador Gp(s) na forma fatorada
'Ge(s) = Gp(s)*Gc(s)'
Ges=Gcs*Gps                       %Efetua a multiplicação das funções Gc(s) e Gp(s)
'Ge(s) = Gp(s)*Gc(s) na forma fatorada'
Geszkp=zpk(Ges)                   %Exibe Ge(s) na forma fatorada
'T(s) = Ge(s)/(1+(Ge(s)H(s)))'
Ts=feedback(Ges,1/1.2)            %Efetua a resposta a malha fechada.
'T(s) na forma fatorada'
Tszpk=zpk(Ts)                     %Exibe T(s) na forma fatorada
bode(Ts)                          %Plota a resposta em frequência do sistema [modulo]
[Gm,pm,wcp,wcg]=margin(Ts);
GmdB=20*log10(Gm);
[pm wcg]                          %Plota a resposta em frequência do sistema [fase]

```

Livros Grátis

(<http://www.livrosgratis.com.br>)

Milhares de Livros para Download:

[Baixar livros de Administração](#)

[Baixar livros de Agronomia](#)

[Baixar livros de Arquitetura](#)

[Baixar livros de Artes](#)

[Baixar livros de Astronomia](#)

[Baixar livros de Biologia Geral](#)

[Baixar livros de Ciência da Computação](#)

[Baixar livros de Ciência da Informação](#)

[Baixar livros de Ciência Política](#)

[Baixar livros de Ciências da Saúde](#)

[Baixar livros de Comunicação](#)

[Baixar livros do Conselho Nacional de Educação - CNE](#)

[Baixar livros de Defesa civil](#)

[Baixar livros de Direito](#)

[Baixar livros de Direitos humanos](#)

[Baixar livros de Economia](#)

[Baixar livros de Economia Doméstica](#)

[Baixar livros de Educação](#)

[Baixar livros de Educação - Trânsito](#)

[Baixar livros de Educação Física](#)

[Baixar livros de Engenharia Aeroespacial](#)

[Baixar livros de Farmácia](#)

[Baixar livros de Filosofia](#)

[Baixar livros de Física](#)

[Baixar livros de Geociências](#)

[Baixar livros de Geografia](#)

[Baixar livros de História](#)

[Baixar livros de Línguas](#)

[Baixar livros de Literatura](#)
[Baixar livros de Literatura de Cordel](#)
[Baixar livros de Literatura Infantil](#)
[Baixar livros de Matemática](#)
[Baixar livros de Medicina](#)
[Baixar livros de Medicina Veterinária](#)
[Baixar livros de Meio Ambiente](#)
[Baixar livros de Meteorologia](#)
[Baixar Monografias e TCC](#)
[Baixar livros Multidisciplinar](#)
[Baixar livros de Música](#)
[Baixar livros de Psicologia](#)
[Baixar livros de Química](#)
[Baixar livros de Saúde Coletiva](#)
[Baixar livros de Serviço Social](#)
[Baixar livros de Sociologia](#)
[Baixar livros de Teologia](#)
[Baixar livros de Trabalho](#)
[Baixar livros de Turismo](#)